

(19)



**Евразийское
патентное
ведомство**

(11) **044110**

(13) **B1**

(12) **ОПИСАНИЕ ИЗОБРЕТЕНИЯ К ЕВРАЗИЙСКОМУ ПАТЕНТУ**

(45) Дата публикации и выдачи патента
2023.07.24

(51) Int. Cl. **G11C 19/28** (2006.01)
G06F 15/78 (2006.01)

(21) Номер заявки
202290827

(22) Дата подачи заявки
2020.06.29

(54) **ДИНАМИЧЕСКИЙ РЕГИСТР С КОМПЕНСАЦИЕЙ УТЕЧКИ, БЛОК ОБРАБОТКИ ДАННЫХ, МИКРОСХЕМА, ХЕШ-ПЛАТА И ВЫЧИСЛИТЕЛЬНОЕ УСТРОЙСТВО**

(31) **201910947683.4**

(56) CN-A-110706731
CN-A-110912548
CN-U-208608968
CN-U-207781152
CN-A-109285505
US-B1-8115531

(32) **2019.09.30**

(33) **CN**

(43) **2022.05.24**

(86) **PCT/CN2020/098902**

(87) **WO 2021/063052 2021.04.08**

(71)(73) Заявитель и патентовладелец:

**ХАНЧЖОУ КАНААН
ИНТЕЛЛИГЕНС ИНФОРМЕШН
ТЕКНОЛОДЖИ КО, ЛТД (CN)**

(72) Изобретатель:

**Чжан Цзянь, Чжан Наньгэн, Бао
Цзиньхуа, Лю Цзеяо, У Цзинцзе, Ма
Шэнхоу (CN)**

(74) Представитель:

**Ловцов С.В., Вилесов А.С., Гавриков
К.В., Коптева Т.В., Левчук Д.В.,
Стукалова В.В., Ясинский С.Я. (RU)**

(57) В изобретении предложен динамический регистр с компенсацией утечки, блок обработки данных, микросхема, хеш-плата и вычислительное устройство. Динамический регистр с компенсацией утечки содержит ввод, вывод, электрод синхросигнала и блок коммутации аналоговых сигналов; регистр-защелку данных для фиксации данных под управлением синхросигнала и выходной возбудитель для инвертирования и вывода данных, полученных из регистра-защелки данных; при этом блок коммутации аналоговых сигналов, регистр-защелка данных и выходной возбудитель подключены последовательно между вводом и выводом, а между блоком коммутации аналоговых сигналов и регистром-защелкой данных располагается узел; причем динамический регистр с компенсацией утечки дополнительно содержит блок компенсации утечки, электрически подключенный между узлом и выводом. Изобретение может эффективно компенсировать динамический ток утечки узла, повышая тем самым защищенность и точность данных.

044110
B1

044110
B1

Область техники, к которой относится изобретение

Настоящее изобретение относится к устройству хранения данных под управлением синхросигнала, в частности, к динамическому регистру с компенсацией утечки, блоку обработки данных, микросхеме, хеш-плате и вычислительному устройству применительно к устройству масштабной обработки данных.

Предшествующий уровень техники изобретения

Динамические регистры получили довольно широкое распространение, и они могут использоваться для регистрации цифровых сигналов. На фиг. 1 представлена структурная схема цепи динамического регистра известного типа. Как показано на фиг. 1, динамический регистр содержит передаточный логический вентиль 101, инвертор 102 с тремя состояниями и инвертор 103, последовательно подключенные между вводом D и выводом Q. Между передаточным логическим вентиляем 101 и инвертором 102 с тремя состояниями сформирован узел S0, а между инвертором 102 с тремя состояниями и инвертором 103 сформирован узел S1, при этом в узле S0 и/или узле S1 временно сохраняются данные через паразитные ёмкости транзисторов в инверторе 102 с тремя состояниями и инверторе 103. Однако узел S0 беспрепятственно генерирует динамический ток утечки, что приводит к утрате временно сохраненных данных.

Следовательно, актуальная задача, требующая решения, состоит в том, как эффективно уменьшить динамический ток утечки в динамическом регистре.

Краткое раскрытие изобретения

Для решения означенной задачи настоящим изобретением предложен динамический регистр с компенсацией утечки, который может эффективно компенсировать динамический ток утечки узла, что повышает защищенность и точность данных.

Для реализации означенной цели настоящим изобретением предложен динамический регистр с компенсацией утечки, содержащий: ввод, предназначенный для ввода данных; вывод, предназначенный для выдачи данных; электрод синхросигнала, предназначенный для подачи синхросигнала; блок коммутации аналоговых сигналов, предназначенный для передачи данных под управлением синхросигнала; регистр-защелку данных для фиксации данных под управлением синхросигнала; и выходной возбудитель для инвертирования и вывода данных, полученных из регистра-защелки данных; при этом блок коммутации аналоговых сигналов, регистр-защелка данных и выходной возбудитель соединены последовательно между вводом и выводом, а между блоком коммутации аналоговых сигналов и регистром-защелкой данных располагается узел; причем динамический регистр с компенсацией утечки дополнительно содержит блок компенсации утечки, электрически подключенный между узлом и выводом.

В динамическом регистре с компенсацией утечки блок компенсации утечки характеризуется наличием первого электрода, электрически соединенного с выводом, второго электрода, электрически соединенного с узлом, и управляющего электрода.

В динамическом регистре с компенсацией утечки блок компенсации утечки содержит р-канальный МОП-транзистор и n-канальный МОП-транзистор, которые подключены последовательно между выводом и узлом.

В динамическом регистре с компенсацией утечки р-канальный МОП-транзистор характеризуется наличием электрода истока, электрически соединенного с выводом; электрода стока, электрически соединенного с электродом стока n-канального МОП-транзистора; и электрода затвора; а n-канальный МОП-транзистор содержит электрод истока, электрически соединенный с узлом; электрод стока и электрод затвора.

В динамическом регистре с компенсацией утечки р-канальный МОП-транзистор и n-канальный МОП-транзистор характеризуются наличием электродов затвора, подключенных параллельно и электрически соединенных с источником питания.

В динамическом регистре с компенсацией утечки р-канальный МОП-транзистор и n-канальный МОП-транзистор характеризуются наличием электродов затвора, подключенных параллельно и электрически соединенных с узлом.

В динамическом регистре с компенсацией утечки р-канальный МОП-транзистор характеризуются наличием электрода истока, электрически соединенного с узлом; электрода стока; и электрода затвора; а n-канальный МОП-транзистор характеризуются наличием электрода истока, электрически соединенного с выводом; электрода стока, электрически соединенного с электродом стока р-канального МОП-транзистора; и электрода затвора.

В динамическом регистре с компенсацией утечки р-канальный МОП-транзистор и n-канальный МОП-транзистор характеризуются наличием электродов затвора, подключенных параллельно и электрически соединенных с землей.

В динамическом регистре с компенсацией утечки р-канальный МОП-транзистор и n-канальный МОП-транзистор характеризуются наличием электродов затвора, подключенных параллельно и электрически соединенных с узлом.

В динамическом регистре с компенсацией утечки блок компенсации утечки содержит р-канальный МОП-транзистор, характеризующийся наличием электрода истока, электрически соединенного с выводом; электрода стока, электрически соединенного с узлом; и электрода затвора, электрически соединенного с источником питания.

В динамическом регистре с компенсацией утечки блок компенсации утечки содержит n-канальный МОП-транзистор, характеризующийся наличием электрода истока, электрически соединенного с узлом; электрода стока, электрически соединенного с выводом; и электрода затвора, электрически соединенного с землей.

В динамическом регистре с компенсацией утечки синхросигнал содержит первый синхросигнал и второй синхросигнал с обращенной фазой.

В динамическом регистре с компенсацией утечки блок коммутации аналоговых сигналов представляет собой передаточный логический вентиль.

В динамическом регистре с компенсацией утечки регистр-зашелка данных представляет собой инвертор с тремя состояниями.

В динамическом регистре с компенсацией утечки выходной возбудитель представляет собой инвертор.

Динамический регистр с компенсацией утечки согласно настоящему изобретению может подавать ток утечки с вывода обратно на узел, компенсируя динамический ток утечки узла и повышая устойчивость хранения данных, что повышает защищенность и точность данных.

Для лучшей реализации заявленной цели настоящим изобретением дополнительно предложен блок обработки данных, содержащий цепь управления, цепь решения и множество динамических регистров с компенсацией утечки, взаимно соединенных друг с другом, при этом множество динамических регистров с компенсацией утечки соединено последовательно и/или параллельно, причем динамические регистры с компенсацией утечки в указанном множестве могут представлять собой любые динамические регистры с компенсацией утечки.

Для лучшей реализации заявленной цели настоящим изобретением дополнительно предложена микросхема, содержащая, по меньшей мере, один блок обработки данных.

Для лучшей реализации заявленной цели настоящим изобретением дополнительно предложена хеш-плата для вычислительного устройства, содержащая, по меньшей мере, одну микросхему.

Для лучшей реализации заявленной цели настоящим изобретением дополнительно предложено вычислительное устройство, содержащее плату питания, плату управления, соединительную плату, теплоотвод и множество хеш-плат, причем плата управления соединена с хеш-платами посредством соединительной платы, теплоотвод располагается вокруг хеш-плат, а плата питания выполнена с возможностью подачи питания на соединительную плату, плату управления, теплоотвод и хеш-платы, при этом хеш-плата представляет собой хеш-плату, указанную выше.

Ниже по тексту настоящее изобретение подробно описано в привязке к прилагаемым чертежам и на примере детально раскрытых вариантов осуществления заявленного изобретения, но этими вариантами своего осуществления настоящее изобретение не ограничено.

Краткое описание чертежей

На фиг. 1 представлена структурная схема цепи динамического регистра известного типа.

На фиг. 2 представлена структурная схема цепи динамического регистра с компенсацией утечки согласно одному из вариантов осуществления настоящего изобретения.

На фиг. 3 представлена структурная схема цепи динамического регистра с компенсацией утечки согласно другому варианту осуществления настоящего изобретения.

На фиг. 4 представлена структурная схема цепи динамического регистра с компенсацией утечки согласно еще одному из вариантов осуществления настоящего изобретения.

На фиг. 5 представлена структурная схема цепи динамического регистра с компенсацией утечки согласно еще одному из вариантов осуществления настоящего изобретения.

На фиг. 6 представлена структурная схема цепи динамического регистра с компенсацией утечки согласно одному из расширенных вариантов осуществления настоящего изобретения.

На фиг. 7 представлена структурная схема цепи динамического регистра с компенсацией утечки согласно другому расширенному варианту осуществления настоящего изобретения.

На фиг. 8 представлена структурная схема блока обработки данных согласно настоящему изобретению.

На фиг. 9 схематически показана структура микросхемы согласно настоящему изобретению.

На фиг. 10 представлена структурная схема хеш-платы согласно настоящему изобретению.

На фиг. 11 представлена структурная схема вычислительного устройства согласно настоящему изобретению.

Подробное описание предпочтительных вариантов осуществления изобретения

Ниже по тексту подробно описан принцип построения и принцип работы настоящего изобретения в привязке к прилагаемым чертежам.

Конкретные термины в данном описании и в последующей формуле обозначают конкретные компоненты. Специалисты в данной области техники должны понимать, что производитель может присваивать одному и тому же компоненту разные названия. В описании и последующей формуле изобретения компоненты различаются не по разным названиям, а по разным функциям этих компонентов.

Фразы "содержит" и "включает в себя", встречающиеся по всему тексту описания и в последующей формуле, представляют собой неограничивающие термины и должны трактоваться как "включает в себя,

помимо прочего". Кроме того, термин "соединение" в контексте настоящего документа означает любое прямое или не прямое электрическое соединение. Непрямое электрическое соединение предусматривает соединение через другие устройства.

Первый вариант осуществления изобретения.

На фиг. 2 представлена структурная схема цепи динамического регистра с компенсацией утечки согласно одному из вариантов осуществления настоящего изобретения. Как показано на фиг. 2, динамический регистр 200 с компенсацией утечки содержит ввод D, вывод Q, электрод СКН синхросигнала, электрод СКР синхросигнала, блок 201 коммутации аналоговых сигналов, регистр-защелку 202 данных, выходной возбудитель 203 и блок 204 компенсации утечки. Блок 201 коммутации аналоговых сигналов, регистр-защелка 202 данных и выходной возбудитель 203 соединены последовательно между вводом D и выводом Q, причем блок 201 коммутации аналоговых сигналов и регистр-защелка 202 данных образуют между собой узел S0. Блок 204 компенсации утечки электрически подключен между узлом S0 и выводом Q. Ввод D выполнен с возможностью ввода данных, вывод Q выполнен с возможностью выдачи данных, а электрод СКН синхросигнала и электрод СКР синхросигнала выполнены с возможностью подачи синхросигнала СКН и синхросигнала СКР, которые представляют собой инвертированные синхросигналы.

В частности, как показано на фиг. 2, блок 201 коммутации аналоговых сигналов динамического регистра 200 с компенсацией утечки представляет собой передаточную вентиляющую структуру, причем блок 201 коммутации аналоговых сигналов содержит р-канальный МОП-транзистор 201P и п-канальный МОП-транзистор 201N, которые соединены по параллельной схеме. Электрод истока р-канального МОП-транзистора 201P и электрод истока п-канального МОП-транзистора 201N подключены параллельно и электрически соединены с вводом D; а электрод стока р-канального МОП-транзистора 201P и электрод стока п-канального МОП-транзистора 201N подключены параллельно и электрически соединены с узлом S0. Электрод затвора п-канального МОП-транзистора 201N электрически связан с синхросигналом СКН, а электрод затвора р-канального МОП-транзистора 201P электрически связан с синхросигналом СКР. Когда сигнал СКР представляет собой низкоуровневый сигнал, а сигнал СКН представляет собой высокоуровневый сигнал, р-канальный МОП-транзистор 201P и п-канальный МОП-транзистор 201N находятся во включенном состоянии, и данные на вводе D передаются на узел S0 через блок 201 коммутации аналоговых сигналов. Когда сигнал СКР представляет собой высокоуровневый сигнал, а сигнал СКН представляет собой низкоуровневый сигнал, р-канальный МОП-транзистор 201P и п-канальный МОП-транзистор 201N находятся в отключенном состоянии, и данные на вводе D не могут передаваться на узел S0 через блок 201 коммутации аналоговых сигналов. Например, в этом варианте осуществления настоящего изобретения блок 201 коммутации аналоговых сигналов принимает структуру передаточного логического вентиля. Разумеется, блок коммутации аналоговых сигналов может также принимать и иные формы, но только в том случае, если при этом может быть реализована функция переключения под управлением синхросигнала. Однако этим решением настоящее изобретение не ограничено.

Как также показано на фиг. 2, регистр-защелка 202 данных динамического регистра 200 с компенсацией утечки представляет собой инверторную структуру с тремя состояниями, причем регистр-защелка 202 данных содержит р-канальные МОП-транзисторы 202P1, 202P2 и п-канальные МОП-транзисторы 202N1, 202N2, соединенные последовательно между источником VDD питания и землей VSS. Электроды затвора р-канального МОП-транзистора 202P1 и р-канального МОП-транзистора 202N2 соединены друг с другом, образуя ввод регистра-защелки 202 данных. Электроды стока р-канального МОП-транзистора 202P2 и п-канального МОП-транзистора 202N1 соединены друг с другом, образуя вывод регистра-защелки 202 данных. Электрод истока р-канального МОП-транзистора 202P1 соединен с источником VDD питания, а электрод истока п-канального МОП-транзистора 202N2 соединен с землей VSS. Электрод истока р-канального МОП-транзистора 202P2 соединен с электродом стока р-канального МОП-транзистора 202P1, а электрод истока п-канального МОП-транзистора 202N1 соединен с электродом стока п-канального МОП-транзистора 202N2.

В этом варианте осуществления настоящего изобретения электрод затвора р-канального МОП-транзистора 202P2 управляется синхросигналом СКН, а электрод затвора п-канального МОП-транзистора 202N1 управляется синхросигналом СКР, причем указанные электроды представляют собой электроды управления тактовой синхронизацией регистра-защелки 202 данных. Разумеется, также предусмотрена возможность управления электродом затвора р-канального МОП-транзистора 202P2 посредством синхросигнала СКН и управления электродом затвора п-канального МОП-транзистора 202N2 посредством синхросигнала СКР, но настоящее изобретение этим решением не ограничено.

Когда СКР представляет собой низкоуровневый сигнал, а СКН представляет собой высокоуровневый сигнал, р-канальный МОП-транзистор 201P2 и п-канальный МОП-транзистор 201N1 находятся в отключенном состоянии, а регистр-защелка 202 данных находится в состоянии высокого сопротивления. Данные в узле S0 не могут проходить через регистр-защелку 202 данных, и эти данные фиксируются в узле S0, сохраняя его первоначальное состояние и выполнение функции по регистрации данных.

Когда СКР представляет собой высокоуровневый сигнал, а СКН представляет собой низкоуровневый сигнал, р-канальный МОП-транзистор 202P2 и п-канальный МОП-транзистор 202N1 находятся во включенном состоянии, и регистр-защелка 202 данных выполняет функцию инвертирования данных в

узле S0, т.е. на вводе регистра-защелки 202 данных. В этот момент времени данные в узле S0 инвертируются, выдаются в выходной возбудитель 203 и модифицируются в данные на выводе Q.

Как показано на фиг. 2, выходной возбудитель 203 динамического регистра 200 представляет собой инверторную структуру, и данные, полученные из регистра-защелки 202 данных, дополнительно инвертируются, образуя данные с такой же фазой, что и данные на вводе D, после чего эти данные выдаются через вывод Q. При этом выходной возбудитель может также повысить возбуждающую способность данных.

Как показано на фиг. 2, динамический регистр 200 с компенсацией утечки дополнительно содержит блок 204 компенсации утечки. В этом варианте осуществления настоящего изобретения блок 204 компенсации утечки содержит р-канальный МОП-транзистор 204P и n-канальный МОП-транзистор 204N, которые соединены последовательно между выводом Q и узлом S0. Электрод истока р-канального МОП-транзистора 204P электрически соединен с выводом Q, электрод стока затвора р-канального МОП-транзистора 204P электрически соединен с электродом стока затвора n-канального МОП-транзистора 204N, электрод истока n-канального МОП-транзистора 204N электрически соединен с узлом S0, а электроды затвора р-канального МОП-транзистора 204P и n-канального МОП-транзистора 204N соединены друг с другом по параллельной схеме, образуя электрическое соединение с источником VDD питания.

Поскольку электроды затвора р-канального МОП-транзистора 204P и n-канального МОП-транзистора 204N также электрически соединены с источником VDD питания, то за счет возбуждения высокоуровневого сигнала источника VDD питания, р-канальный МОП-транзистор 204P будет находиться в отключенном состоянии, а n-канальный МОП-транзистор 204N будет находиться во включенном состоянии. В этот момент времени блок 204 компенсации утечки может подать ток утечки с вывода Q обратно в узел S0, компенсировать динамический ток утечки в узле S0 и повысить устойчивость хранения данных, улучшая тем самым защищенность и точность данных.

Второй вариант осуществления изобретения.

На фиг. 3 представлена структурная схема цепи динамического регистра с компенсацией утечки согласно другому варианту осуществления настоящего изобретения. Как показано на фиг. 3, динамический регистр 200 с компенсацией утечки содержит ввод D, вывод Q, электрод SKN синхросигнала, электрод СКР синхросигнала, блок 201 коммутации аналоговых сигналов, регистр-защелку 202 данных, выходной возбудитель 203 и блок 204 компенсации утечки. Блок 201 коммутации аналоговых сигналов, регистр-защелка 202 данных и выходной возбудитель 203 последовательно подключены между вводом D и выводом Q, причем между блоком 201 коммутации аналоговых сигналов и регистром-защелкой 202 данных предусмотрен узел S0. Блок 204 компенсации утечки электрически подключен между узлом S0 и выводом Q. Ввод D выполнен с возможностью ввода данных, вывод выполнен с возможностью выдачи данных, а электрод SKN синхросигнала и электрод СКР синхросигнала выполнены с возможностью подачи синхросигнала SKN и синхросигнала СКР, которые представляют собой инвертированные синхросигналы.

В частности, как показано на фиг. 3, блок 201 коммутации аналоговых сигналов динамического регистра 200 с компенсацией утечки представляет собой передаточную вентиляльную структуру, а блок 201 коммутации аналоговых сигналов содержит р-канальный МОП-транзистор 201P и n-канальный МОП-транзистор 201N, которые подключены по параллельной схеме. Электрод истока р-канального МОП-транзистора 201P и электрод истока n-канального МОП-транзистора 201N подключены параллельно и электрически соединены с вводом D, а электрод стока р-канального МОП-транзистора 201P и электрод стока n-канального МОП-транзистора 201N подключены параллельно и электрически соединены с узлом S0. Электрод затвора n-канального МОП-транзистора 201N электрически связан с синхросигналом SKN, а электрод затвора р-канального МОП-транзистора 201P электрически связан с синхросигналом СКР. Когда сигнал СКР представляет собой низкоуровневый сигнал, а сигнал SKN представляет собой высокоуровневый сигнал, р-канальный МОП-транзистор 201P и n-канальный МОП-транзистор 201N находятся во включенном состоянии, и данные на вводе D передаются на узел S0 через блок 201 коммутации аналоговых сигналов. Когда сигнал СКР представляет собой высокоуровневый сигнал, а сигнал SKN представляет собой низкоуровневый сигнал, р-канальный МОП-транзистор 201P и n-канальный МОП-транзистор 201N находятся в отключенном состоянии, и данные на вводе D не могут передаваться в узел S0 через блок 201 коммутации аналоговых сигналов. Например, в этом варианте осуществления настоящего изобретения блок 201 коммутации аналоговых сигналов принимает структуру передаточного логического вентиля. Разумеется, блок коммутации аналоговых сигналов может также принимать и иные формы, но только в том случае, если при этом может быть реализована функция переключения под управлением синхросигнала. Однако этим решением настоящее изобретение не ограничено.

Как также показано на фиг. 3, регистр-защелка 202 данных динамического регистра 200 с компенсацией утечки представляет собой инверторную структуру с тремя состояниями, причем регистр-защелка 202 данных содержит р-канальные МОП-транзисторы 202P1, 202P2 и n-канальные МОП-транзисторы 202N1, 202N2, подключенные последовательно между источником VDD питания и землей VSS. Электроды затвора р-канального МОП-транзистора 202P1 и р-канального МОП-транзистора 202N2 соединены друг с другом, образуя ввод регистра-защелки 202 данных. Электроды стока р-канального МОП-

транзистора 202P2 и p-канального МОП-транзистора 202N1 соединены друг с другом, образуя вывод регистра-защелки 202 данных. Электрод истока p-канального МОП-транзистора 202P1 соединен с источником VDD питания, а электрод истока n-канального МОП-транзистора 202N2 соединен с землей VSS. Электрод истока p-канального МОП-транзистора 202P2 соединен с электродом стока p-канального МОП-транзистора 202P1, а электрод истока n-канального МОП-транзистора 202N1 соединен с электродом стока n-канального МОП-транзистора 202N2.

В этом варианте осуществления настоящего изобретения электрод затвора p-канального МОП-транзистора 202P2 управляется синхросигналом SKN, а электрод затвора n-канального МОП-транзистора 202N1 управляется синхросигналом СКР, причем указанные электроды представляют собой электроды управления тактовой синхронизацией регистра-защелки 202 данных. Разумеется, также предусмотрена возможность управления электродом затвора p-канального МОП-транзистора 202P2 посредством синхросигнала SKN и управления электродом затвора n-канального МОП-транзистора 202N2 посредством синхросигнала СКР, но настоящее изобретение этим решением не ограничено.

Когда СКР представляет собой низкоуровневый сигнал, а SKN представляет собой высокоуровневый сигнал, p-канальный МОП-транзистор 201P2 и n-канальный МОП-транзистор 201N1 не находятся во включенном состоянии. При этом регистр-защелка 202 данных находится в состоянии высокого сопротивления; при этом данные в узле S0 не могут проходить через регистр-защелку 202 данных, и эти данные фиксируются в узле S0, сохраняя его первоначальное состояние и выполнение функции по регистрации данных.

Когда СКР представляет собой высокоуровневый сигнал, а SKN представляет собой низкоуровневый сигнал, p-канальный МОП-транзистор 202P2 и n-канальный МОП-транзистор 202N1 находятся во включенном состоянии, и регистр-защелка 202 данных выполняет функцию инвертирования данных в узле S0, т.е. на входе регистра-защелки 202 данных. В этот момент времени данные в узле S0 инвертируются, выдаются в выходной возбудитель 203 и модифицируются в данные на выводе Q.

Как показано на фиг. 3, выходной возбудитель 203 динамического регистра 200 представляет собой инверторную структуру, и данные, полученные их регистра-защелки 202 данных, дополнительно инвертируются, образуя данные с такой же фазой, что и данные на входе D, после чего эти данные выдаются через вывод Q. При этом выходной возбудитель может также повысить возбуждающую способность данных.

Как показано на фиг. 3, динамический регистр 200 с компенсацией утечки дополнительно содержит блок 204 компенсации утечки. Этот вариант осуществления настоящего изобретения отличается от варианта осуществления, проиллюстрированного на фиг. 2, тем, что в этом варианте осуществления блок 204 компенсации утечки содержит p-канальный МОП-транзистор 204P и n-канальный МОП-транзистор 204N, которые подключены последовательно между выводом Q и узлом S0. Электрод истока p-канального МОП-транзистора 204P электрически соединен с узлом S0, электрод стока p-канального МОП-транзистора 204P электрически соединен с электродом стока n-канального МОП-транзистора 204N, электрод истока n-канального МОП-транзистора 204N электрически соединен с выводом Q, а электроды затвора p-канального МОП-транзистора 204P и n-канального МОП-транзистора 204N соединены друг с другом по параллельной схеме, образуя электрическое соединение с землей VSS.

Поскольку электроды затвора p-канального МОП-транзистора 204P и n-канального МОП-транзистора 204N также электрически соединены с землей VSS, то за счет возбуждения низкоуровневого сигнала земли VSS p-канальный МОП-транзистор 204P будет находиться во включенном состоянии, а n-канальный МОП-транзистор 204N будет находиться в отключенном состоянии. Соответственно, блок 204 компенсации утечки может подать ток утечки с вывода Q обратно в узел S0, компенсировать ток утечки в узле S0 и повысить устойчивость хранения данных, улучшая тем самым защищенность и точность данных.

Гибкий вариант осуществления изобретения.

На фиг. 4 представлена структурная схема цепи динамического регистра с компенсацией утечки согласно еще одному из вариантов осуществления настоящего изобретения. Как показано на фиг. 2 и 4, этот вариант осуществления настоящего изобретения отличается от варианта осуществления, проиллюстрированного на фиг. 2, тем, что в этом варианте осуществления электроды затвора p-канального МОП-транзистора 204P и n-канального МОП-транзистора 204N в блоке 204 компенсации утечки соединены друг с другом по параллельной схеме, образуя электрическое соединение с узлом S0.

Поскольку электроды затвора p-канального МОП-транзистора 205P и n-канального МОП-транзистора 205N также электрически соединены с узлом S0, то за счет возбуждения сигналов одного и того же уровня p-канальный МОП-транзистор 205P и n-канальный МОП-транзистор 205N не будут включаться одновременно, а только один из них будет находиться во включенном состоянии, тогда как другой будет находиться в отключенном состоянии. Например, при высоком уровне сигнала в узле S0 p-канальный МОП-транзистор 205P будет находиться в отключенном состоянии, а n-канальный МОП-транзистор 205N будет находиться во включенном состоянии. При низком уровне сигнала в узле S0 p-канальный МОП-транзистор 205P будет находиться во включенном состоянии, а n-канальный МОП-транзистор 205N будет находиться в отключенном состоянии. Соответственно, блок 205 обратной связи

по утечке может подать ток утечки с вывода Q обратно в узел S0, компенсировать ток утечки в узле S0 и повысить устойчивость хранения данных, улучшая тем самым защищенность и точность данных.

На фиг. 5 представлена структурная схема цепи динамического регистра с компенсацией утечки согласно еще одному из вариантов осуществления настоящего изобретения. Как показано на фиг. 3 и 5, этот вариант осуществления настоящего изобретения отличается от варианта осуществления, проиллюстрированного на фиг. 3, тем, что электроды затвора р-канального МОП-транзистора 204P и n-канального МОП-транзистора 204N в блоке 204 компенсации утечки соединены друг с другом по параллельной схеме, образуя электрическое соединение с узлом S0.

Поскольку электроды затвора р-канального МОП-транзистора 205P и n-канального МОП-транзистора 205N также электрически соединены с узлом S0, то за счет возбуждения сигналов одного и того же уровня р-канальный МОП-транзистор 205P и n-канальный МОП-транзистор 205N не будут включаться одновременно, а только один из них будет находиться во включенном состоянии, тогда как другой будет находиться в отключенном состоянии. Например, при высоком уровне сигнала в узле S0 р-канальный МОП-транзистор 205P будет находиться в отключенном состоянии, а n-канальный МОП-транзистор 205N будет находиться во включенном состоянии. При низком уровне сигнала в узле S0 р-канальный МОП-транзистор 205P будет находиться во включенном состоянии, а n-канальный МОП-транзистор 205N будет находиться в отключенном состоянии. Соответственно, блок 205 обратной связи по утечке может подать ток утечки с вывода Q обратно в узел S0, компенсировать ток утечки в узле S0 и повысить устойчивость хранения данных, улучшая тем самым защищенность и точность данных.

На фиг. 6 представлена структурная схема цепи динамического регистра с компенсацией утечки согласно одному из расширенных вариантов осуществления настоящего изобретения. Как показано на фиг. 6, блок 204 компенсации утечки динамического регистра 200 с компенсацией утечки содержит р-канальный МОП-транзистор 204P, содержащий электрод истока, который электрически соединен с выводом, электрод стока, который электрически соединен с узлом S0, и электрод затвора, который электрически соединен с источником VDD питания.

Поскольку электрод затвора р-канального МОП-транзистора 204P электрически соединен с источником VDD питания, то за счет возбуждения высокоуровневого сигнала источника VDD питания р-канальный МОП-транзистор 204P будет находиться в отключенном состоянии. Соответственно, блок 204 компенсации утечки может подать ток утечки с вывода Q обратно в узел S0, компенсировать ток утечки в узле S0 и повысить устойчивость хранения данных, улучшая тем самым защищенность и точность данных.

На фиг. 7 представлена структурная схема цепи динамического регистра с компенсацией утечки согласно другому расширенному варианту осуществления настоящего изобретения. Как показано на фиг. 7, блок 204 компенсации утечки динамического регистра 200 с компенсацией утечки содержит n-канальный МОП-транзистор 204N содержащий электрод истока, который электрически соединен с узлом S0; электрод стока, который электрически соединен с выводом Q; и электрод затвора, который электрически соединен с землей VSS.

Поскольку электрод затвора n-канального МОП-транзистора 204N электрически соединен с землей VSS, то за счет возбуждения низкоуровневого сигнала земли VSS n-канальный МОП-транзистор 204N будет находиться в отключенном состоянии. Соответственно, блок 204 компенсации утечки может подать ток утечки с вывода Q обратно в узел S0, компенсировать ток утечки в узле S0 и повысить устойчивость хранения данных, улучшая тем самым защищенность и точность данных.

Настоящим изобретением дополнительно предложен блок обработки данных, и на фиг. 8 представлена структурная схема блока обработки данных согласно настоящему изобретению. Как показано на фиг. 8, блок 800 обработки данных содержит цепь 801 управления, цепь 802 решения и множество динамических регистров 200 с компенсацией утечки. Цепь 801 управления обновляет данные в динамических регистрах 200 и считывает данные с динамических регистров 200. Цепь 802 решения выполняет определенную операцию в отношении считанных данных, после чего выдает результат этой операции через цепь 801 управления.

Настоящим изобретением дополнительно предложена микросхема, и на фиг. 9 схематически показана структура микросхемы согласно настоящему изобретению. Как показано на фиг. 9, микросхема 900 содержит блок 901 управления и один или несколько блоков 800 обработки данных. Блок 901 управления вводит данные в блок 800 обработки данных и обрабатывает данные, выдаваемые блоком 800 обработки данных.

Настоящим изобретением дополнительно предложена хеш-плата, и на фиг. 10 представлена структурная схема хеш-платы согласно настоящему изобретению. Как показано на фиг. 10, каждая из хеш-плат 1000 содержит одну или несколько микросхем 900 для выполнения масштабных операций в отношении рабочих данных, передаваемых в нисходящем направлении с вычислительного устройства.

Настоящим изобретением дополнительно предложено вычислительное устройство, причем это вычислительное устройство выполнено с возможностью майнинга виртуальных цифровых валют. Разумеется, вычислительное устройство может быть также рассчитано на любые другие масштабные операции. На фиг. 11 представлена структурная схема вычислительного устройства согласно настоящему изобретению. Как показано на фиг. 11, каждое из вычислительных устройств 1100 содержит соединительную

плату 1101, плату 1102 управления, теплоотвод 1103, плату 1104 питания и одну или несколько хеш-плат 1000. Плата 1102 управления соединена с хеш-платами 1000 посредством соединительной платы 1101, а теплоотвод 1103 располагается вокруг хеш-плат 1000. Плата 1104 питания выполнена с возможностью подачи питания на соединительную плату 1101, плату 1102 питания, теплоотвод 1103 и хеш-платы 1000.

Следует отметить, что в настоящем изобретении ориентация или относительное положение, обозначенное терминами "поперечный", "продольный", "вверх", "вниз", "передний", "задний", "левый", "правый", "вертикальный", "горизонтальный", "верхний", "нижний", "в", "вне" и прочими терминами подобного рода, представляет собой ориентацию или относительное положение, показанное на чертежах, и служит исключительно цели описания настоящего изобретения и упрощения его понимания, не предполагая или не указывая на то, что соответствующее устройство или элемент должен иметь конкретную ориентацию и выстраиваться и функционировать в конкретной ориентации, и поэтому указанная ориентация или относительное положение не должно трактоваться как ограничивающее настоящее изобретение.

Иначе говоря, настоящее изобретение может быть также реализовано в самых разных вариантах своего осуществления, а специалисты в данной области техники могут внести в него различные изменения и модификации без отступления от сущности и объема заявленного изобретения, но эти соответствующие изменения и модификации должны входить в объем правовой охраны прилагаемой формулы настоящего изобретения.

Промышленная применимость

Применение динамического регистра с компенсацией утечки, а также блока обработки данных, микросхемы, хеш-платы и вычислительного устройства согласно настоящему изобретению обеспечивает следующие положительные эффекты: обеспечивается возможность подачи тока утечки с вывода обратно в узел, возможность компенсации динамического тока утечки в узле и возможность повышения устойчивости хранения данных, что повышает защищенность и точность данных.

ФОРМУЛА ИЗОБРЕТЕНИЯ

1. Динамический регистр с компенсацией утечки, содержащий
 - ввод, предназначенный для ввода данных;
 - вывод, предназначенный для выдачи данных;
 - электрод синхросигнала, предназначенный для подачи синхросигнала;
 - блок коммутации аналоговых сигналов, предназначенный для передачи данных под управлением синхросигнала;
 - регистр-защелку данных для фиксации данных под управлением синхросигнала и выходной возбудитель для инвертирования и вывода данных, полученных из регистра-защелки данных;
 - при этом блок коммутации аналоговых сигналов, регистр-защелка данных и выходной возбудитель соединены последовательно между вводом и выводом, а между блоком коммутации аналоговых сигналов и регистром-защелкой данных располагается узел;
 - при этом динамический регистр с компенсацией утечки дополнительно содержит блок компенсации утечки, электрически подключенный между узлом и выводом.
2. Динамический регистр с компенсацией утечки по п.1, в котором блок компенсации утечки характеризуется наличием первого электрода, электрически соединенного с выводом, второго электрода, электрически соединенного с узлом, и управляющего электрода.
3. Динамический регистр с компенсацией утечки по п.2, в котором блок компенсации утечки содержит р-канальный МОП-транзистор и n-канальный МОП-транзистор, которые подключены последовательно между выводом и узлом.
4. Динамический регистр с компенсацией утечки по п.3, в котором р-канальный МОП-транзистор характеризуется наличием электрода истока, электрически соединенного с выводом; электрода стока, электрически соединенного с электродом стока n-канального МОП-транзистора; и электрода затвора; а n-канальный МОП-транзистор содержит электрод истока, электрически соединенный с узлом; электрод стока и электрод затвора.
5. Динамический регистр с компенсацией утечки по п.4, в котором р-канальный МОП-транзистор и n-канальный МОП-транзистор характеризуются наличием электродов затвора, подключенных параллельно и электрически соединенных с источником питания или узлом.
6. Динамический регистр с компенсацией утечки по п.3, в котором р-канальный МОП-транзистор характеризуется наличием электрода истока, электрически соединенного с узлом; электрода стока и электрода затвора; а n-канальный МОП-транзистор характеризуется наличием электрода истока, электрически соединенного с выводом; электрода стока, электрически соединенного с электродом стока р-канального МОП-транзистора; и электрода затвора.
7. Динамический регистр с компенсацией утечки по п.6, в котором р-канальный МОП-транзистор и n-канальный МОП-транзистор характеризуются наличием электродов затвора, подключенных параллельно и электрически соединенных с землей или узлом.

8. Динамический регистр с компенсацией утечки по п.2, в котором блок компенсации утечки содержит р-канальный МОП-транзистор, характеризующийся наличием электрода истока, электрически соединенного с выводом; электрода стока, электрически соединенного с узлом; и электрода затвора, электрически соединенного с источником питания.

9. Динамический регистр с компенсацией утечки по п.2, в котором блок компенсации утечки содержит n-канальный МОП-транзистор, характеризующийся наличием электрода истока, электрически соединенного с узлом; электрода стока, электрически соединенного с выводом; и электрода затвора, электрически соединенного с землей.

10. Динамический регистр с компенсацией утечки по п.1, в котором синхросигнал содержит первый синхросигнал и второй синхросигнал с обратной фазой.

11. Динамический регистр с компенсацией утечки по п.1, в котором блок коммутации аналоговых сигналов представляет собой передаточный логический вентиль.

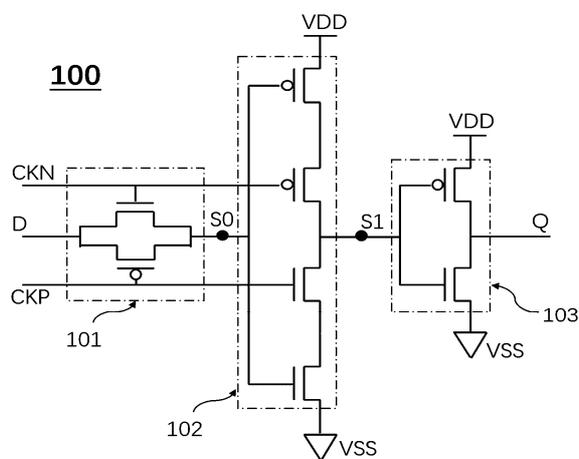
12. Динамический регистр с компенсацией утечки по п.1, в котором регистр-защелка данных представляет собой инвертор с тремя состояниями.

13. Блок обработки данных, содержащий плату управления, плату решений и множество динамических регистров с компенсацией утечки, взаимно соединенных друг с другом, при этом множество динамических регистров с компенсацией утечки соединено последовательно и/или параллельно, причем динамические регистры с компенсацией утечки в указанном множестве могут представлять собой динамические регистры с компенсацией утечки по любому из предшествующих пп.1-12.

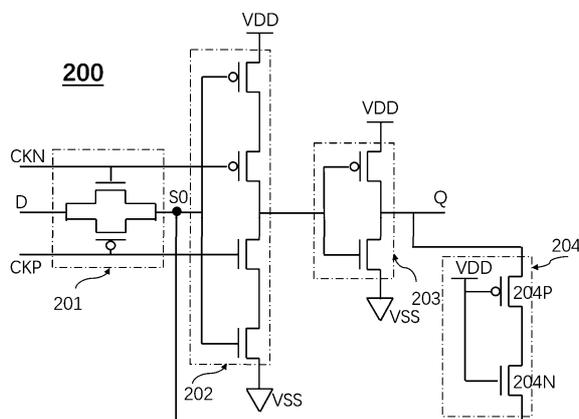
14. Микросхема, содержащая по меньшей мере один из блоков обработки данных по п.13.

15. Хеш-плата для вычислительного устройства, содержащая по меньшей мере одну из микросхем по п.14.

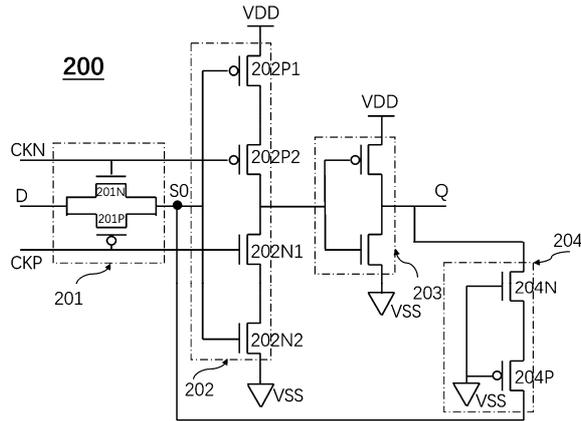
16. Вычислительное устройство, содержащее плату питания, плату управления, соединительную плату, теплоотвод и множество хеш-плат, причем плата управления соединена с хеш-платами посредством соединительной платы, теплоотвод располагается вокруг хеш-плат, а плата питания выполнена с возможностью подачи питания на соединительную плату, плату управления, теплоотвод и хеш-платы, при этом хеш-плата представляет собой хеш-плату по п.15.



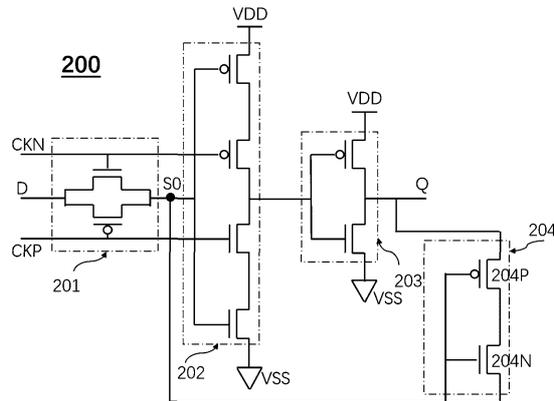
Фиг. 1



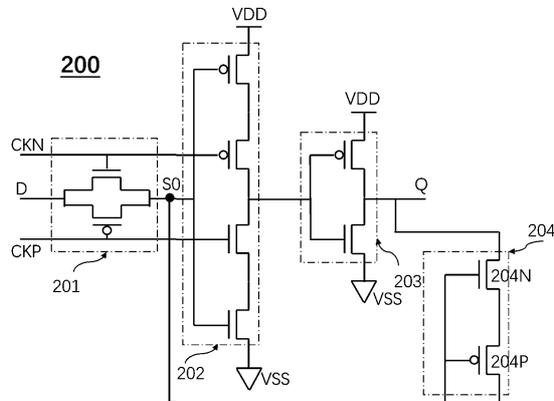
Фиг. 2



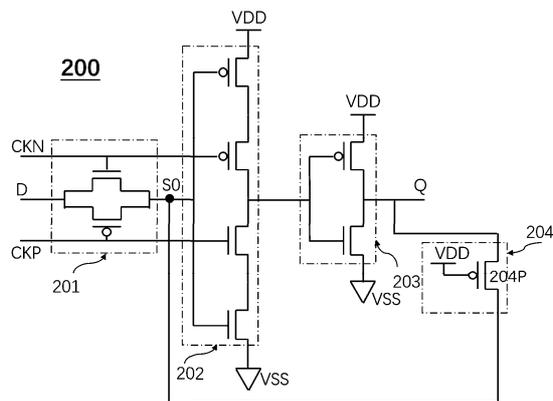
Фиг. 3



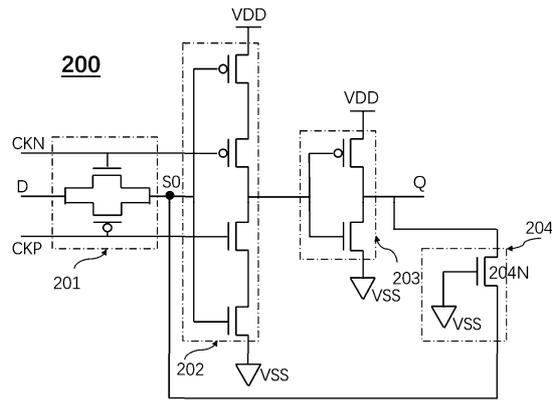
Фиг. 4



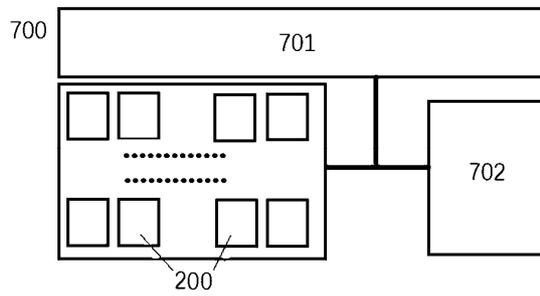
Фиг. 5



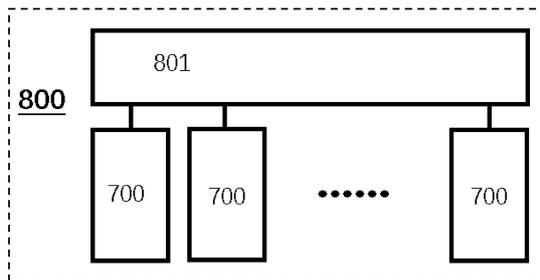
Фиг. 6



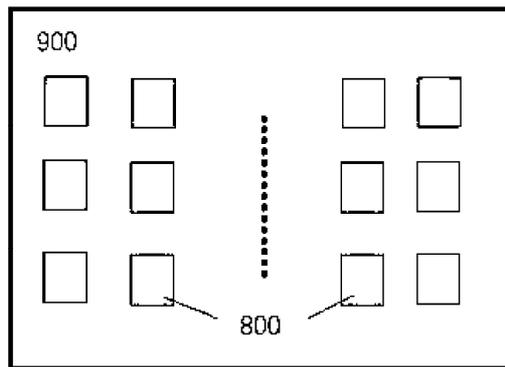
Фиг. 7



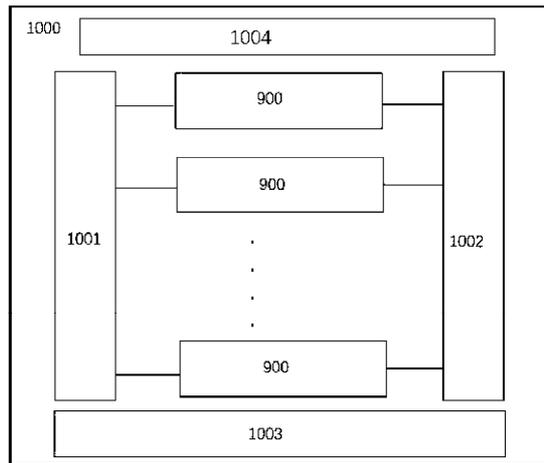
Фиг. 8



Фиг. 9



Фиг. 10



Фиг. 11