

(19)



Евразийское
патентное
ведомство

(21) 202291922 (13) A1

(12) ОПИСАНИЕ ИЗОБРЕТЕНИЯ К ЕВРАЗИЙСКОЙ ЗАЯВКЕ

(43) Дата публикации заявки
2022.10.11(51) Int. Cl. H03K 3/017 (2006.01)
H03K 5/06 (2006.01)(22) Дата подачи заявки
2020.06.29

(54) СХЕМА ГЕНЕРАЦИИ ТАКТОВЫХ ИМПУЛЬСОВ, ТРИГГЕР, ИСПОЛЬЗУЮЩИЙ ЕЕ, И ВЫЧИСЛИТЕЛЬНОЕ УСТРОЙСТВО

(31) 201911422474.4

(72) Изобретатель:

(32) 2019.12.30

Лю Цзеяо, Чжан Наньгэн, Ву Цзинцзе,
Ма Шэнхоу (CN)

(33) CN

(86) PCT/CN2020/098899

(74) Представитель:

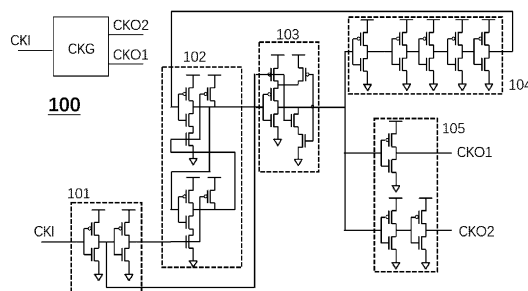
(87) WO 2021/135102 2021.07.08

Нилова М.И. (RU)

(71) Заявитель:

КАНААН КРИЭЙТИВ (СХ) КО., ЛТД.
(CN)

(57) Предложена схема генерации тактовых импульсов, триггер, использующий ее, и вычислительное устройство. Схема генерации тактовых импульсов включает в себя входной конец, выполненный с возможностью вывода импульсного сигнала (СК1); первый выходной конец, выполненный с возможностью вывода первого тактового сигнала (СКО1); второй выходной конец, выполненный с возможностью вывода второго тактового сигнала (СКО2); и схему (101) входного возбуждения, схему (102) триггера, схему (103) формирования фронта, блок (104) задержки обратной связи, и схему (105) выходного возбуждения, причем схема (101) входного возбуждения, схема (102) триггера, схема (103) формирования фронта, блок (104) задержки обратной связи и схема (105) выходного возбуждения последовательно соединены между входным концом и первым выходным концом, а также вторым выходным концом с последовательным подключением. Обеспечивается возможность эффективного формирования тактового импульса, уменьшения использования тактового буфера и повышения корректности и точности передачи и обработки данных.



A1

202291922

202291922

A1

СХЕМА ГЕНЕРАЦИИ ТАКОВЫХ ИМПУЛЬСОВ И ТРИГГЕР, ИСПОЛЬЗУЮЩИЙ ЕЕ, И ВЫЧИСЛИТЕЛЬНОЕ УСТРОЙСТВО

ОБЛАСТЬ ТЕХНИКИ

Настоящая заявка относится к запоминающему устройству, управляемому тактовыми импульсами, и, в частности, к схеме генерации тактовых импульсов, триггеру, использующему ее, и вычислительному устройству, используемому в устройстве для обработки больших наборов данных.

УРОВЕНЬ ТЕХНИКИ

Триггеры широко используются для регистрации цифровых сигналов. На фиг. 1 представлена функциональная схема и диаграмма последовательности сигналов существующего триггера. Как показано на фиг. 1, триггер включает в себя входной конец D, выходной конец Q и конец СК тактового сигнала. Принцип работы триггера заключается в том, что, когда тактовый сигнал СК находится на нижнем уровне «0», данные входного конца D передаются на выходной конец Q и обрабатываются триггером до следующего тактового периода. Кроме того, из фиг. 1 можно видеть, что данные, передаваемые на выходной конец Q, имеют задержки относительно тактового сигнала СК и входного конца D. Например, задержка относительно тактового сигнала СК равна $СК2Q$, а задержка относительно входного конца D равна $D2Q$. Когда множество триггеров соединены с последовательным подключением, происходит конфликт при передаче данных.

На фиг. 2 представлена схематическая иллюстрация построения схемы и диаграмма последовательности сигналов каскадных триггеров. Как показано на фиг. 2, когда множество триггеров, триггер1, триггер2, триггер3, ... и т.п. соединены с последовательным подключением, конец

СК тактового сигнала каждого уровня триггеров соединен с тем же тактовым сигналом. Поскольку когда тактовый сигнал находится на нижнем уровне, данные входного конца D триггера предыдущего уровня напрямую передаются на выходной конец Q, а триггер последующего уровня напрямую передает новые данные на триггер следующего уровня, вызывая нежелательное объединение. Чтобы исключить нежелательное объединение, обеспечивается сдвиг фаз тактовых сигналов и уменьшение ширины тактовых сигналов.

На фиг. 3 представлена схематическая иллюстрация построения схемы и диаграмма последовательности сигналов каскадных триггеров, использующих различные тактовые сигналы первым способом. Как показано на фиг. 3, когда множество триггеров, триггер1, триггер2, триггер3, ... и т.п., соединены с последовательным подключением, конец СК тактового сигнала каждого уровня триггеров соединяется с различными тактовыми сигналами. Например, конец СК тактового сигнала триггера триггера1 соединяется с тактовым сигналом СК1, конец СК тактового сигнала триггера триггера2 соединяется с тактовым сигналом СК2, конец СК тактового сигнала триггера триггера3 соединяется с тактовым сигналом СК3, и так далее. В качестве примера используются первые триггеры третьего уровня, триггер1, триггер2 и триггер3. Из фиг. 3 можно понять, что, поскольку фазы тактовых сигналов СК1, СК2 и СК3 сдвинуты, данные, вводимые входным концом D, передаются в направлении триггеров, триггера1, триггера2 и триггера3, то есть данные поступают на триггер, в первую очередь на триггер1, а на триггер3 поступают в последнюю очередь. Поскольку тактовые сигналы СК1, СК2 и СК3 имеют разные задержки и задний фронт тактового сигнала СК3 поступает на триггер3 первым, а задний фронт тактового сигнала СК1 поступает на триггер1 последним, это означает, что триггер, на который данные поступают первыми, является триггером, на который задний фронт тактового импульса поступает последним. Таким образом, данные, передаваемые триггерами,

триггером1, триггером2 и триггером3, передаются между множеством триггеров, триггером1, триггером2, триггером3 последовательно, чтобы эффективно исключить нежелательное объединение данных. В этом случае возникает другая проблема.

На фиг. 4 представлена схематическая иллюстрация построения схемы и диаграмма последовательности сигналов каскадных триггеров, использующих различные тактовые сигналы другим способом. Как показано на фиг. 3, когда множество триггеров, триггер1, триггер2, триггер3, ... и т.п., соединены с последовательным подключением, конец СК тактового сигнала каждого из триггеров соединяется с различными тактовыми сигналами. Например, конец СК тактового сигнала триггера триггера1 соединяется с тактовым сигналом СК1, конец СК тактового сигнала триггера триггера2 соединяется с тактовым сигналом СК2, конец СК тактового сигнала триггера триггера3 соединяется с тактовым сигналом СК3, и так далее. Из фиг. 4 можно понять, что, когда фазы тактовых сигналов СК1, СК2 и СК3 не могут быть полностью сдвинуты, или когда ширина импульсов тактовых сигналов СК1, СК2 и СК3 чрезмерно велика, данные между нестабильными состояниями триггеров нежелательно объединяются. Неидеальный импульсный сигнал (сбой) напрямую переходит на следующий уровень из-за нежелательного объединения, что приводит к более высокому энергопотреблению. Кроме того, энергопотребление вычислительного чипа, использующего триггер, превышает ожидаемое значение. Это нежелательное объединение импульсного сигнала в обычном временном анализе также называется захватом. Кроме того, для полного сдвига фаз между тактовыми сигналами требуется большое количество буферов.

Поэтому эффективное уменьшение количества буферов, исключение нежелательного объединения, повышение корректности и точности передачи и защелкивания, представляет собой проблему,

требующую решения.

СУЩНОСТЬ ИЗОБРЕТЕНИЯ

Для решения проблемы настоящая заявка предлагает схему генерации тактовых импульсов, триггер, использующий ее, и вычислительное устройство, которое обеспечивает возможность эффективного формирования тактового импульса, сокращения использования буфера тактовых импульсов и повышения корректности и точности передачи и защелкивания.

Для решения поставленной задачи настоящая заявка предоставляет схему генерации тактовых импульсов, включающую: входной конец, выполненный с возможностью вывода импульсного сигнала; первый выходной конец, выполненный с возможностью вывода первого тактового сигнала; второй выходной конец, выполненный с возможностью вывода второго тактового сигнала; и схему входного возбуждения, схему триггера, схему формирования фронта, блок задержки обратной связи и схему выходного возбуждения, причем схема входного возбуждения, схема триггера, схема формирования фронта, блок задержки обратной связи и схема выходного возбуждения последовательно соединены между входным концом и первым выходным концом, а также вторым выходным концом с последовательным подключением.

Для лучшего решения задачи настоящая заявка дополнительно предусматривает триггер, включающий: конец для ввода данных, выполненный с возможностью ввода сигнала данных; конец для вывода данных, выполненный с возможностью вывода сигнала данных; конец для ввода тактового сигнала, выполненный с возможностью ввода первого тактового сигнала; множество уровней схем триггера, последовательно соединенных между концом для ввода данных и

концом для вывода данных с последовательным подключением в соответствии с первой последовательностью; и множество уровней схем генерации тактовых импульсов, последовательно соединенных с последовательным подключением в соответствии со второй последовательностью и электрически соединенных с множеством уровней схем триггера, причем направление первой последовательности противоположно направлению второй последовательности, а указанная схема генерации тактовых импульсов представляет собой схему генерации тактовых импульсов.

Для лучшего решения задачи настоящая заявка дополнительно предоставляет вычислительное устройство, включающее в себя один или более триггеров.

Далее настоящая заявка подробно описана со ссылкой на прилагаемые чертежи и конкретные варианты осуществления, но это не должно использоваться в качестве ограничения данной заявки.

КРАТКОЕ ОПИСАНИЕ ЧЕРТЕЖЕЙ

На фиг. 1 представлена функциональная схема и диаграмма последовательности сигналов существующего триггера.

На фиг. 2 представлена схематическая иллюстрация построения схемы и диаграмма последовательности сигналов существующих каскадных триггеров.

На фиг. 3 представлена схематическая иллюстрация построения схемы и диаграмма последовательности сигналов существующих каскадных триггеров, использующих различные тактовые сигналы первым способом.

На фиг. 4 представлена схематическая иллюстрация построения схемы и диаграмма последовательности сигналов существующих каскадных триггеров, использующих различные тактовые сигналы

другим способом.

На фиг. 5 представлена схематическая иллюстрация построения схемы генерации тактовых импульсов согласно одному варианту осуществления по настоящей заявке.

На фиг. 6 представлена схематическая иллюстрация построения схемы входного возбуждения согласно одному варианту осуществления по настоящей заявке.

На фиг. 7 представлена схематическая иллюстрация построения схемы триггера согласно одному варианту осуществления по настоящей заявке.

На фиг. 8 представлена схематическая иллюстрация построения схемы формирования фронта согласно одному варианту осуществления по настоящей заявке.

На фиг. 9 представлена схематическая иллюстрация построения схемы блока задержки обратной связи согласно одному варианту осуществления по настоящей заявке.

На фиг. 10 представлена схематическая иллюстрация построения схемы выходного возбуждения согласно одному варианту осуществления по настоящей заявке.

На фиг. 11 представлена схематическая временная диаграмма тактового сигнала второго выходного конца схемы генерации тактовых импульсов.

На фиг. 12 представлена диаграмма последовательности сигналов триггерного блока под управлением схемы генерации тактовых импульсов согласно одному варианту осуществления по настоящей заявке.

На фиг. 13 представлена схематическая иллюстрация построения схемы и диаграмма последовательности сигналов триггера согласно одному варианту осуществления по настоящей заявке.

На фиг. 14 представлена схематическая иллюстрация построения схемы и диаграмма последовательности сигналов триггера согласно другому варианту осуществления по настоящей заявке.

Ссылочные обозначения:

100. Схема генерации тактовых импульсов

101. Схема входного возбуждения

102. Схема триггера

103. Схема формирования фронта

104. Блок задержки обратной связи

105. Схема выходного возбуждения

200. Триггер

INV1, INV2, INV3, INV4 и INV5: Инверторы

NAND1 и NAND2: NAND-вентили

P1, P2 и P3: PMOS-транзисторы

N1, N2 и N3: NMOS-транзисторы

СКГ, СКГ1, СКГ2 и СКГ3: Схемы генерации тактовых импульсов

СКІ: Входной конец

СКО1: Первый выходной конец

СКО2: Второй выходной конец

СКР1, СКР2 и СКР3: Тактовые сигналы

Триггер1, триггер2 и триггер3: Схемы триггера

D1, D2 и D3: Входные концы

Q1, Q2 и Q3: Выходные концы

DC: Схема задержки

VDD: Источник питания

VSS: Заземление

ОСУЩЕСТВЛЕНИЕ ИЗОБРЕТЕНИЯ

Принцип построения и принцип работы этого устройства подробно описаны ниже со ссылкой на прилагаемые чертежи.

Некоторые термины используются для обозначения конкретных

компонентов в описании и прилагаемой формуле изобретения. Те, кто обладает обычными знаниями в данной области, должны понимать, что производители могут обозначать один и тот же компонент разными наименованиями. В описании и прилагаемой формуле изобретения различие в функциях компонентов, а не различие в названии, используется в качестве стандарта для различения компонентов.

Термины «включает» и «содержит», упомянутые во всем описании и прилагаемой формуле изобретения, являются открытыми терминами и, следовательно, должны объясняться как «включает, но не ограничивается этим». Кроме того, термин «соединение» включает любое прямое или не прямое средство электрического соединения. Непрямое средство электрического соединения включает соединение через другое устройство.

На фиг. 5 представлена схематическая иллюстрация построения схемы генерации тактовых импульсов согласно одному варианту осуществления по настоящей заявке. Как показано на фиг. 5, схема 100 генерации тактовых импульсов включает входной конец СКІ, первый выходной конец СКО1 и второй выходной конец СКО2. Схема 101 входного возбуждения, схема 102 триггера, схема 103 формирования фронта, блок 104 задержки обратной связи и схема 105 выходного возбуждения последовательно соединены между входным концом СКІ и первым выходным концом СКО1, а также вторым выходным концом СКО2 с последовательным подключением.

Более конкретно, на фиг. 6 представлена схематическая иллюстрация построения схемы входного возбуждения согласно одному варианту осуществления по настоящей заявке. Как показано на фиг. 5 и на фиг. 6, схема 101 входного возбуждения образована двумя инверторами INV1 и INV2, которые соединены с последовательным подключением. Каждый из инверторов INV1 и INV2 включает входной

конец и выходной конец. Входной конец инвертора INV1 электрически соединен с входным концом SKI схемы 100 генерации тактовых импульсов и выполнен с возможностью предоставления начального тактового сигнала схеме 100 генерации тактовых импульсов. Выходной конец инвертора INV1 электрически соединен с входным концом инвертора INV2 и электрически соединен со схемой 103 формирования фронта, а выходной конец инвертора INV2 электрически соединен со схемой 102 триггера. В данной заявке в качестве примера используются только два инвертора, соединенных друг с другом с последовательным подключением. Конечно, схема 101 входного возбуждения в альтернативном варианте может быть образована множеством инверторов, соединенных друг за другом, что обеспечивает возможность двум выходным сигналам, электрически подключенным к схеме 103 формирования фронта и электрически подключенным к схеме 102 триггера, иметь инвертированные фазы. Это не ограничено в настоящей заявке.

Более конкретно, на фиг. 7 представлена схематическая иллюстрация построения схемы триггера согласно одному варианту осуществления по настоящей заявке. Как показано на фиг. 5 - 7, схема 102 триггера образована двумя NAND-вентилем NAND1 и NAND2, которые находятся в перекрестном соединении друг с другом. Каждый из NAND-вентилем NAND1 и NAND2 включает первый входной конец, второй входной конец и выходной конец. Первый входной конец NAND-вентилем NAND1 электрически соединен с выходным концом NAND-вентилем NAND2, второй входной конец NAND-вентилем NAND1 электрически соединен с блоком 104 задержки обратной связи, выходной конец NAND-вентилем NAND1 электрически соединен со схемой 103 формирования фронта и вторым входным концом NAND-вентилем NAND2, а первый входной конец NAND-вентилем NAND2 электрически соединен с выходным концом инвертора INV2.

Более конкретно, на фиг. 8 представлена схематическая иллюстрация построения схемы формирования фронта согласно одному варианту осуществления по настоящей заявке. Как показано на фиг. 5 - 8, схема формирования фронта включает PMOS-транзисторы P1, P2 и P3 и NMOS-транзисторы N1, N2 и N3. Каждый из PMOS-транзисторов или каждый из NMOS-транзисторов включает первый конец, второй конец и управляющий конец. Первые концы PMOS-транзисторов P1 и P2 электрически соединены с источником VDD питания, вторые концы PMOS-транзисторов P1 и P2 электрически соединены с первым концом PMOS-транзистора P3, второй конец PMOS-транзистора P3 соответственно электрически соединен с первыми концами NMOS-транзисторов N1 и N2, второй конец NMOS-транзистора N2 электрически соединен с первым концом NMOS-транзистора N3, вторые концы NMOS-транзисторов N1 и N3 электрически соединены с заземлением VSS, управляющие концы PMOS-транзистора P1 и NMOS-транзистора N2 электрически соединены с выходным концом инвертора INV1, управляющие концы PMOS-транзистора P3 и NMOS-транзистора N1 электрически соединены с выходным концом NAND-вентиля NAND1, и управляющие концы PMOS-транзистора P2 и NMOS-транзистора N3 электрически соединены со вторым концом PMOS-транзистора P3 и электрически соединены с блоком 104 задержки обратной связи и схемой 105 выходного возбуждения.

На фиг. 9 представлена схематическая иллюстрация построения схемы блока задержки обратной связи согласно одному варианту осуществления по настоящей заявке. Как показано на фиг. 5 - 9, схема 104 задержки обратной связи образована множеством инверторов, соединенных с последовательным подключением. Схема 104 задержки обратной связи включает входной конец и выходной конец. Входной конец схемы 104 задержки обратной связи электрически соединен со вторым концом PMOS-транзистора P3 в схеме 103 формирования фронта, а выходной конец схемы 104 задержки обратной связи

электрически соединен со вторым входным концом NAND-вентиля NAND1. Следует отметить, что инверторы с нечетным номером образуют схему 104 задержки обратной связи для вывода сигнала, инвертированного к сигналу входного конца. Конкретное количество зависит от продолжительности, требуемой для задержки входного сигнала. Это не ограничено в настоящей заявке.

На фиг. 10 представлена схематическая иллюстрация построения схемы выходного возбуждения согласно одному варианту осуществления по настоящей заявке. Как показано на фиг. 5 - 10, схема 105 выходного возбуждения включает в себя инверторы INV3, INV4 и INV5. Каждый из инверторов INV3, INV4 и INV5 включает в себя входной конец и выходной конец. Входной конец инвертора INV3 электрически соединен со вторым концом PMOS-транзистора P3 в схеме 103 формирования фронта, выходной конец инвертора INV3 электрически соединен с первым выходным концом SKO1, входной конец инвертора INV4 электрически соединен с входным концом инвертора INV3 и входные концы инверторов INV 3 и INV4 совместно соединены со вторым концом PMOS-транзистора P3 в схеме 103 формирования фронта, выходной конец инвертора INV4 электрически соединен с входным концом инвертора INV5 и выходной конец инвертора INV5 электрически соединен со вторым выходным концом SKO2. В настоящей заявке описание выполнено с использованием только одного инвертора INV3, одного инвертора INV4 и одного инвертора INV5. Конечно, инверторы INV3, INV4 и INV5 могут быть образованы альтернативно путем соединения множества инверторов с последовательным подключением, при условии инверсии выходных сигналов первого выходного конца SKO1 и второго выходного конца SKO2. Это не ограничено в настоящей заявке.

Таким образом, как показано на фиг. 5 - 10, начальный тактовый сигнал вводится в схему 100 генерации тактовых импульсов с входного

конца СКІ, и два инвертированных по фазе тактовых сигнала генерируются схемой 100 генерации тактовых импульсов и соответственно выводятся с использованием первого выходного конца СКО1 и второго выходного конца СКО2. На фиг. 11 представлена схематическая временная диаграмма тактового сигнала второго выходного конца схемы генерации тактовых импульсов. Как показано на фиг. 1 и на фиг. 11, тактовые сигналы, выводимые первым выходным концом СКО1 и вторым выходным концом СКО2 схемы 100 генерации тактовых импульсов, относятся только к восходящему фронту начального тактового сигнала, вводимого входным концом СКІ. Таким образом, ширина импульса тактового сигнала, выводимого вторым выходным концом СКО2 схемы 100 формирования тактовых импульсов, не изменяется независимо от того, является ли ширина импульса начального тактового сигнала, вводимого входным концом СКІ схемы 100 генерации тактовых импульсов, широкой или узкой.

На фиг. 12 представлена диаграмма последовательности сигналов триггерного блока под управлением схемы генерации тактовых импульсов согласно одному варианту осуществления по настоящей заявке. Как показано на фиг. 12, для триггера триггерного блока, корректная передача данных зависит от времени установки данных и времени удержания данных. Требуемое время удержания данных, требуемое время установки данных, время удержания триггерного блока, время установки триггерного блока, время задержки СК Gen и ширина тактового импульса должны удовлетворять следующим соотношениям:

Требуемое Время удержания = Время удержания триггера + (Задержка СК Gen + Ширина импульса) (формула 1); и

Требуемое Время установки = Время установки триггера - (Задержка СК Gen + Ширина импульса) (формула 2). Если Время

установки триггера меньше, чем Ширина импульса, то для обеспечения отсутствия нежелательного объединения данных между нестабильными состояниями каскадных триггерных блоков Требуемое Время установки = макс (Время установки триггера, Ширина импульса), так что Ширина импульса тактового сигнала ограничивается. Если Время установки триггера превышает Ширину импульса, запись не может быть выполнена. То есть, весь этап записи данных триггерного блока не может соответствовать требованиям установки данных. В этой связи настоящая заявка предусматривает нижеописанный триггер.

На фиг. 13 представлена схематическая иллюстрация построения схемы и диаграмма последовательности сигналов триггера согласно одному варианту осуществления по настоящей заявке. Как показано на фиг. 13, триггер 200 включает в себя каскадные схемы триггеров, триггер1, триггер2 и триггер3 и каскадные схемы СКГ1, СКГ2 и СКГ3 генерации тактовых импульсов. В настоящей заявке для описания использован пример, в котором количество уровней равно трем. При реальном использовании уровней может быть больше. Это не ограничено в настоящей заявке. Каскадная последовательность схем триггера, триггер1, триггер2 и триггер3, представляет собой последовательность передачи данных, а именно, от триггера1 к триггеру2, к триггеру3, а каскадная последовательность схем СКГ1, СКГ2 и СКГ3 генерации тактовых импульсов представляет собой последовательность передачи тактового сигнала, а именно, от СКГ1 к СКГ2, к СКГ3. Следует отметить, что схема СКГ1 генерации тактовых импульсов первого уровня электрически соединена с триггером3 схемы триггера третьего уровня, схема СКГ2 генерации тактовых импульсов второго уровня электрически соединена с триггером2 схемы триггера второго уровня, схема СКГ3 генерации тактовых импульсов третьего уровня электрически соединена с триггером1 схемы триггера первого уровня. То есть, каскадная последовательность схем триггера, триггер1, триггер2 и триггер3, противоположна каскадной последовательности

схем генерации тактовых импульсов.

Для подробного описания, вновь обращаясь к фиг. 13, вторые выходные концы СКО2 схем СКГ1, СКГ2 и СКГ3 генерации тактовых импульсов, соответственно, обеспечивают тактовые сигналы СКР1, СКР2 и СКР3 в схемы триггера, триггер3, триггер2 и триггер1. Первый выходной конец СКО1 схемы СКГ1 генерации тактовых импульсов электрически соединен с входным концом СКІ схемы СКГ2 генерации тактовых импульсов, а первый выходной конец СКО1 схемы СКГ2 генерации тактовых импульсов электрически соединен с входным концом СКІ схемы СКГ3 генерации тактовых импульсов. Тактовый сигнал, выводимый первым выходным концом СКО1, и тактовый сигнал, выводимый вторым выходным концом СКО2, имеют противоположные фазы. Таким образом, фазы тактовых сигналов СКР1, СКР2 и СКР3 полностью сдвигаются и никакие фазы не перекрываются, что обеспечивает более высокую эффективность по сравнению со случаем, когда фазы тактовых сигналов СКР1, СКР2 и СКР3 сдвигаются за счет подключения буферов, и более надежную гарантию того, что фазы полностью сдвинуты и буферы уменьшены.

На фиг. 14 представлена схематическая иллюстрация построения схемы и диаграмма последовательности сигналов триггера согласно одному варианту осуществления по настоящей заявке. Как показано на фиг. 14, отличие от варианта осуществления, показанного на фиг. 13, заключается в том, что первый выходной конец СКО1 схемы СКГ1 генерации тактовых импульсов электрически соединен с входным концом СКІ схемы СКГ2 генерации тактовых импульсов и входным концом СКІ схемы СКГ3 генерации тактовых импульсов. Таким образом, когда существует относительно большая логическая задержка между двумя уровнями соседних схем триггера, таких как триггер1 и триггер2, например, когда выходной конец Q1 триггера1 и входной конец D2 триггера2 электрически соединены со схемой DC задержки, проблема

установки тактового сигнала критического пути синхронизации может быть решена для повышения эффективности работы триггера.

Конечно, при реальном применении один уровень схемы триггера может соответствовать одному уровню схемы генерации тактовых импульсов, то есть один уровень схемы генерации тактовых импульсов обеспечивает тактовый сигнал для одного уровня схемы триггера. В альтернативном варианте каждый уровень схемы триггера включает в себя множество триггерных блоков, соединенных с последовательным подключением, множество триггерных блоков, соединенных с параллельным подключением, или множество триггерных блоков с комбинацией с последовательным и параллельным подключениями. То есть, один уровень схемы генерации тактовых импульсов обеспечивает тактовый сигнал для множества триггерных блоков. Кроме того, в соответствии с требованиями загрузки возбуждения, каждый уровень схемы генерации тактовых импульсов может альтернативно включать множество схем генерации тактовых импульсов, и одна схема генерации тактовых импульсов соответствует одному триггерному блоку. Таким образом, множество сформированных схем генерации тактовых импульсов соединены вместе для формирования тактового дерева. Поскольку каскадная последовательность схем триггера противоположна каскадной последовательности схем генерации тактовых импульсов, формируется обратное тактовое дерево. Кроме того, функции восстановления и усиления сигнала реализуются за счет использования второго выходного конца СКО2 схемы 100 генерации тактовых импульсов. Когда тактовое дерево имеет большое разветвление, то есть загрузка тактового дерева является большой, эффективность передачи данных может быть повышена.

На основании вышеизложенного, схема генерации тактовых импульсов, предоставляемая настоящей заявкой, может генерировать тактовый сигнал с одинаковой шириной импульса независимо от формы

волны начального тактового сигнала схемы генерации тактовых импульсов и может эффективно формировать импульс тактового сигнала. Кроме того, благодаря использованию проектируемой структуры обратного тактового дерева, триггер, предусмотренный настоящей заявкой, обеспечивает возможность эффективной реализации полного сдвига фаз тактовых сигналов, сокращения количества используемых тактовых буферов и повышения корректности и точности передачи и обработки данных.

Настоящая заявка дополнительно предоставляет вычислительное устройство, включающее в себя один или более триггеров, выполненных с возможностью хранения и передачи данных.

Другими словами, настоящая заявка может дополнительно иметь множество других вариантов осуществления. Специалист в данной области может вносить различные соответствующие изменения и вариации в соответствии с настоящей заявкой, не отступая от духа и сути этой заявки. Однако такие соответствующие изменения и вариации должны подпадать под сферу защиты формулы изобретения, приложенной к настоящей заявке.

Промышленная применимость

Схема генерации тактовых импульсов, триггер, использующий ее, и вычислительное устройство, предложенные в настоящей заявке, обладают нижеследующими полезными эффектами.

Схема генерации тактовых импульсов, предоставляемая настоящей заявкой, может генерировать тактовый сигнал с одинаковой шириной импульса независимо от формы волны начального тактового сигнала схемы генерации тактовых импульсов и может эффективно формировать импульс тактового сигнала. Кроме того, благодаря

использованию проектируемой структуры обратного тактового дерева, триггер может обеспечивать возможность эффективной реализации полного сдвига фаз между тактовыми сигналами, сокращения количества используемых тактовых буферов и повышения корректности и точности передачи и защелкивания.

ФОРМУЛА ИЗОБРЕТЕНИЯ

1. Схема генерации тактовых импульсов, содержащая:
входной конец, выполненный с возможностью ввода импульсного сигнала;

первый выходной конец, выполненный с возможностью вывода первого тактового сигнала;

второй выходной конец, выполненный с возможностью вывода второго тактового сигнала; и

схему входного возбуждения, схему триггера, схему формирования фронта, блок задержки обратной связи и схему выходного возбуждения, причем

схема входного возбуждения, схема триггера, схема формирования фронта, блок задержки обратной связи и схема выходного возбуждения последовательно соединены друг за другом между входным концом и первым выходным концом, а также вторым выходным концом с последовательным подключением.

2. Схема генерации тактовых импульсов по п. 1, в которой схема входного возбуждения содержит первый инвертор и второй инвертор, которые последовательно соединены с последовательным подключением, при этом каждый из первого инвертора и второго инвертора содержит первый конец и второй конец, причем первый конец первого инвертора электрически соединен с входным концом, второй конец второго инвертора электрически соединен с схемой триггера, а второй конец первого инвертора электрически соединен с первым концом второго инвертора и схемой формирования фронта.

3. Схема генерации тактовых импульсов по п. 2, в которой схема триггера содержит первый NAND-вентиль и второй NAND-вентиль, которые находятся в перекрестном соединении друг с другом, при этом каждый из первого NAND-вентилля и второго NAND-вентилля содержит

первый конец, второй конец и третий конец, причем первый конец первого NAND-вентилля электрически соединен с третьим концом второго NAND-вентилля, второй конец первого NAND-вентилля электрически соединен с блоком задержки обратной связи, третий конец первого NAND-вентилля электрически соединен со вторым концом второй NAND-вентилля и схемой формирования фронта, первый конец второго NAND-вентилля электрически соединен со вторым концом второго инвертора и первый конец второго NAND-вентилля электрически соединен со вторым концом второго инвертора.

4. Схема генерации тактовых импульсов по п. 3, в которой схема формирования фронта содержит первый PMOS-транзистор, второй PMOS-транзистор, третий PMOS-транзистор, первый NMOS-транзистор, второй NMOS-транзистор и третий NMOS-транзистор, при этом каждый из первого PMOS-транзистора, второго PMOS-транзистора, третьего PMOS-транзистора, первого NMOS-транзистора, второго NMOS-транзистора и третьего NMOS-транзистора содержит первый конец, второй конец и управляющий конец, причем первый конец первого PMOS-транзистора и первый конец второго PMOS-транзистора электрически соединены с источником питания, второй конец первого PMOS-транзистора и второй конец второго PMOS-транзистора электрически соединены с первым концом третьего PMOS-транзистора, второй конец третьего PMOS-транзистора соответственно электрически соединен с первым концом первого NMOS-транзистора и первым концом второго NMOS-транзистора, второй конец второго NMOS-транзистора электрически соединен с первым концом третьего NMOS-транзистора, второй конец первого NMOS-транзистора и второй конец третьего NMOS-транзистора электрически соединены с заземлением, управляющий конец первого PMOS-транзистора и управляющий конец второго NMOS-транзистора электрически соединены со вторым концом первого инвертора, управляющий конец третьего PMOS-транзистора и управляющий конец первого NMOS-транзистора электрически

соединены с третьим концом первого NAND-вентилля, а управляющий конец второго PMOS-транзистора и управляющий конец второго NMOS-транзистора электрически соединены со вторым концом второго PMOS-транзистора, блоком задержки обратной связи и схемой выходного возбуждения.

5. Схема генерации тактовых импульсов по п. 4, в которой схема задержки обратной связи содержит первый конец, второй конец и множество инверторов, соединенных между первым концом схемы задержки обратной связи и вторым концом схемы задержки обратной связи с последовательным подключением, причем первый конец схемы задержки обратной связи электрически соединен со вторым концом третьего PMOS-транзистора, а второй конец схемы задержки обратной связи электрически соединен со вторым концом первого NAND-вентилля.

6. Схема генерации тактовых импульсов по п. 5, в которой схема выходного возбуждения содержит третий инвертор, четвертый инвертор и пятый инвертор, при этом каждый из третьего инвертора, четвертого инвертора и пятого инвертора содержит первый конец и второй конец, причем первый конец третьего инвертора электрически соединен со вторым концом третьего PMOS-транзистора, второй конец третьего инвертора электрически соединен с первым выходным концом, первый конец четвертого инвертора электрически соединен со вторым концом третьего PMOS-транзистора, второй конец четвертого инвертора электрически соединен с первым концом пятого инвертора, а второй конец пятого инвертора электрически соединен со вторым выходным концом.

7. Триггер, содержащий:

конец для ввода данных, выполненный с возможностью ввода сигнала данных;

конец для вывода данных, выполненный с возможностью вывода

сигнала данных;

конец для ввода тактового сигнала, выполненный с возможностью ввода первого тактового сигнала;

множество уровней схем триггера, последовательно соединенных между концом для ввода данных и концом для вывода данных с последовательным подключением в соответствии с первой последовательностью; и

множество уровней схем генерации тактовых импульсов, последовательно соединенных с последовательным подключением в соответствии со второй последовательностью и электрически соединенных с множеством уровней схем триггера, причем

направление первой последовательности противоположно направлению второй последовательности, а схема генерации тактовых импульсов представляет собой схему генерации тактовых импульсов по п. 1.

8. Триггер по п. 7, в котором один уровень из уровней схем триггера соответствует одному уровню из уровней указанных схем генерации тактовых импульсов.

9. Триггер по п. 8, в котором каждый уровень из уровней схем триггера дополнительно содержит множество триггерных блоков.

10. Триггер по п. 9, в котором каждый уровень из уровней схем генерации тактовых импульсов дополнительно содержит множество схем генерации тактовых импульсов.

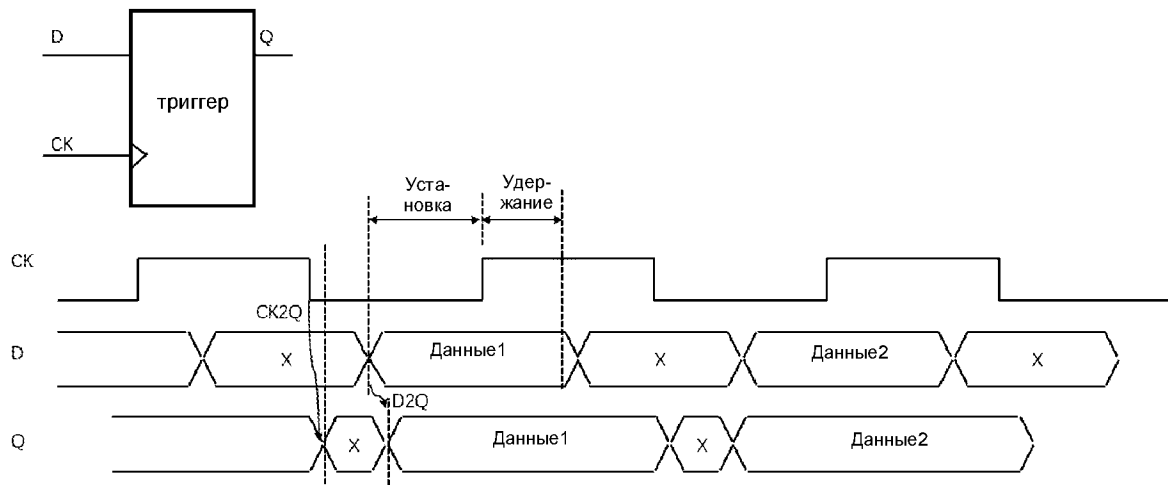
11. Триггер по п. 9, в котором множество триггерных блоков соединены с последовательным подключением.

12. Триггер по п. 9, в котором множество триггерных блоков соединены с параллельным подключением.

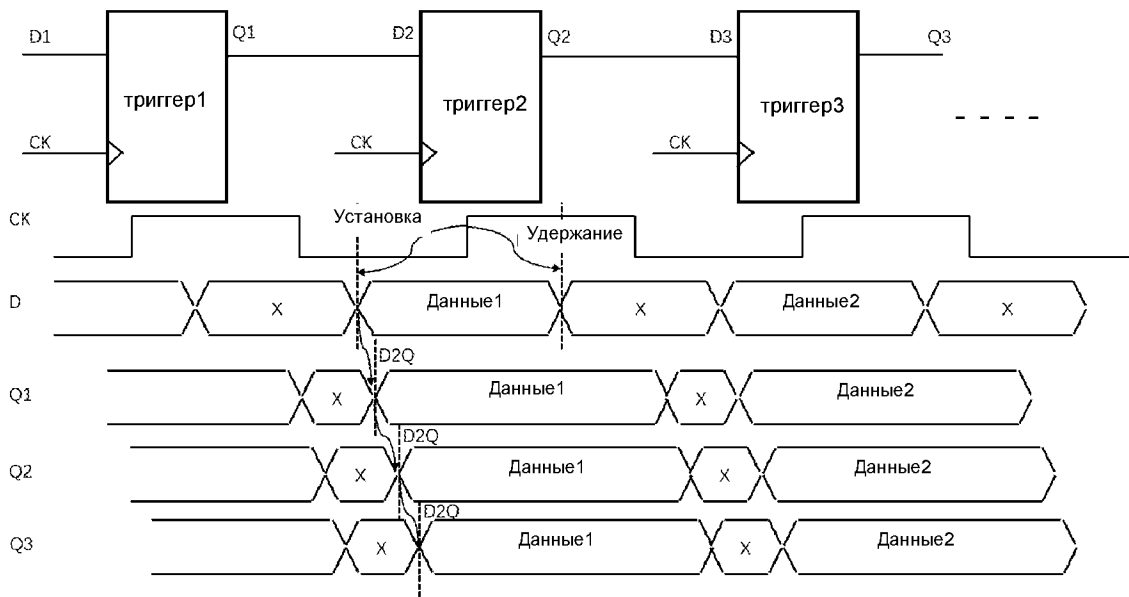
13. Триггер по п. 9, в котором множество триггерных блоков представляют собой комбинацию соединений с последовательным и параллельным подключениями.

14. Триггер по п. 10, в котором каждый из триггерных блоков соответствует каждой из схем генерации тактовых импульсов.

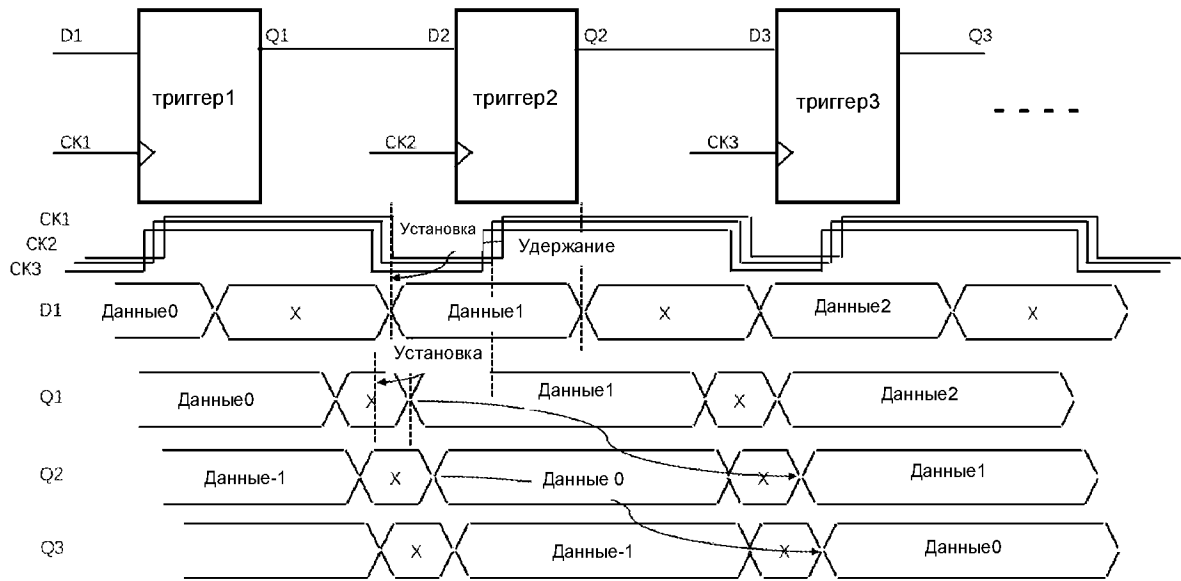
15. Вычислительное устройство, содержащее один или более триггеров по любому из пп. 7 - 14.



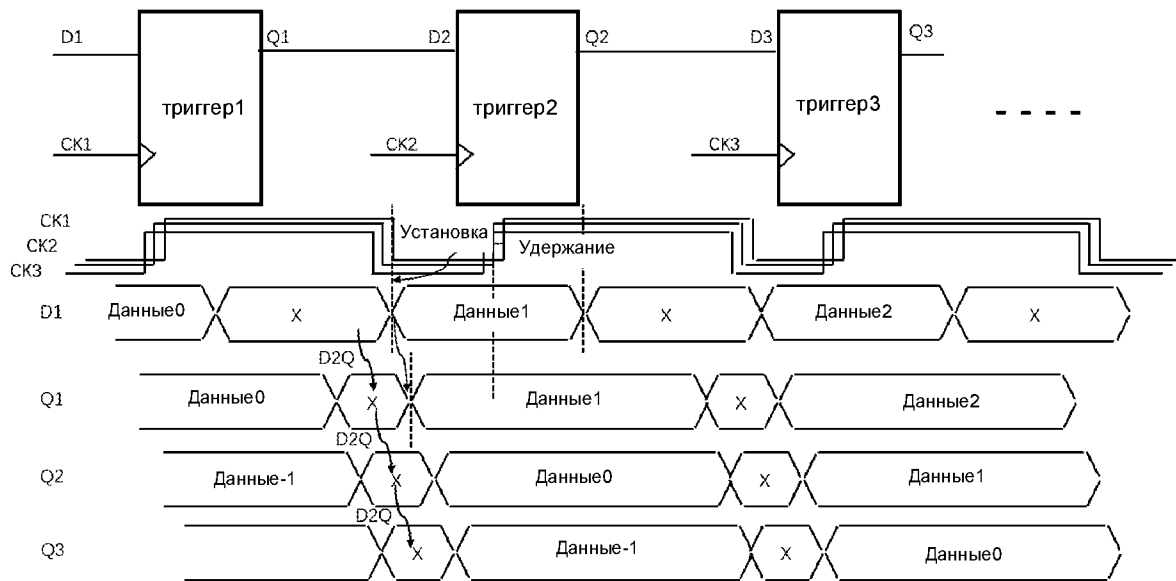
ФИГ. 1



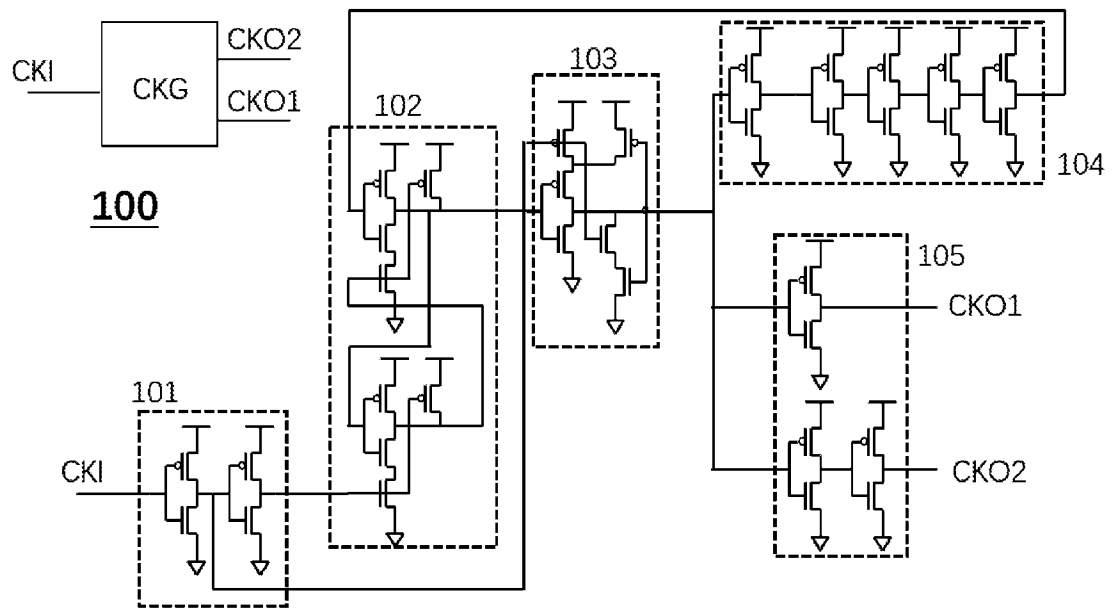
ФИГ. 2



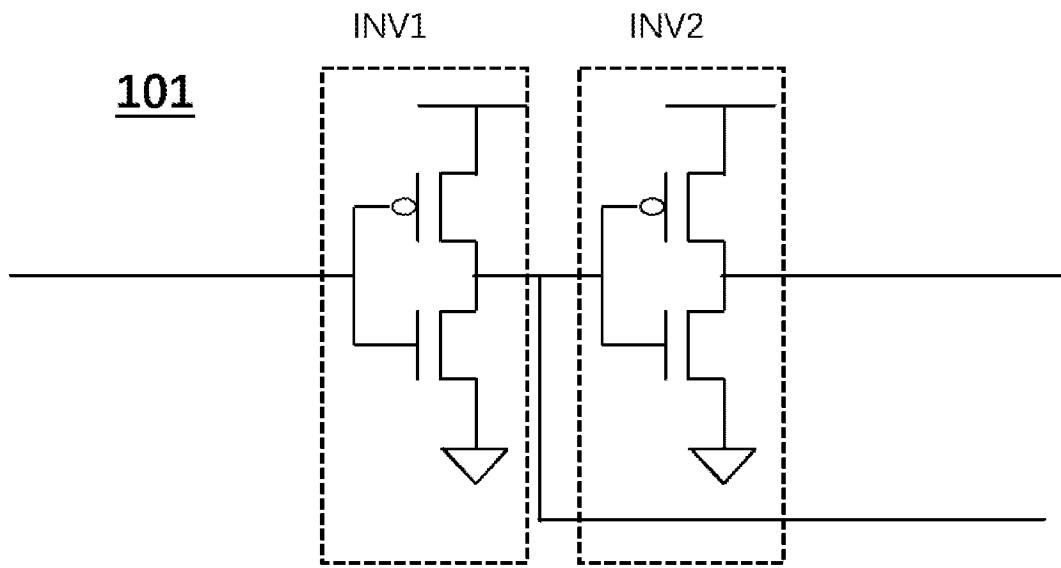
ФИГ. 3



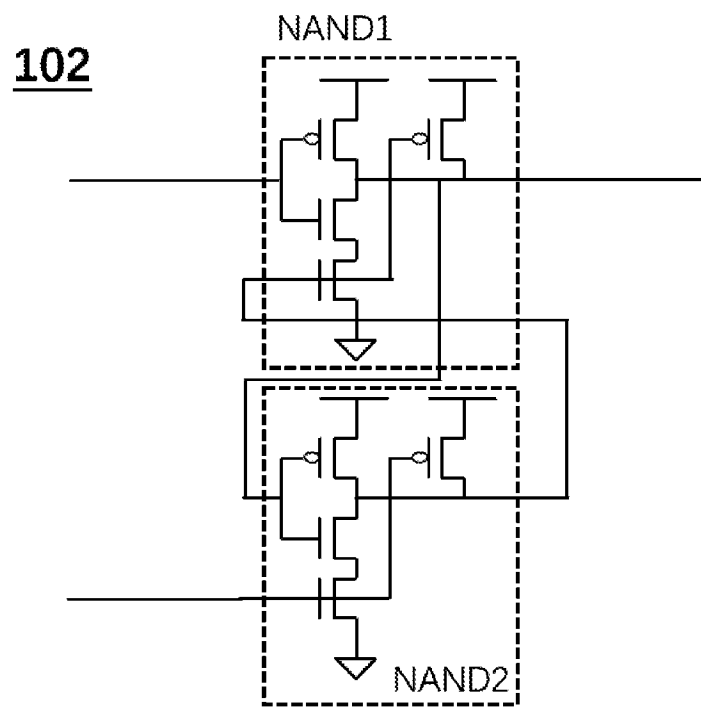
ФИГ. 4



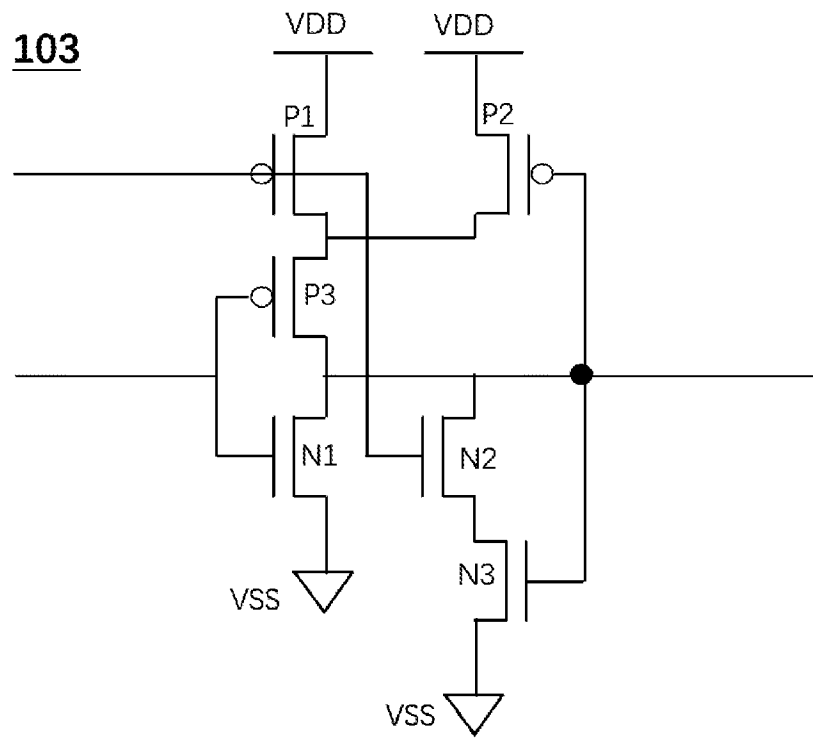
ФИГ. 5



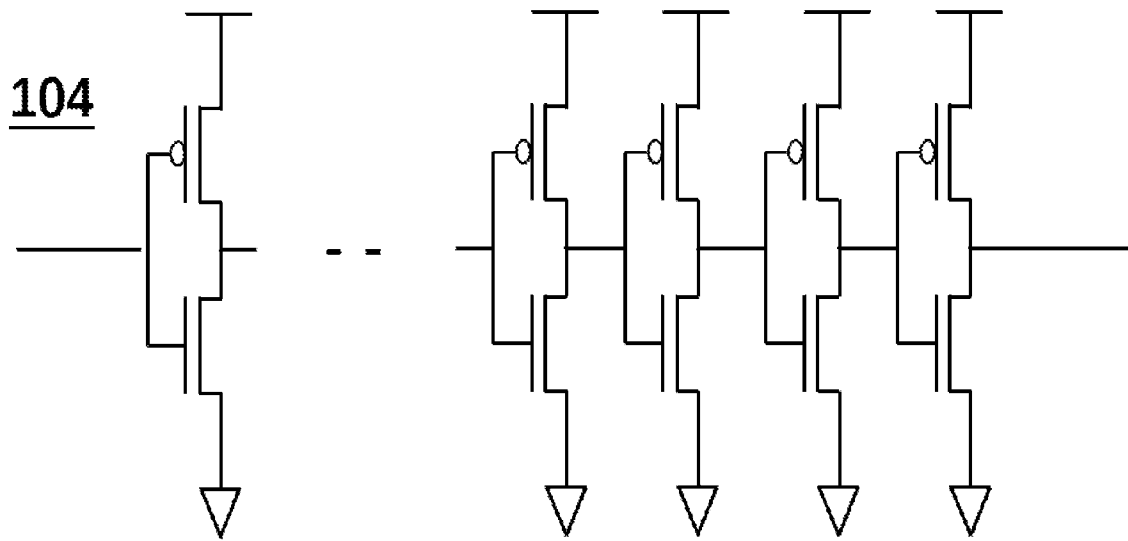
ФИГ. 6



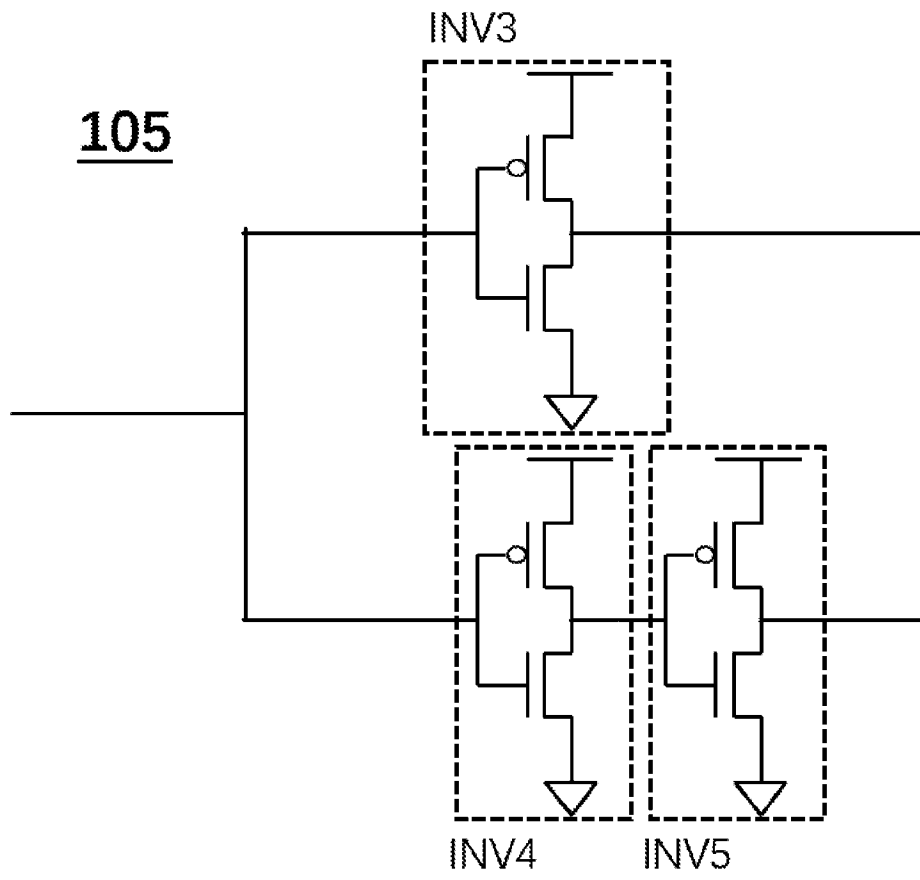
ФИГ. 7



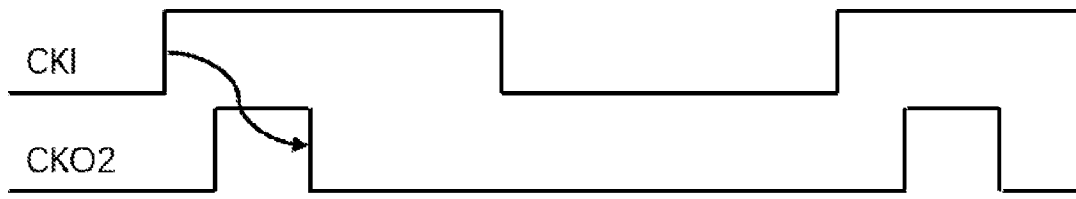
ФИГ. 8



ФИГ. 9



ФИГ. 10

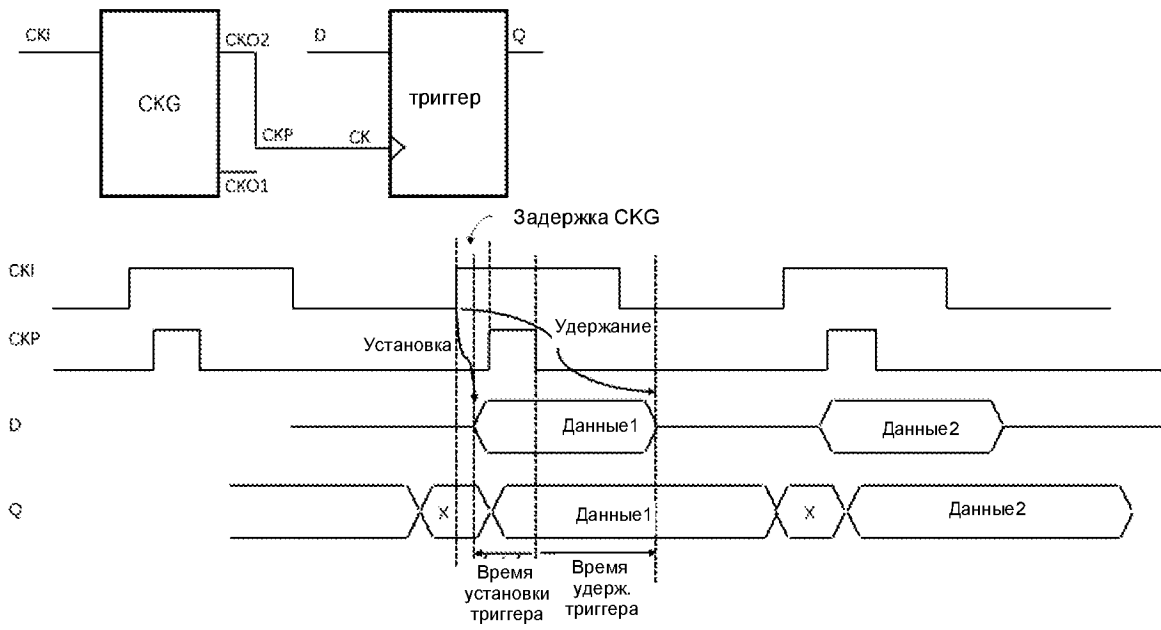


(1)

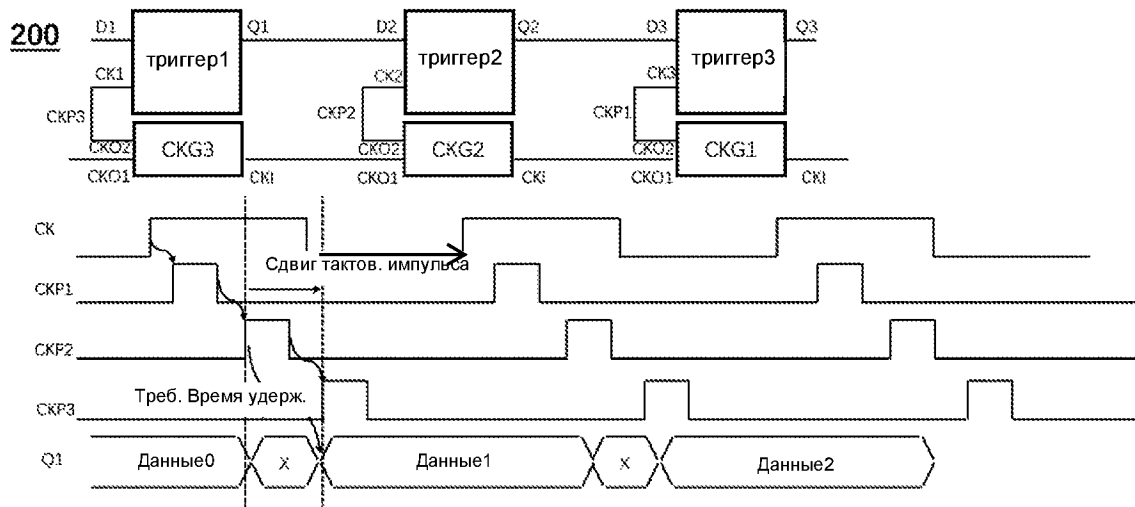


(2)

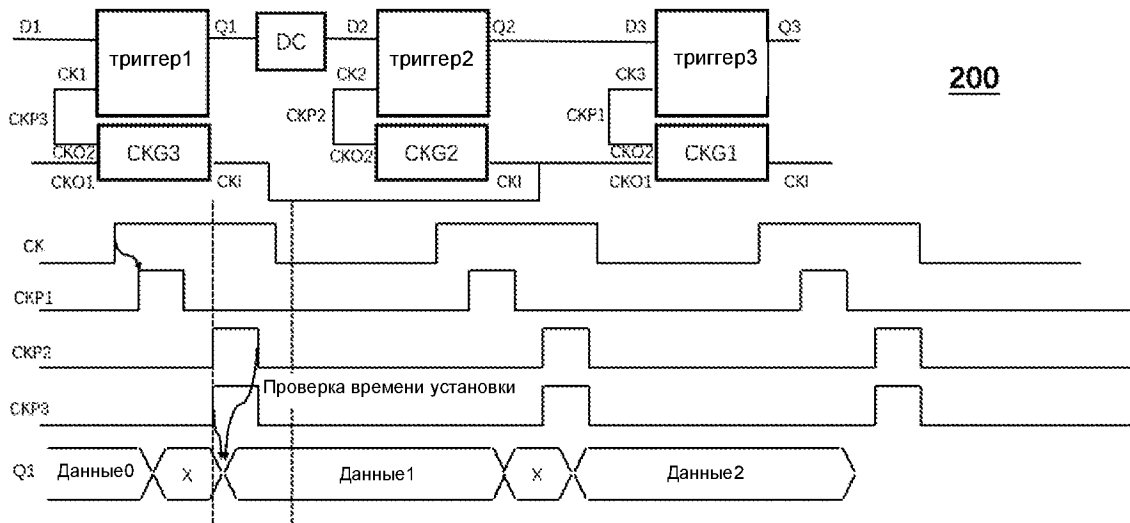
ФИГ. 11



ФИГ. 12



ФИГ. 13



ФИГ. 14