

(19)



**Евразийское
патентное
ведомство**

(11) **041302**(13) **B1**

(12) ОПИСАНИЕ ИЗОБРЕТЕНИЯ К ЕВРАЗИЙСКОМУ ПАТЕНТУ

(45) Дата публикации и выдачи патента
2022.10.06

(51) Int. Cl. **G06F 9/50** (2006.01)

(21) Номер заявки
202092949

(22) Дата подачи заявки
2019.04.24

**(54) СПОСОБ И ПРИСПОСОБЛЕНИЕ ДЛЯ МОДУЛЯЦИИ ЧАСТОТЫ МИКРОСХЕМЫ
ВЫЧИСЛИТЕЛЬНОГО УСТРОЙСТВА, ХЕШ-ПЛАТА, ВЫЧИСЛИТЕЛЬНОЕ
УСТРОЙСТВО И НОСИТЕЛЬ ДАННЫХ**

(31) 201810576556.3

(56) CN-A-109086130

(32) 2018.06.06

CN-A-106855838

(33) CN

CN-A-106774767

(43) 2021.03.18

US-A1-2008189569

(86) PCT/CN2019/084064

(87) WO 2019/233206 2019.12.12

(71)(73) Заявитель и патентовладелец:
КАНААН КРЕАТИВ КО., ЛТД. (CN)

(72) Изобретатель:
Чжан Нанэн, Сюй Интао (CN)

(74) Представитель:
**Ловцов С.В., Вилесов А.С., Гавриков
К.В., Коптева Т.В., Левчук Д.В.,
Стукалова В.В., Ясинский С.Я. (RU)**

(57) В настоящем изобретении предлагается способ и приспособление для модуляции частоты микросхемы вычислительного устройства, хеш-плата, вычислительное устройство и носитель данных. Способ модуляции частоты микросхемы предусматривает: установку множества рабочих частот для рабочей микросхемы и обеспечение работы множества ядер на соответствующих рабочих частотах; анализ индикатора вычислительных характеристик каждого ядра на его текущей рабочей частоте; и модуляцию текущей рабочей частоты ядра в сторону увеличения или уменьшения согласно индикатору вычислительных характеристик ядра, модуляцию частоты ядра с высокими вычислительными характеристиками в сторону увеличения и модуляцию частоты ядра с низкими вычислительными характеристиками в сторону уменьшения. Таким образом, согласно настоящему изобретению происходит автоматическая модуляция частоты, соответствующей каждому ядру, согласно фактическим вычислительным характеристикам каждого ядра в рабочей микросхеме вычислительного устройства, тем самым максимально увеличивая вычислительные характеристики ядер.

B1**041302****041302****B1**

Предшествующий уровень техники настоящего изобретения
Область техники, к которой относится настоящее изобретение

Настоящее изобретение относится к области модуляции частоты микросхемы вычислительного устройства и, в частности, к способу и приспособлению для модуляции частоты микросхемы вычислительного устройства, хеш-плате, вычислительному устройству и носителю данных.

Уровень техники

Как правило, в вычислительное устройство для работы с большими массивами данных встроено большое количество рабочих микросхем, и из-за ограничений процесса изготовления рабочих микросхем рабочие характеристики, скорости хеширования и частоты различных рабочих микросхем различаются. Между тем, одна рабочая микросхема часто формируется из множества отдельных ядер, и различия, такие как изменение процесса и падение напряжения в разных положениях рабочей микросхемы, также позволяют различать фактические рабочие характеристики соответствующих ядер. Что касается различий в рабочих характеристиках различных рабочих микросхем и ядер, то задачами, требующими срочного решения, являются нахождение способа динамической модуляции фактических желаемых частот рабочих микросхем и установления самоадаптивных схем соответствующих ядер. Частоты, которые подаются на каждую рабочую микросхему и ядро в современном вычислительном устройстве, согласованы, поэтому невозможно использовать вычислительные преимущества ядра с высокой производительностью, а ядро с низкой производительностью влияет на рабочие характеристики рабочих микросхем, тем самым влияя на рабочие характеристики вычислительного устройства в целом.

Кроме того, в заявке на патент Китая CN201611169618.6 раскрыты микросхема и система с последовательной подачей питания, виртуальная цифровая майнинговая машина и сервер, содержащие схему регулятора, подключенную к микросхемам с последовательной подачей питания, соответственно, и регулируемую напряжения, температуры или частоты микросхем с последовательной подачей питания. При регулировании частот соответствующих микросхем с последовательной подачей питания схема регулятора определяет, является ли рабочее состояние блоков, которые должны получать питание, в микросхемах с последовательной подачей питания, нормальным, в соответствии с заданным циклом по отношению к микросхемам с последовательной подачей питания, и если рабочее состояние блоков, которые должны получать питание, является ненормальным, повышает или снижает рабочие частоты блоков, которые должны получать питание, в ненормальном рабочем состоянии в соответствии с заданным шагом частоты в диапазоне заданной частоты. В соответствии с состоянием, указанным в регистре состояний блока, который должен получать питание, определяется, является ли рабочее состояние блока, который должен получать питание, нормальным, а состояние, указанное регистром состояний, включает состояние напряжения, состояние температуры и состояние рабочей частоты; или согласно данным обратной связи из данных, отправленных от блоков, которые должны получать питание, к блоку, который должен получать питание, определяется, является ли рабочее состояние блока, который должен получать питание, нормальным.

В одном варианте осуществления, раскрытом в заявке на патент Китая CN201611169618.6, при регулировании частот соответствующих микросхем с последовательной подачей питания схема регулятора в качестве схемы регулятора частоты может, в частности, определять, является ли рабочее состояние блоков, которые должны получать питание, в микросхемах с последовательной подачей питания, нормальным, посредством детектора в соответствии с заданным циклом по отношению к микросхемам с последовательной подачей питания, и если рабочее состояние блоков, которые должны получать питание, является ненормальным, она может, в частности, повышать или снижать рабочие частоты блоков, которые должны получать питание, в ненормальном рабочем состоянии посредством детектора в соответствии с заданным шагом частоты в диапазоне заданной частоты. Как можно видеть, в документе CN201611169618.6 раскрыто, что регулятор может регулировать частоты микросхем, но регулирует только рабочие частоты микросхем в соответствии с рабочими состояниями, например, в зависимости от того, отправляют ли и принимают ли нормально данные блоки, которые должны получать питание, в зависимости от состояния напряжения, состояния температуры и состояния частоты, а механизму регулирования частоты недостает точности, и он не может полностью достичь рабочих характеристик микросхем.

Подводя итог, очевидно, что решения предшествующего уровня техники обладают неудобствами и недостатками в практическом использовании, поэтому необходимо внести улучшения.

Краткое раскрытие настоящего изобретения

С учетом приведенных выше недостатков, целью настоящего изобретения является представление способа и приспособления для модуляции частоты микросхемы вычислительного устройства, хеш-платы, вычислительного устройства и носителя данных, которые могут автоматически модулировать частоту, соответствующую каждому ядру, согласно фактическим вычислительным характеристикам каждого ядра в рабочей микросхеме вычислительного устройства, тем самым максимально увеличивая вычислительные характеристики ядер и улучшая рабочие характеристики рабочей микросхемы и рабочего устройства в целом.

В настоящем изобретении предлагается способ модуляции частоты микросхемы вычислительного

устройства, вычислительное устройство содержит по меньшей мере одну рабочую микросхему, и рабочая микросхема содержит множество ядер, предусматривающий следующие стадии:

установку множества рабочих частот для рабочей микросхемы вычислительного устройства и обеспечение работы множества ядер в рабочей микросхеме на соответствующих рабочих частотах;

анализ индикатора вычислительных характеристик каждого ядра на его текущей рабочей частоте; и

модуляцию текущей рабочей частоты ядра в сторону увеличения или уменьшения согласно индикатору вычислительных характеристик ядра.

В способе модуляции частоты микросхемы согласно настоящему изобретению стадия установки множества рабочих частот для рабочей микросхемы вычислительного устройства и обеспечения работы множества ядер в рабочей микросхеме на соответствующих рабочих частотах дополнительно предусматривает следующее:

установку множества рабочих частот для рабочей микросхемы посредством множества схем фазовой автоподстройки частоты, рабочие частоты и схемы фазовой автоподстройки частоты находятся во взаимно-однозначном соответствии;

причем стадия модуляции текущей рабочей частоты ядра в сторону увеличения или уменьшения согласно индикатору вычислительных характеристик ядра дополнительно предусматривает следующее:

модуляцию текущей рабочей частоты ядра в сторону увеличения или уменьшения посредством схем фазовой автоподстройки частоты согласно индикатору вычислительных характеристик ядра.

В способе модуляции частоты микросхемы согласно настоящему изобретению схемы фазовой автоподстройки частоты расположены внутри или снаружи рабочей микросхемы.

В способе модуляции частоты микросхемы согласно настоящему изобретению разница между смежными рабочими частотами составляет от 1 до 10%.

В способе модуляции частоты микросхемы согласно настоящему изобретению стадия анализа индикатор вычислительных характеристик каждого ядра на его текущей рабочей частоте дополнительно предусматривает следующее:

анализ того, достигает ли индикатор вычислительных характеристик ядра заданных первого, второго и/или третьего пороговых значений индикатора в течение заданного периода модуляции, причем первое пороговое значение индикатора такое же, как второе пороговое значение индикатора, или отличается от него;

причем стадия модуляции текущей рабочей частоты ядра в сторону увеличения или уменьшения согласно индикатору вычислительных характеристик ядра дополнительно предусматривает следующее:

если индикатор вычислительных характеристик ядра достигает первого порогового значения индикатора, модуляцию текущей рабочей частоты ядра в сторону увеличения к более высокой рабочей частоте;

если индикатор вычислительных характеристик ядра не достигает второго порогового значения индикатора, модуляцию текущей рабочей частоты ядра в сторону уменьшения к более низкой рабочей частоте; и/или

если индикатор вычислительных характеристик ядра достигает третьего порогового значения индикатора, модуляцию текущей рабочей частоты ядра в сторону уменьшения к более низкой рабочей частоте.

Способ модуляции частоты микросхемы согласно настоящему изобретению дополнительно предусматривает следующее:

если ядра, работавшие на заданной по меньшей мере одной оптимизированной рабочей частоте, превышают заданное первое отношение, прекращение модуляции частот ядер; или

если количество ядер, работавших по меньшей мере на одной оптимизированной рабочей частоте, является максимальным, прекращение модуляции частот ядер.

В способе модуляции частоты микросхемы согласно настоящему изобретению стадия анализа индикатор вычислительных характеристик каждого ядра на его текущей рабочей частоте дополнительно предусматривает следующее:

анализ того, достигает ли отношение правильности вычисления ядра заданных первого и/или второго пороговых значений отношения правильности в течение заданного периода модуляции, первое пороговое значение отношения правильности такое же, как второе пороговое значение отношения правильности, или отличается от него;

причем стадия модуляции текущей рабочей частоты ядра в сторону увеличения или уменьшения согласно индикатору вычислительных характеристик ядра дополнительно предусматривает следующее:

если отношение правильности вычисления ядра достигает первого порогового значения отношения правильности, модуляцию текущей рабочей частоты ядра в сторону увеличения к более высокой рабочей частоте; и/или

если отношение правильности вычисления ядра не достигает второго порогового значения отношения правильности, модуляцию текущей рабочей частоты ядра в сторону уменьшения к более низкой рабочей частоте.

В способе модуляции частоты микросхемы согласно настоящему изобретению стадия анализа того,

достигает ли отношение правильности вычисления ядра заданных первого и/или второго пороговых значений отношения правильности в течение заданного периода модуляции, дополнительно предусматривает следующее:

анализ того, являются ли случайные числа, предоставленные ядром, правильными в течение периода модуляции;

подсчет количества правильных случайных чисел и количества неправильных случайных чисел ядра в течение периода модуляции;

вычисление отношения правильности вычисления случайных чисел ядра в течение периода модуляции согласно количеству правильных случайных чисел и количеству неправильных случайных чисел, и определение того, достигает ли отношение правильности вычисления случайных чисел заданных первого и/или второго пороговых значений отношения правильности;

причем стадия модуляции текущей рабочей частоты ядра в сторону увеличения или уменьшения согласно индикатору вычислительных характеристик ядра дополнительно предусматривает следующее:

если отношение правильности вычисления случайных чисел ядра достигает первого порогового значения отношения правильности, модуляцию текущей рабочей частоты ядра в сторону увеличения к более высокой рабочей частоте; и/или

если отношение правильности вычисления случайных чисел ядра не достигает второго порогового значения отношения правильности, модуляцию текущей рабочей частоты ядра в сторону уменьшения к более низкой рабочей частоте.

В способе модуляции частоты микросхемы согласно настоящему изобретению стадия анализа того, являются ли случайные числа, предоставленные ядром, правильными в течение периода модуляции дополнительно предусматривает следующее:

вычисление с помощью ядра первого результата на основании случайных чисел посредством заданного алгоритма каждый раз, когда ядро предоставляет одно случайное число в течение периода модуляции, первый результат содержит первый параметр;

вычисление с помощью блока проверки рабочей микросхемы второго результата на основании случайных чисел посредством того же алгоритма, второй результат содержит второй параметр;

если первый параметр такой же, как второй параметр, определение посредством блока проверки того, что случайные числа представляют собой правильные случайные числа, или случайные числа представляют собой неправильные случайные числа.

В способе модуляции частоты микросхемы согласно настоящему изобретению стадия анализа того, достигает ли отношение правильности вычисления ядра заданных пороговых значений отношения правильности в течение заданного периода модуляции, дополнительно предусматривает следующее:

анализ в режиме реального времени того, достигает ли отношение правильности вычисления ядра в течение периода модуляции первого порогового значения отношения правильности и второго порогового значения отношения правильности, согласно предварительно установленной инструкции модуляции в режиме реального времени;

анализ того, достигает ли отношение правильности вычисления ядра в течение периода модуляции первого порогового значения отношения правильности и второго порогового значения отношения правильности, согласно предварительно установленной инструкции о заблаговременной модуляции в течение периода времени модуляции, установленного посредством инструкции о заблаговременной модуляции; или

анализ того, достигает ли отношение правильности вычисления ядра в течение периода модуляции первого порогового значения отношения правильности и второго порогового значения отношения правильности, согласно принятой инструкции о незамедлительной модуляции;

причем стадия модуляции текущей рабочей частоты ядра в сторону увеличения или уменьшения согласно индикатору вычислительных характеристик ядра дополнительно предусматривает следующее:

если отношение правильности вычисления ядра в течение периода модуляции достигает первого порогового значения отношения правильности, модуляцию в режиме реального времени текущей рабочей частоты ядра в сторону увеличения к более высокой рабочей частоте; если отношение правильности вычисления ядра в течение периода модуляции не достигает второго порогового значения отношения правильности, модуляцию в режиме реального времени текущей рабочей частоты ядра в сторону уменьшения к более низкой рабочей частоте;

если отношение правильности вычисления ядра в течение периода модуляции достигает первого порогового значения отношения правильности в период времени модуляции, модуляцию текущей рабочей частоты ядра в сторону увеличения к более высокой рабочей частоте; если отношение правильности вычисления ядра в течение периода модуляции не достигает второго порогового значения отношения правильности в период времени модуляции, модуляцию текущей рабочей частоты ядра в сторону уменьшения к более низкой рабочей частоте; или

согласно принятой инструкции о незамедлительной модуляции, если отношение правильности вычисления ядра в течение периода модуляции достигает первого порогового значения отношения правильности, модуляцию текущей рабочей частоты ядра в сторону увеличения к более высокой рабочей

частоте; если отношение правильности вычисления ядра в течение периода модуляции не достигает второго порогового значения отношения правильности, модуляцию текущей рабочей частоты ядра в сторону уменьшения к более низкой рабочей частоте; согласно принятой инструкции о прекращении модуляции прекращение модуляции текущей рабочей частоты ядра.

В способе модуляции частоты микросхемы согласно настоящему изобретению стадия анализа индикатора вычислительных характеристик каждого ядра на его текущей рабочей частоте дополнительно предусматривает следующее:

предварительную установку эталонного значения узла, весового значения правильного вычисления, весового значения неправильного вычисления, порогового значения правильного вычисления и порогового значения неправильного вычисления ядра;

анализ того, является ли каждое вычисление ядра правильным;

добавление одного весового значения правильного вычисления к эталонному значению узла каждый раз, когда ядро выполняет по меньшей мере одно правильное вычисление, и вычитание одного весового значения неправильного вычисления из эталонного значения узла каждый раз, когда ядро выполняет по меньшей мере одно неправильное вычисление;

определение того, достигает ли эталонное значение узла ядра порогового значения правильного вычисления или порогового значения неправильного вычисления;

причем стадия модуляции текущей рабочей частоты ядра в сторону увеличения или уменьшения согласно индикатору вычислительных характеристик ядра дополнительно предусматривает следующее:

если текущее эталонное значение узла ядра достигает порогового значения правильного вычисления, модуляцию текущей рабочей частоты ядра в сторону увеличения к более высокой рабочей частоте;

если текущее эталонное значение узла ядра достигает порогового значения неправильного вычисления, модуляцию текущей рабочей частоты ядра в сторону уменьшения к более низкой рабочей частоте.

В способе модуляции частоты микросхемы согласно настоящему изобретению стадия анализа того, является ли каждое вычисление ядра правильным, дополнительно предусматривает следующее:

анализ того, являются ли правильными случайные числа, предоставляемые каждый раз ядром;

стадия добавления одного весового значения правильного вычисления к эталонному значению узла каждый раз, когда ядро выполняет по меньшей мере одно правильное вычисление, и вычитания одного весового значения неправильного вычисления из эталонного значения узла каждый раз, когда ядро выполняет по меньшей мере одно неправильное вычисление, дополнительно предусматривает следующее:

добавление одного весового значения правильного вычисления к эталонному значению узла каждый раз, когда ядро предоставляет по меньшей мере одно правильное случайное число, и вычитание одного весового значения неправильного вычисления из эталонного значения узла каждый раз, когда ядро предоставляет по меньшей мере одно неправильное случайное число.

В способе модуляции частоты микросхемы согласно настоящему изобретению стадия анализа того, являются ли правильными случайные числа, предоставляемые каждый раз ядром, дополнительно предусматривает следующее:

вычисление с помощью ядра первого результата на основании случайных чисел посредством заданного алгоритма после того, как ядро предоставляет одно случайное число, первый результат содержит первый параметр;

вычисление с помощью блока проверки рабочей микросхемы второго результата на основании случайных чисел посредством того же алгоритма, второй результат содержит второй параметр;

если первый параметр такой же, как второй параметр, определение посредством блока проверки того, что случайные числа представляют собой правильные случайные числа, или случайные числа представляют собой неправильные случайные числа.

В способе модуляции частоты микросхемы согласно настоящему изобретению способ дополнительно предусматривает следующее:

установку и корректировку эталонного значения узла, весового значения правильного вычисления, весового значения неправильного вычисления, порогового значения правильного вычисления и/или порогового значения неправильного вычисления ядра согласно фактическим требованиям, причем весовое значение правильного вычисления такое же, как весовое значение неправильного вычисления, или отличается от него, пороговое значение правильного вычисления такое же, как пороговое значение неправильного вычисления, или отличается от него;

регулировку ожидаемого приемлемого отношения постоянных отклонений ядра за счет регулировки отношения весового значения правильного вычисления к весовому значению неправильного вычисления;

регулировку периода модуляции за счет регулировки абсолютной величины весового значения правильного вычисления и весового значения неправильного вычисления;

регулировку периода модуляции за счет регулировки абсолютной величины порогового значения правильного вычисления и порогового значения неправильного вычисления.

В способе модуляции частоты микросхемы согласно настоящему изобретению формула вычисления отношения постоянных отклонений следующая: отношение постоянных отклонений равняется весо-

вому значению правильного вычисления, деленному на сумму весового значения правильного вычисления и весового значения неправильного вычисления.

В способе модуляции частоты микросхемы согласно настоящему изобретению стадия определения того, достигает ли эталонное значение узла ядра порогового значения правильного вычисления или порогового значения неправильного вычисления, дополнительно предусматривает следующее:

определение в режиме реального времени того, достигает ли эталонное значение узла ядра порогового значения правильного вычисления или порогового значения неправильного вычисления, согласно предварительно установленной инструкции модуляции в режиме реального времени;

определение того, достигает ли эталонное значение узла ядра порогового значения правильного вычисления или порогового значения неправильного вычисления, согласно предварительно установленной инструкции о заблаговременной модуляции в течение периода времени модуляции, установленного посредством инструкции о заблаговременной модуляции; или

анализ того, достигает ли эталонное значение узла ядра порогового значения правильного вычисления или порогового значения неправильного вычисления, согласно принятой инструкции о незамедлительной модуляции;

причем стадия модуляции текущей рабочей частоты ядра в сторону увеличения или уменьшения согласно индикатору вычислительных характеристик ядра дополнительно предусматривает следующее:

если текущее эталонное значение узла ядра достигает порогового значения правильного вычисления, модуляцию в режиме реального времени текущей рабочей частоты ядра в сторону увеличения к более высокой рабочей частоте; если текущее эталонное значение узла ядра достигает порогового значения неправильного вычисления, модуляцию в режиме реального времени текущей рабочей частоты ядра в сторону уменьшения к более низкой рабочей частоте;

если текущее эталонное значение узла ядра достигает порогового значения правильного вычисления в период времени модуляции, модуляцию текущей рабочей частоты ядра в сторону увеличения к более высокой рабочей частоте; если текущее эталонное значение узла ядра достигает порогового значения неправильного вычисления в период времени модуляции, модуляцию текущей рабочей частоты ядра в сторону уменьшения к более низкой рабочей частоте; или

согласно принятой инструкции о незамедлительной модуляции, если текущее эталонное значение узла ядра достигает порогового значения правильного вычисления, модуляцию текущей рабочей частоты ядра в сторону увеличения к более высокой рабочей частоте; если текущее эталонное значение узла ядра достигает порогового значения неправильного вычисления, модуляцию текущей рабочей частоты ядра в сторону уменьшения к более низкой рабочей частоте; согласно принятой инструкции о прекращении модуляции прекращение модуляции текущей рабочей частоты ядра.

В способе модуляции частоты микросхемы согласно настоящему изобретению после стадии модуляции текущей рабочей частоты ядра в сторону увеличения или уменьшения согласно индикатору вычислительных характеристик ядра способ дополнительно предусматривает следующее:

определение текущего состояния распределения ядер после модуляции частоты на соответствующих рабочих частотах;

модуляцию частоты на рабочей частоте согласно текущему состоянию распределения и заданному механизму модуляции частоты ядер, механизм модуляции частоты представляет собой соответствие между состоянием распределения и модуляцией частоты ядер.

В способе модуляции частоты микросхемы согласно настоящему изобретению рабочая частота предусматривает по меньшей мере одну высокую рабочую частоту, по меньшей мере одну среднюю рабочую частоту и по меньшей мере одну низкую рабочую частоту, максимальная частота на высокой рабочей частоте представляет собой максимальную рабочую частоту, минимальная частота на низкой рабочей частоте представляет собой минимальную рабочую частоту;

стадия модуляции частоты на рабочей частоте согласно текущему состоянию распределения и заданному механизму модуляции частоты ядер дополнительно предусматривает следующее:

если ядра, превышающие заданное второе отношение, работают по меньшей мере на одной высокой рабочей частоте, изменение по меньшей мере одной рабочей частоты по меньшей мере на одну оптимизированную высокую рабочую частоту, причем частота на оптимизированной высокой рабочей частоте выше частоты на максимальной рабочей частоте; и/или

если ядра, превышающие заданное третье отношение, работают по меньшей мере на одной низкой рабочей частоте, изменение по меньшей мере одной рабочей частоты по меньшей мере на одну оптимизированную низкую рабочую частоту, причем частота на оптимизированной низкой рабочей частоте ниже частоты на минимальной рабочей частоте.

В способе модуляции частоты микросхемы согласно настоящему изобретению стадия изменения по меньшей мере одной рабочей частоты по меньшей мере на одну оптимизированную высокую рабочую частоту, если ядра, превышающие заданное второе отношение, работают по меньшей мере на одной высокой рабочей частоте, дополнительно предусматривает следующее:

если ядра, превышающие второе отношение, работают на максимальной рабочей частоте, изменение одной рабочей частоты на одну оптимизированную высокую рабочую частоту; и/или

стадия изменения по меньшей мере одной рабочей частоты по меньшей мере на одну оптимизированную низкую рабочую частоту, если ядра, превышающие заданное третье отношение, работают по меньшей мере на одной низкой рабочей частоте, дополнительно предусматривает следующее:

если ядра, превышающие третье отношение, работают на минимальной рабочей частоте, изменение одной рабочей частоты на одну оптимизированную низкую рабочую частоту.

В способе модуляции частоты микросхемы согласно настоящему изобретению рабочая частота предусматривает по меньшей мере одну высокую рабочую частоту, по меньшей мере одну среднюю рабочую частоту и по меньшей мере одну низкую рабочую частоту, максимальная частота на высокой рабочей частоте представляет собой максимальную рабочую частоту, минимальная частота на низкой рабочей частоте представляет собой минимальную рабочую частоту;

стадия модуляции частоты на рабочей частоте согласно текущему состоянию распределения и заданному механизму модуляции частоты дополнительно предусматривает следующее:

если количество ядер, работавших по меньшей мере на одной высокой рабочей частоте, является максимальным, изменение по меньшей мере одной рабочей частоты по меньшей мере на одну оптимизированную высокую рабочую частоту, причем частота на оптимизированной высокой рабочей частоте выше частоты на максимальной рабочей частоте; и/или

если количество ядер, работавших по меньшей мере на одной низкой рабочей частоте, является максимальным, изменение по меньшей мере одной рабочей частоты по меньшей мере на одну оптимизированную низкую рабочую частоту, причем частота на оптимизированной низкой рабочей частоте ниже частоты на минимальной рабочей частоте.

В способе модуляции частоты микросхемы согласно настоящему изобретению стадия изменения по меньшей мере одной рабочей частоты по меньшей мере на одну оптимизированную высокую рабочую частоту, если количество ядер, работавших по меньшей мере на одной высокой рабочей частоте, является максимальным, дополнительно предусматривает следующее:

если количество ядер, работавших на максимальной рабочей частоте, является максимальным, изменение одной рабочей частоты на одну оптимизированную высокую рабочую частоту; и/или

стадия изменения по меньшей мере одной рабочей частоты по меньшей мере на одну оптимизированную низкую рабочую частоту, если количество ядер, работавших по меньшей мере на одной низкой рабочей частоте, является максимальным, дополнительно предусматривает следующее:

если количество ядер, работавших на минимальной рабочей частоте, является максимальным, изменение одной рабочей частоты на одну оптимизированную низкую рабочую частоту.

В способе модуляции частоты микросхемы согласно настоящему изобретению рабочая частота предусматривает по меньшей мере одну высокую рабочую частоту, по меньшей мере одну среднюю рабочую частоту и по меньшей мере одну низкую рабочую частоту;

стадия модуляции частоты на рабочей частоте согласно текущему состоянию распределения и заданному механизму модуляции частоты дополнительно предусматривает следующее:

если ядра, превышающие заданное четвертое отношение, работают по меньшей мере на одной средней рабочей частоте, прекращение модуляции частоты на рабочей частоте; или

если количество ядер, работавших по меньшей мере на одной средней рабочей частоте, является максимальным, прекращение модуляции частоты на рабочей частоте.

В способе модуляции частоты микросхемы согласно настоящему изобретению вычислительное устройство выполнено с возможностью майнинга виртуальной цифровой валюты.

В настоящем изобретении также предлагается приспособление для модуляции частоты микросхемы вычислительного устройства, вычислительное устройство содержит по меньшей мере одну рабочую микросхему, причем рабочая микросхема содержит множество ядер, содержащее:

модуль установки частоты для установки множества рабочих частот для рабочей микросхемы вычислительного устройства и обеспечения работы множества ядер в рабочей микросхеме на соответствующих рабочих частотах;

модуль анализа вычислительных характеристик для анализа индикатора вычислительных характеристик каждого ядра на его текущей рабочей частоте; и

модуль модуляции частоты для модуляции текущей рабочей частоты ядра в сторону увеличения или уменьшения согласно индикатору вычислительных характеристик ядра.

В приспособлении для модуляции частоты микросхемы согласно настоящему изобретению модуль установки частоты устанавливает множество рабочих частот для рабочей микросхемы посредством множества схем фазовой автоподстройки частоты, рабочие частоты и схемы фазовой автоподстройки частоты находятся во взаимно-однозначном соответствии; модуль модуляции частоты модулирует текущую рабочую частоту ядра в сторону увеличения или уменьшения посредством схем фазовой автоподстройки частоты согласно индикатору вычислительных характеристик ядра.

В приспособлении для модуляции частоты микросхемы согласно настоящему изобретению схемы фазовой автоподстройки частоты расположены внутри или снаружи рабочей микросхемы.

В приспособлении для модуляции частоты микросхемы согласно настоящему изобретению разница между смежными рабочими частотами составляет от 1 до 10%.

В приспособлении для модуляции частоты микросхемы согласно настоящему изобретению модуль анализа вычислительных характеристик анализирует, достигает ли индикатор вычислительных характеристик ядра заданных первого, второго и/или третьего пороговых значений индикатора в течение заданного периода модуляции, причем первое пороговое значение индикатора такое же, как второе пороговое значение индикатора, или отличается от него;

если индикатор вычислительных характеристик ядра достигает первого порогового значения индикатора, модуль модуляции частоты модулирует текущую рабочую частоту ядра в сторону увеличения к более высокой рабочей частоте;

если индикатор вычислительных характеристик ядра не достигает второго порогового значения индикатора, модуль модуляции частоты модулирует текущую рабочую частоту ядра в сторону уменьшения к более низкой рабочей частоте; и/или

если индикатор вычислительных характеристик ядра достигает третьего порогового значения индикатора, модуль модуляции частоты модулирует текущую рабочую частоту ядра в сторону уменьшения к более низкой рабочей частоте.

В приспособлении для модуляции частоты микросхемы согласно настоящему изобретению модуль модуляции частоты дополнительно содержит:

подмодуль модуляции частоты для модуляции текущей рабочей частоты ядра в сторону увеличения или уменьшения согласно индикатору вычислительных характеристик ядра;

подмодуль прекращения модуляции частоты для прекращения модуляции частот ядер, если ядра, работавшие на заданной по меньшей мере одной оптимизированной рабочей частоте, превышают заданное первое отношение; или

для прекращения модуляции частот ядер, если количество ядер, работавших по меньшей мере на одной оптимизированной рабочей частоте, является максимальным.

В приспособлении для модуляции частоты микросхемы согласно настоящему изобретению модуль анализа вычислительных характеристик анализирует, достигает ли отношение правильности вычисления ядра заданных первого и/или второго пороговых значений отношения правильности в течение заданного периода модуляции, причем первое пороговое значение отношения правильности такое же, как второе пороговое значение отношения правильности, или отличается от него;

модуль модуляции частоты модулирует текущую рабочую частоту ядра в сторону увеличения к более высокой рабочей частоте, если отношение правильности вычисления ядра достигает первого порогового значения отношения правильности; и/или модулирует текущую рабочую частоту ядра в сторону уменьшения к более низкой рабочей частоте, если отношение правильности вычисления ядра не достигает второго порогового значения отношения правильности.

В приспособлении для модуляции частоты микросхемы согласно настоящему изобретению модуль анализа вычислительных характеристик дополнительно содержит:

первый подмодуль анализа для анализа того, являются ли случайные числа, предоставленные ядром, правильными в течение периода модуляции;

подмодуль подсчета для подсчета количества правильных случайных чисел и количества неправильных случайных чисел ядра в течение периода модуляции; и

первый модуль определения для вычисления отношения правильности вычисления случайных чисел ядра в течение периода модуляции согласно количеству правильных случайных чисел и количеству неправильных случайных чисел, и определения того, достигает ли отношение правильности вычисления случайных чисел заданных первого и/или второго пороговых значений отношения правильности;

причем модуль модуляции частоты предназначен для модуляции текущей рабочей частоты ядра в сторону увеличения к более высокой рабочей частоте, если отношение правильности вычисления случайных чисел ядра достигает первого порогового значения отношения правильности; и/или модуляции текущей рабочей частоты ядра в сторону уменьшения к более низкой рабочей частоте, если отношение правильности вычисления случайных чисел ядра не достигает второго порогового значения отношения правильности.

В приспособлении для модуляции частоты микросхемы согласно настоящему изобретению первый подмодуль анализа дополнительно содержит:

первый блок вычисления для вычисления первого результата на основании случайных чисел посредством заданного алгоритма каждый раз, когда ядро предоставляет одно случайное число в течение периода модуляции, первый результат содержит первый параметр, первый блок вычисления предусмотрен в ядре; и

первый блок проверки для вычисления второго результата на основании случайных чисел посредством того же алгоритма, второй результат содержит второй параметр, и, если первый параметр такой же, как и второй параметр, для определения того, что случайное число представляет собой правильное случайное число или случайное число представляет собой неправильное случайное число, первый блок проверки предусмотрен в рабочей микросхеме.

В приспособлении для модуляции частоты микросхемы согласно настоящему изобретению модуль анализа вычислительных характеристик анализирует в режиме реального времени, достигает ли отноше-

ние правильности вычисления ядра в течение периода модуляции первого порогового значения отношения правильности и второго порогового значения отношения правильности, согласно предварительно установленной инструкции модуляции в режиме реального времени;

модуль анализа вычислительных характеристик анализирует, достигает ли отношение правильности вычисления ядра в течение периода модуляции первого порогового значения отношения правильности и второго порогового значения отношения правильности, согласно предварительно установленной инструкции о заблаговременной модуляции в течение периода времени модуляции, установленного посредством инструкции о заблаговременной модуляции; или

модуль анализа вычислительных характеристик анализирует, достигает ли отношение правильности вычисления ядра в течение периода модуляции первого порогового значения отношения правильности и второго порогового значения отношения правильности, согласно принятой инструкции о незамедлительной модуляции;

модуль модуляции частоты модулирует в режиме реального времени текущую рабочую частоту ядра в сторону увеличения к более высокой рабочей частоте, если отношение правильности вычисления ядра в течение периода модуляции достигает первого порогового значения отношения правильности; и модулирует в режиме реального времени текущую рабочую частоту ядра в сторону уменьшения к более низкой рабочей частоте, если отношение правильности вычисления ядра в течение периода модуляции не достигает второго порогового значения отношения правильности;

модуль модуляции частоты модулирует текущую рабочую частоту ядра в сторону увеличения к более высокой рабочей частоте, если отношение правильности вычисления ядра в течение периода модуляции достигает первого порогового значения отношения правильности в период времени модуляции; и модулирует текущую рабочую частоту ядра в сторону уменьшения к более низкой рабочей частоте, если отношение правильности вычисления ядра в течение периода модуляции не достигает второго порогового значения отношения правильности в период времени модуляции; или

модуль модуляции частоты согласно принятой инструкции о незамедлительной модуляции модулирует текущую рабочую частоту ядра в сторону увеличения к более высокой рабочей частоте, если отношение правильности вычисления ядра в течение периода модуляции достигает первого порогового значения отношения правильности; модулирует текущую рабочую частоту ядра в сторону уменьшения к более низкой рабочей частоте, если отношение правильности вычисления ядра в течение периода модуляции не достигает второго порогового значения отношения правильности; и прекращает модуляцию текущей рабочей частоты ядра согласно принятой инструкции о прекращении модуляции.

В приспособлении для модуляции частоты микросхемы согласно настоящему изобретению модуль анализа вычислительных характеристик дополнительно содержит:

подмодуль установки для предварительной установки эталонного значения узла, весового значения правильного вычисления, весового значения неправильного вычисления, порогового значения правильного вычисления и порогового значения неправильного вычисления ядра;

второй подмодуль анализа для анализа того, является ли каждое вычисление ядра правильным;

подмодуль подсчета для добавления одного весового значения правильного вычисления к эталонному значению узла каждый раз, когда ядро выполняет по меньшей мере одно правильное вычисление, и вычитания одного весового значения неправильного вычисления из эталонного значения узла каждый раз, когда ядро выполняет по меньшей мере одно неправильное вычисление; и

второй подмодуль определения для определения того, достигает ли эталонное значение узла ядра порогового значения правильного вычисления или порогового значения неправильного вычисления;

причем модуль модуляции частоты предназначен для модуляции текущей рабочей частоты ядра в сторону увеличения к более высокой рабочей частоте, если текущее эталонное значение узла ядра достигает порогового значения правильного вычисления; и модуляции текущей рабочей частоты ядра в сторону уменьшения к более низкой рабочей частоте, если текущее эталонное значение узла ядра достигает порогового значения неправильного вычисления.

В приспособлении для модуляции частоты микросхемы согласно настоящему изобретению второй подмодуль анализа анализирует, являются ли правильными случайные числа, предоставляемые каждый раз ядром;

подмодуль подсчета добавляет одно весовое значение правильного вычисления к эталонному значению узла каждый раз, когда ядро предоставляет по меньшей мере одно правильное случайное число, и вычитает одно весовое значение неправильного вычисления из эталонного значения узла каждый раз, когда ядро предоставляет по меньшей мере одно неправильное случайное число.

В приспособлении для модуляции частоты микросхемы согласно настоящему изобретению второй подмодуль анализа дополнительно содержит:

второй блок вычисления для вычисления с помощью ядра первого результата на основании случайного числа посредством заданного алгоритма после того, как ядро предоставляет одно случайное число, первый результат содержит первый параметр; и

второй блок проверки для вычисления второго результата на основании случайного числа посредством того же алгоритма, второй результат содержит второй параметр; и, если первый параметр такой

же, как и второй параметр, для определения того, что случайное число представляет собой правильное случайное число или случайное число представляет собой неправильное случайное число.

В приспособлении для модуляции частоты микросхемы согласно настоящему изобретению подмодуль установки устанавливает и корректирует эталонное значение узла, весовое значение правильного вычисления, весовое значение неправильного вычисления, пороговое значение правильного вычисления и/или пороговое значение неправильного вычисления ядра согласно фактическим требованиям, причем весовое значение правильного вычисления такое же, как весовое значение неправильного вычисления, или отличается от него, пороговое значение правильного вычисления такое же, как пороговое значение неправильного вычисления, или отличается от него;

подмодуль установки регулирует ожидаемое приемлемое отношение постоянных отклонений ядра за счет регулировки отношения весового значения правильного вычисления к весовому значению неправильного вычисления;

подмодуль установки регулирует период модуляции за счет регулировки абсолютной величины весового значения правильного вычисления и весового значения неправильного вычисления;

подмодуль установки регулирует период модуляции за счет регулировки абсолютной величины порогового значения правильного вычисления и порогового значения неправильного вычисления.

В приспособлении для модуляции частоты микросхемы согласно настоящему изобретению формула вычисления отношения постоянных отклонений следующая: отношение постоянных отклонений равняется весовому значению правильного вычисления, деленному на сумму весового значения правильного вычисления и весового значения неправильного вычисления.

В приспособлении для модуляции частоты микросхемы согласно настоящему изобретению модуль анализа вычислительных характеристик определяет в режиме реального времени, достигает ли эталонное значение узла ядра порогового значения правильного вычисления или порогового значения неправильного вычисления, согласно предварительно установленной инструкции модуляции в режиме реального времени;

модуль анализа вычислительных характеристик определяет, достигает ли эталонное значение узла ядра порогового значения правильного вычисления или порогового значения неправильного вычисления, согласно предварительно установленной инструкции о заблаговременной модуляции в течение периода времени модуляции, установленного посредством инструкции о заблаговременной модуляции; или

модуль анализа вычислительных характеристик анализирует, достигает ли эталонное значение узла ядра порогового значения правильного вычисления или порогового значения неправильного вычисления, согласно принятой инструкции о незамедлительной модуляции;

модуль модуляции частоты модулирует в режиме реального времени текущую рабочую частоту ядра в сторону увеличения к более высокой рабочей частоте, если текущее эталонное значение узла ядра достигает порогового значения правильного вычисления; и модулирует в режиме реального времени текущую рабочую частоту ядра в сторону уменьшения к более низкой рабочей частоте, если текущее эталонное значение узла ядра достигает порогового значения неправильного вычисления;

модуль модуляции частоты модулирует текущую рабочую частоту ядра в сторону увеличения к более высокой рабочей частоте, если текущее эталонное значение узла ядра достигает порогового значения правильного вычисления в период времени модуляции; и модулирует текущую рабочую частоту ядра в сторону уменьшения к более низкой рабочей частоте, если текущее эталонное значение узла ядра достигает порогового значения неправильного вычисления в период времени модуляции; или

модуль модуляции частоты согласно принятой инструкции о незамедлительной модуляции модулирует текущую рабочую частоту ядра в сторону увеличения к более высокой рабочей частоте, если текущее эталонное значение узла ядра достигает порогового значения правильного вычисления; модулирует текущую рабочую частоту ядра в сторону уменьшения к более низкой рабочей частоте, если текущее эталонное значение узла ядра достигает порогового значения неправильного вычисления; и прекращает модуляцию текущей рабочей частоты ядра согласно принятой инструкции о прекращении модуляции.

В приспособлении для модуляции частоты микросхемы согласно настоящему изобретению приспособление дополнительно содержит:

модуль определения частоты для определения текущего состояния распределения ядер после модуляции частоты на соответствующих рабочих частотах;

модуль модуляции частоты для модуляции частоты на рабочей частоте согласно текущему состоянию распределения и заданному механизму модуляции частоты ядер, механизм модуляции частоты представляет собой соответствие между состоянием распределения и модуляцией частоты ядер.

В приспособлении для модуляции частоты микросхемы согласно настоящему изобретению рабочая частота предусматривает по меньшей мере одну высокую рабочую частоту, по меньшей мере одну среднюю рабочую частоту и по меньшей мере одну низкую рабочую частоту, максимальная частота на высокой рабочей частоте представляет собой максимальную рабочую частоту, минимальная частота на низкой рабочей частоте представляет собой минимальную рабочую частоту;

модуль модуляции частоты дополнительно содержит:

первый подмодуль модуляции частоты для изменения по меньшей мере одной рабочей частоты по

меньшей мере на одну оптимизированную высокую рабочую частоту, если ядра, превышающие заданное второе отношение, работают по меньшей мере на одной высокой рабочей частоте, причем частота на оптимизированной высокой рабочей частоте выше частоты на максимальной рабочей частоте; и/или

второй подмодуль модуляции частоты для изменения по меньшей мере одной рабочей частоты по меньшей мере на одну оптимизированную низкую рабочую частоту, если ядра, превышающие заданное третье отношение, работают по меньшей мере на одной низкой рабочей частоте, причем частота на оптимизированной низкой рабочей частоте ниже частоты на минимальной рабочей частоте.

В приспособлении для модуляции частоты микросхемы согласно настоящему изобретению первый подмодуль модуляции частоты изменяет одну рабочую частоту на одну оптимизированную высокую рабочую частоту, если ядра, превышающие второе отношение, работают на максимальной рабочей частоте; и/или второй подмодуль модуляции частоты изменяет одну рабочую частоту на одну оптимизированную низкую рабочую частоту, если ядра, превышающие третье отношение, работают на минимальной рабочей частоте.

В приспособлении для модуляции частоты микросхемы согласно настоящему изобретению рабочая частота предусматривает по меньшей мере одну высокую рабочую частоту, по меньшей мере одну среднюю рабочую частоту и по меньшей мере одну низкую рабочую частоту, максимальная частота на высокой рабочей частоте представляет собой максимальную рабочую частоту, минимальная частота на низкой рабочей частоте представляет собой минимальную рабочую частоту;

модуль модуляции частоты дополнительно содержит:

третий подмодуль модуляции частоты для изменения по меньшей мере одной рабочей частоты по меньшей мере на одну оптимизированную высокую рабочую частоту, если количество ядер, работавших по меньшей мере на одной высокой рабочей частоте, является максимальным, причем частота на оптимизированной высокой рабочей частоте выше частоты на максимальной рабочей частоте; и/или

четвертый подмодуль модуляции частоты для изменения по меньшей мере одной рабочей частоты по меньшей мере на одну оптимизированную низкую рабочую частоту, если количество ядер, работавших по меньшей мере на одной низкой рабочей частоте, является максимальным, причем частота на оптимизированной низкой рабочей частоте ниже частоты на минимальной рабочей частоте.

В приспособлении для модуляции частоты микросхемы согласно настоящему изобретению третий подмодуль модуляции частоты изменяет одну рабочую частоту на одну оптимизированную высокую рабочую частоту, если количество ядер, работавших на максимальной рабочей частоте, является максимальным; и/или

четвертый подмодуль модуляции частоты изменяет рабочую частоту на одну оптимизированную низкую рабочую частоту, если количество ядер, работавших на минимальной рабочей частоте, является максимальным.

В приспособлении для модуляции частоты микросхемы согласно настоящему изобретению рабочая частота предусматривает по меньшей мере одну высокую рабочую частоту, по меньшей мере одну среднюю рабочую частоту и по меньшей мере одну низкую рабочую частоту;

модуль модуляции частоты дополнительно содержит:

первый модуль прекращения модуляции для прекращения модуляции частоты на рабочей частоте, если ядра, превышающие заданное четвертое отношение, работают по меньшей мере на одной средней рабочей частоте; или

второй модуль прекращения модуляции для прекращения модуляции частоты на рабочей частоте, если количество ядер, работавших по меньшей мере на одной средней рабочей частоте, является максимальным.

В приспособлении для модуляции частоты микросхемы согласно настоящему изобретению приспособление для модуляции частоты микросхемы расположено внутри или снаружи рабочей микросхемы.

В приспособлении для модуляции частоты микросхемы согласно настоящему изобретению вычислительное устройство выполнено с возможностью майнинга виртуальной цифровой валюты.

В настоящем изобретении дополнительно предлагается хеш-плата, содержащая любое из приспособлений для модуляции частоты микросхемы.

В настоящем изобретении дополнительно предлагается вычислительное устройство, содержащее любое из приспособлений для модуляции частоты микросхемы.

В настоящем изобретении дополнительно предлагается носитель компьютерной программы для хранения компьютерной программы, причем при исполнении процессором программа реализует способ модуляции частоты микросхемы вычислительного устройства, вычислительное устройство содержит по меньшей мере одну рабочую микросхему, и рабочая микросхема содержит множество ядер, причем способ предусматривает:

установку множества рабочих частот для рабочей микросхемы вычислительного устройства и обеспечение работы множества ядер в рабочей микросхеме на соответствующих рабочих частотах;

анализ индикатора вычислительных характеристик каждого ядра на его текущей рабочей частоте; и модуляцию текущей рабочей частоты ядра в сторону увеличения или уменьшения согласно индикатору вычислительных характеристик ядра.

Согласно настоящему изобретению происходит автоматическая модуляция частот ядер рабочей микросхемы вычислительного устройства, причем сначала устанавливается множество подходящих рабочих частот и обеспечивается работа множества ядер в рабочей микросхеме на соответствующих рабочих частотах, а затем модулируется текущая рабочая частота ядра в сторону увеличения или уменьшения согласно индикатору вычислительных характеристик каждого ядра на текущей рабочей частоте, т.е. модуляция ядра с высокими вычислительными характеристиками в сторону увеличения и модуляция ядра с низкими вычислительными характеристиками в сторону уменьшения. Таким образом, согласно настоящему изобретению происходит автоматическая модуляция частоты, соответствующей каждому ядру, согласно фактическим вычислительным характеристикам каждого ядра в рабочей микросхеме вычислительного устройства, тем самым максимально увеличивая вычислительные характеристики ядер и улучшая рабочие характеристики рабочей микросхемы и рабочего устройства в целом.

Краткое описание фигур

На фиг. 1 показана принципиальная схема приспособления для модуляции частоты микросхемы вычислительного устройства согласно настоящему изобретению.

На фиг. 2 показана принципиальная схема приспособления для модуляции частоты микросхемы вычислительного устройства согласно первому варианту осуществления настоящего изобретения.

На фиг. 3 показана принципиальная схема приспособления для модуляции частоты микросхемы вычислительного устройства согласно второму варианту осуществления настоящего изобретения.

На фиг. 4 показана принципиальная схема приспособления для модуляции частоты микросхемы вычислительного устройства согласно третьему варианту осуществления настоящего изобретения.

На фиг. 5 показана иллюстративная схема настройки параметров согласно третьему варианту осуществления настоящего изобретения.

На фиг. 6 показана принципиальная схема приспособления для модуляции частоты микросхемы вычислительного устройства согласно четвертому варианту осуществления настоящего изобретения.

На фиг. 7 показана схема состояния распределения ядер, работающих на соответствующих рабочих частотах, согласно четвертому варианту осуществления настоящего изобретения.

На фиг. 8 показана блок-схема способа модуляции частоты микросхемы вычислительного устройства согласно настоящему изобретению.

На фиг. 9 показана блок-схема способа модуляции частоты микросхемы вычислительного устройства согласно первому варианту осуществления настоящего изобретения.

На фиг. 10 показана блок-схема способа модуляции частоты микросхемы вычислительного устройства согласно второму варианту осуществления настоящего изобретения.

На фиг. 11 показана блок-схема предпочтительного способа модуляции частоты микросхемы вычислительного устройства согласно второму варианту осуществления настоящего изобретения.

На фиг. 12 показана блок-схема способа модуляции частоты микросхемы вычислительного устройства согласно третьему варианту осуществления настоящего изобретения.

На фиг. 13 показана блок-схема предпочтительного способа модуляции частоты микросхемы вычислительного устройства согласно третьему варианту осуществления настоящего изобретения.

На фиг. 14 показана блок-схема способа модуляции частоты микросхемы вычислительного устройства согласно четвертому варианту осуществления настоящего изобретения.

На фиг. 15 показана блок-схема одного предпочтительного способа модуляции частоты микросхемы вычислительного устройства согласно четвертому варианту осуществления настоящего изобретения.

На фиг. 16 показана блок-схема второго предпочтительного способа модуляции частоты микросхемы вычислительного устройства согласно четвертому варианту осуществления настоящего изобретения.

На фиг. 17 показана принципиальная схема вычислительного устройства согласно настоящему изобретению.

Предпочтительные варианты осуществления настоящего изобретения

Настоящее изобретение далее подробно описано со ссылкой на прилагаемые чертежи, а также варианты осуществления, для пояснения цели, технического решения и их преимуществ. Следует понимать, что подробные варианты осуществления, описанные в настоящем документе, предназначены только для объяснения настоящего изобретения, а не его ограничения.

Следует отметить, что ссылки на "один вариант осуществления", "варианты осуществления", "иллюстративный вариант осуществления" и т.п. в раскрытии относятся к тому, что этот вариант осуществления может включать в себя конкретные признаки, структуры или характеристики, но для каждого варианта осуществления нет необходимости включать эти признаки, структуры или характеристики. Кроме того, такое выражение не относится к одному и тому же варианту осуществления. Кроме того, со ссылкой на конкретные признаки, структуры или характеристики, описанные в этом варианте осуществления, независимо от того, приведены четкие описания или нет, считается, что объединение конкретных функций, структур или характеристик в другие варианты осуществления находится в пределах области знаний специалистов в данной области техники.

Кроме того, в описании и последующей формуле изобретения используются определенные термины для обозначения определенных компонентов или деталей. Специалисты в данной области техники

должны понимать, что производитель может дать другое название одному и тому же компоненту или детали. В описании и последующей формуле изобретения компоненты или детали отличаются друг от друга по разным функциям компонентов, а не по названиям. Термины "содержать" и "включать", упомянутые во всем описании и последующей формуле изобретения, являются открытыми терминами и обозначают "включать без ограничения". Кроме того, "соединение" в настоящем документе включает любые средства прямого или косвенного электрического соединения. Средство косвенного электрического соединения включает соединение через другие устройства.

На фиг. 1 показана принципиальная схема приспособления для модуляции частоты микросхемы вычислительного устройства согласно настоящему изобретению. Вычислительное устройство предпочтительно предназначено для работы с массивами данных, например для майнинга виртуальной цифровой валюты. Вычислительное устройство содержит по меньшей мере одну рабочую микросхему, и рабочая микросхема содержит множество ядер 80. Предпочтительно вычислительное устройство содержит плату управления и хеш-плату, соединенную с платой управления, причем хеш-плата содержит по меньшей мере одну рабочую микросхему, и рабочая микросхема содержит множество ядер 80. Конечно, вычислительное устройство также может содержать радиатор, плату подключения, модуль питания и т.п.

Следует отметить, что способ модуляции частоты микросхемы согласно настоящему изобретению фактически относится к двум уровням механизма модуляции частоты, т.е. механизму модуляции частоты рабочей микросхемы и механизму модуляции частоты на уровне ядер. Механизм модуляции частоты рабочей микросхемы относится к установке множества подходящих рабочих частот для каждой рабочей микросхемы и обеспечению работы соответствующих ядер 80 рабочей микросхемы на соответствующих рабочих частотах, тем самым полностью достигая рабочих характеристик каждого ядра 80. Механизм модуляции частоты на уровне ядер относится к модуляции ядер 80 в соответствии с подходящими рабочими частотами согласно фактическим вычислительным характеристикам ядра 80, модуляции частоты ядра 80 с высокими вычислительными характеристиками в сторону увеличения и модуляции частоты ядра 80 с низкими вычислительными характеристиками в сторону уменьшения, тем самым полностью достигая вычислительных характеристик каждого ядра 80.

Приспособление 100 для модуляции частоты микросхемы по меньшей мере содержит модуль 10 установки частоты, модуль 20 анализа вычислительных характеристик и модуль 30 модуляции частоты.

Модуль 10 установки частоты устанавливает множество рабочих частот для рабочей микросхемы вычислительного устройства и обеспечивает работу множества ядер 80 в рабочей микросхеме на соответствующих рабочих частотах, причем частоты на каждой рабочей частоте отличаются друг от друга.

Т.е. установлено множество разных рабочих частот для каждой рабочей микросхемы, и обеспечена работа соответствующих ядер 80 рабочей микросхемы на соответствующих рабочих частотах согласно механизму модуляции частоты рабочей микросхемы. Например, установлено шесть рабочих частот: 500, 550, 600, 650, 700 и 750 МГц. Количество рабочих частот и интервал между частотами согласно настоящему изобретению могут быть установлены в соответствии с фактическими требованиями, причем чем больше рабочих частот, тем с большей вероятностью будут полностью достигнуты вычислительные характеристики соответствующих ядер 80. Когда переключатель модуляции частоты включен (без модуляции частот ядер 80), ядра 80 могут быть равномерно распределены, неравномерно распределены или случайным образом распределены для работы на рабочих частотах в зависимости от заданного правила. Предпочтительно модуль 10 установки частоты может устанавливать множество рабочих частот для рабочей микросхемы посредством множества схем 70 фазовой автоподстройки частоты, показанных на фиг. 2. Конечно, модуль 10 установки частоты также может устанавливать множество рабочих частот для рабочей микросхемы посредством другого аппаратного или программного обеспечения.

Модуль 20 анализа вычислительных характеристик анализирует индикатор вычислительных характеристик каждого ядра 80 на его текущей рабочей частоте. Индикатор вычислительных характеристик представляет фактические вычислительные характеристики ядра 80 на текущей рабочей частоте и включает без ограничения отношение правильности вычисления, число правильных вычислений, скорость вычисления и т.п. Если индикатор вычислительных характеристик ядра 80 высокий, это означает, что вычислительные характеристики ядра 80 могут быть улучшены, а если индикатор вычислительных характеристик ядра 80 низкий, это означает, что вычислительных характеристик ядра 80 может быть недостаточно для работы на частоте, соответствующей текущей рабочей частоте.

Модуль 30 модуляции частоты модулирует текущую рабочую частоту ядра 80 в сторону увеличения или уменьшения согласно индикатору вычислительных характеристик ядра 80 на текущей рабочей частоте. Т.е. согласно механизму модуляции частоты на уровне ядер, происходит модуляция ядра 80 в соответствии с подходящей рабочей частотой согласно фактическим вычислительным характеристикам ядра 80, причем частота ядра 80 с высокими вычислительными характеристиками модулируется в сторону увеличения, а частота ядра 80 с низкими вычислительными характеристиками модулируется в сторону уменьшения, тем самым полностью достигая вычислительных характеристик каждого ядра 80. Предпочтительно модуляция частоты ядра 80 осуществляется периодически; если отношение правильности вычисления ядра 80 в течение периода модуляции частоты достигает первого порогового значения отношения правильности, это показывает, что ядро 80 не достигает наилучших вычислительных характе-

ристик, вследствие чего осуществляется модуляция текущей рабочей частоты ядра 80 в сторону увеличения к более высокой рабочей частоте, и если отношение правильности вычисления ядра 80 в течение периода модуляции частоты не достигает второго порогового значения отношения правильности, это показывает, что вычислительных характеристик ядра 80 недостаточно для работы на текущей рабочей частоте, вследствие чего осуществляется модуляция текущей рабочей частоты ядра 80 в сторону уменьшения к более низкой рабочей частоте.

Приспособление 100 для модуляции частоты микросхемы согласно настоящему изобретению может быть расположено внутри или снаружи рабочей микросхемы. Согласно настоящему изобретению оценивается рабочая частота ядра 80, модулируется соответствующая частота ядра 80, полностью достигаются преимущества вычисления ядра 80 с высокими характеристиками, предотвращается влияние ядра с низкими характеристиками на рабочие характеристики рабочей микросхемы, и максимально повышаются вычислительные характеристики соответствующих ядер 80 согласно фактическим вычислительным характеристикам соответствующих ядер 80 в рабочей микросхеме, тем самым повышая скорость вычисления и отношение правильности вычисления рабочей микросхемы и вычислительного устройства в целом. Более того, в ядре 80 рабочей микросхемы согласно настоящему изобретению не происходит скачкообразного изменения частот, и рабочая частота относительно стабильна.

На фиг. 2 показана принципиальная схема приспособления для модуляции частоты микросхемы вычислительного устройства согласно первому варианту осуществления настоящего изобретения. Вычислительное устройство предпочтительно предназначено для работы с массивами данных, например для майнинга виртуальной цифровой валюты. Предпочтительно вычислительное устройство содержит плату управления и хеш-плату, соединенную с платой управления, причем хеш-плата содержит по меньшей мере одну рабочую микросхему, и рабочая микросхема содержит множество ядер 80. Конечно, вычислительное устройство также может содержать радиатор, плату подключения, модуль питания и т.п. Приспособление 100 для модуляции частоты микросхемы, по меньшей мере, содержит модуль 10 установки частоты, модуль 20 анализа вычислительных характеристик и модуль 30 модуляции частоты.

Модуль 10 установки частоты устанавливает множество рабочих частот для рабочей микросхемы посредством множества схем 70 фазовой автоподстройки частоты и обеспечивает работу множества ядер 80 в рабочей микросхеме на соответствующих рабочих частотах, причем частоты на соответствующих рабочих частотах отличаются друг от друга, рабочие частоты и схемы 70 фазовой автоподстройки частоты находятся во взаимно-однозначном соответствии. Предпочтительно схемы 70 фазовой автоподстройки частоты расположены внутри или снаружи рабочей микросхемы. Количество соответствующих рабочих частот и интервал между частотами согласно настоящему изобретению могут быть установлены в соответствии с фактическими требованиями, причем чем больше рабочих частот, тем с большей вероятностью будут полностью достигнуты вычислительные характеристики соответствующих ядер 80. Например, установлено шесть рабочих частот: 500, 550, 600, 650, 700 и 750 МГц. Таким образом, согласно настоящему изобретению можно настроить больше схем 70 фазовой автоподстройки частоты для обеспечения большего количества рабочих частот, тем самым полностью достигая вычислительных характеристик соответствующих ядер 80.

Следует отметить, что разница между рабочими частотами согласно настоящему изобретению может регулироваться в пределах приемлемого диапазона, поскольку, когда ядро 80 улучшается на одну рабочую частоту, рабочая частота ядра улучшается на одну разницу между частотами, тем самым повышая определенные вычислительные характеристики из-за увеличения скорости вычисления. Тем не менее, улучшение рабочей частоты ядра может вызвать потерю определенных вычислительных характеристик из-за уменьшения отношения правильности вычисления. Таким образом, модуль 10 установки частоты должен надлежащим образом регулировать разницу между смежными рабочими частотами, чтобы, когда осуществляется модуляция ядра 80 в сторону увеличения от текущей рабочей частоты к более высокой рабочей частоте, положительный эффект от вычислительных характеристик ядра 80 был больше этой потери. Предпочтительно разница между смежными рабочими частотами составляет от 1 до 10%.

Модуль 20 анализа вычислительных характеристик анализирует индикатор вычислительных характеристик каждого ядра 80 на его текущей рабочей частоте. Индикатор вычислительных характеристик представляет фактические вычислительные характеристики ядра 80 на текущей рабочей частоте и включает без ограничения отношение правильности вычисления, число правильных вычислений, скорость вычисления и т.п. Если индикатор вычислительных характеристик ядра 80 высокий, это означает, что вычислительные характеристики ядра 80 могут быть улучшены, а если индикатор вычислительных характеристик ядра 80 низкий, это означает, что вычислительных характеристик ядра 80 может быть недостаточно для работы на частоте, соответствующей текущей рабочей частоте. Предпочтительно модуль 20 анализа вычислительных характеристик анализирует, достигает ли индикатор вычислительных характеристик ядра 80 заданных первого, второго и/или третьего пороговых значений индикатора за заданный период модуляции, причем первое пороговое значение индикатора такое же, как второе пороговое значение индикатора, или отличается от него.

Модуль 30 модуляции частоты модулирует текущую рабочую частоту ядра 80 в сторону увеличения или уменьшения посредством схем 70 фазовой автоподстройки частоты согласно индикатору вычис-

лительных характеристик ядра 80. Конечно, модуль 30 модуляции частоты также может модулировать текущую рабочую частоту ядра 80 в сторону увеличения или уменьшения посредством другого аппаратного или программного обеспечения. Предпочтительно, если индикатор вычислительных характеристик ядра 80 достигает первого порогового значения индикатора, модуль 30 модуляции частоты модулирует текущую рабочую частоту ядра 80 в сторону увеличения к более высокой рабочей частоте; и/или, если индикатор вычислительных характеристик ядра 80 не достигает второго порогового значения индикатора, модуль 30 модуляции частоты модулирует текущую рабочую частоту ядра 80 в сторону уменьшения к более низкой рабочей частоте; и/или если индикатор вычислительных характеристик ядра 80 достигает третьего порогового значения индикатора, модуль 30 модуляции частоты модулирует текущую рабочую частоту ядра 80 в сторону уменьшения к более низкой рабочей частоте.

Например, рассмотрим выражение "например, установлено шесть рабочих частот 500, 550, 600, 650, 700 и 750 МГц", например текущая рабочая частота ядра 80 составляет 600 МГц, индикатор вычислительных характеристик представляет собой отношение правильности вычисления ядра 80 в течение периода модуляции, и первое пороговое значение индикатора и второе пороговое значение индикатора оба составляют 90%. Если отношение правильности вычисления ядра 80 в течение периода модуляции достигает 90%, это означает, что вычислительные характеристики ядра 80 удовлетворительные, поэтому осуществляется модуляция текущей рабочей частоты 600 МГц ядра 80 в сторону увеличения к более высокой рабочей частоте 650 МГц. Если отношение правильности вычисления ядра 80 в течение периода модуляции не достигает 90%, это означает, что вычислительные характеристики ядра 80 неудовлетворительные, поэтому осуществляется модуляция текущей рабочей частоты 600 МГц ядра 80 в сторону уменьшения к более низкой рабочей частоте 550 МГц. Специалистам в данной области техники будет очевидно, что более высокая рабочая частота не ограничена более высокой смежной рабочей частотой, одна или несколько более высоких смежных рабочих частот также могут представлять собой более высокую рабочую частоту; более низкая рабочая частота не ограничена более низкой смежной рабочей частотой, одна или несколько более низких смежных рабочих частот также могут представлять собой более низкую рабочую частоту. Т.е. осуществляется модуляция текущей рабочей частоты 600 МГц ядра 80 в сторону увеличения к более высокой рабочей частоте 700 МГц, осуществляется модуляция текущей рабочей частоты 600 МГц ядра 80 в сторону уменьшения к более низкой рабочей частоте 500 МГц и т.д. В данном случае интервал между более высокой рабочей частотой и более низкой рабочей частотой не ограничен. Предпочтительно разница между текущей рабочей частотой и более высокой рабочей частотой составляет от 1 до 10%, и разница между текущей рабочей частотой и более низкой рабочей частотой составляет от 1 до 10%, вследствие чего осуществляется модуляция ядра 80 от текущей рабочей частоты к более высокой рабочей частоте или более низкой рабочей частоте, и положительный эффект от вычислительных характеристик ядра 80 должен быть больше потери.

В другом примере индикатор вычислительных характеристик представляет собой отношение правильности вычисления ядра 80 в течение периода модуляции, первое пороговое значение индикатора составляет 90%, а второе пороговое значение индикатора составляет 80%. Если отношение правильности вычисления ядра 80 в течение периода модуляции достигает 90%, это означает, что вычислительные характеристики ядра 80 удовлетворительные, поэтому осуществляется модуляция текущей рабочей частоты 600 МГц ядра 80 в сторону увеличения к более высокой рабочей частоте 650 МГц. Если отношение правильности вычисления ядра 80 в течение периода модуляции не достигает 80%, это означает, что вычислительные характеристики ядра 80 неудовлетворительные, поэтому осуществляется модуляция текущей рабочей частоты 600 МГц ядра 80 в сторону уменьшения к более низкой рабочей частоте 550 МГц.

В еще одном примере индикатор вычислительных характеристик представляет собой количество правильных вычислений и количество неправильных вычислений ядра 80 в течение периода модуляции, причем первое пороговое значение индикатора составляет 100, а второе пороговое значение индикатора составляет 10. Если количество правильных вычислений ядра 80 в течение периода модуляции достигает 100, это означает, что вычислительные характеристики ядра 80 удовлетворительные, поэтому осуществляется модуляция текущей рабочей частоты 600 МГц ядра 80 в сторону увеличения к более высокой рабочей частоте 650 МГц. Если количество неправильных вычислений ядра 80 в течение периода модуляции достигает 10, это означает, что вычислительные характеристики ядра 80 неудовлетворительные, поэтому осуществляется модуляция текущей рабочей частоты 600 МГц ядра 80 в сторону уменьшения к более низкой рабочей частоте 550 МГц.

Предпочтительно модуль 30 модуляции частоты дополнительно содержит подмодуль 31 модуляции частоты и подмодуль 32 прекращения модуляции частоты.

Подмодуль модуляции частоты модулирует текущую рабочую частоту ядра 80 в сторону увеличения или уменьшения согласно индикатору вычислительных характеристик ядра 80. Предпочтительно подмодуль 31 модуляции частоты модулирует текущую рабочую частоту ядра 80 в сторону увеличения или уменьшения посредством схем 70 фазовой автоподстройки частоты согласно индикатору вычислительных характеристик ядра 80. Конечно, подмодуль 31 модуляции частоты также может модулировать текущую рабочую частоту ядра 80 в сторону увеличения или уменьшения посредством другого аппаратного или программного обеспечения.

Подмодуль 32 прекращения модуляции частоты, если ядра 80, работавшие на заданной по меньшей мере одной оптимизированной рабочей частоте, превышают заданное первое отношение, прекращает модуляцию частот ядер 80; или, если количество ядер 80, работавших по меньшей мере на одной оптимизированной рабочей частоте, является максимальным, прекращает модуляцию частот ядер 80.

Например, одна или несколько оптимизированных рабочих частот могут быть выбраны и предварительно установлены из множества рабочих частот, и, если рабочие частоты большинства ядер 80 достигли оптимизированных рабочих частот, это показывает, что рабочие частоты соответствующих ядер 80 в рабочей микросхеме были в оптимизированном состоянии, тем самым полностью достигая вычислительных характеристик соответствующих ядер 80 без дополнительной модуляции частоты, поэтому прекращается модуляция рабочих частот ядер 80. Например, установлены шесть рабочих частот: 500, 550, 600, 650, 700 и 750 МГц, две оптимизированные рабочие частоты 600 и 650 МГц выбраны в качестве оптимизированных рабочих частот, и, если более 80% ядер 80 работают на рабочих частотах 600 и 650 МГц, модуляция частот ядер 80 прекращается.

На фиг. 3 показана принципиальная схема приспособления для модуляции частоты микросхемы вычислительного устройства согласно второму варианту осуществления настоящего изобретения. Вычислительное устройство предпочтительно предназначено для работы с массивами данных, например для майнинга виртуальной цифровой валюты. Предпочтительно вычислительное устройство содержит плату управления и хеш-плату, соединенную с платой управления, причем хеш-плата содержит по меньшей мере одну рабочую микросхему, и рабочая микросхема содержит множество ядер 80. Конечно, вычислительное устройство также может содержать радиатор, плату подключения, модуль питания и т.п. Приспособление 100 для модуляции частоты микросхемы, по меньшей мере, содержит модуль 10 установки частоты, модуль 20 анализа вычислительных характеристик и модуль 30 модуляции частоты.

Модуль 10 установки частоты устанавливает множество рабочих частот для рабочей микросхемы вычислительного устройства и обеспечивает работу множества ядер 80 в рабочей микросхеме на соответствующих рабочих частотах, причем частоты на каждой рабочей частоте отличаются друг от друга. Т.е. согласно механизму модуляции частоты на уровне рабочей микросхемы устанавливается несколько разных рабочих частот для каждой рабочей микросхемы, и обеспечивается работа соответствующих ядер 80 рабочей микросхемы на соответствующих рабочих частотах. Например, установлено шесть рабочих частот: 500, 550, 600, 650, 700 и 750 МГц. Количество рабочих частот и интервал между частотами согласно настоящему изобретению могут быть установлены в соответствии с фактическими требованиями, причем чем больше рабочих частот, тем с большей вероятностью будут полностью достигнуты вычислительные характеристики соответствующих ядер 80. Когда переключатель модуляции частоты включен (без модуляции частот ядер 80), ядра 80 могут быть равномерно распределены, неравномерно распределены или случайным образом распределены для работы на рабочих частотах в зависимости от заданного правила. Предпочтительно модуль 10 установки частоты устанавливает множество рабочих частот для рабочей микросхемы посредством множества схем 70 фазовой автоподстройки частоты, показанных на фиг. 2, и обеспечивает работу множества ядер 80 в рабочей микросхеме на соответствующих рабочих частотах, рабочие частоты и схемы 70 фазовой автоподстройки частоты находятся во взаимно-однозначном соответствии. Таким образом, согласно настоящему изобретению можно настроить больше схем 70 фазовой автоподстройки частоты для обеспечения большего количества рабочих частот, тем самым полностью достигая вычислительных характеристик соответствующих ядер 80. Конечно, модуль 10 установки частоты также может устанавливать множество рабочих частот для рабочей микросхемы посредством другого аппаратного или программного обеспечения.

Следует отметить, что разница между рабочими частотами согласно настоящему изобретению может регулироваться в пределах приемлемого диапазона, поскольку, когда ядро 80 улучшается на одну рабочую частоту, рабочая частота ядра улучшается на одну разницу между частотами, тем самым повышая определенные вычислительные характеристики из-за увеличения скорости вычисления. Тем не менее, улучшение рабочей частоты ядра может вызвать потерю определенных вычислительных характеристик из-за уменьшения отношения правильности вычисления. Таким образом, модуль 10 установки частоты должен надлежащим образом регулировать разницу между смежными рабочими частотами, чтобы, когда осуществляется модуляция ядра 80 в сторону увеличения от текущей рабочей частоты к более высокой рабочей частоте, положительный эффект от вычислительных характеристик ядра 80 был больше этой потери. Предпочтительно разница между смежными рабочими частотами составляет от 1 до 10%.

Модуль 20 анализа вычислительных характеристик анализирует, достигает ли отношение правильности вычисления ядра 80 заданных первого и/или второго пороговых значений отношения правильности за заданный период модуляции, первое пороговое значение отношения правильности такое же, как второе пороговое значение отношения правильности, или отличается от него. Если отношение правильности вычисления ядра 80 достигает заданного первого порогового значения отношения правильности, это означает, что вычислительные характеристики ядра 80 могут быть улучшены. Если отношение правильности вычисления ядра 80 не достигает заданного второго порогового значения отношения правильности, это означает, что вычислительных характеристик ядра 80 может быть недостаточно для работы на частоте, соответствующей текущей рабочей частоте.

Модуль 30 модуляции частоты, если отношение правильности вычисления ядра 80 достигает первого порогового значения отношения правильности и ядро 80 не достигает наилучших вычислительных характеристик, модулирует текущую рабочую частоту ядра 80 в сторону увеличения к более высокой рабочей частоте; и/или, если отношение правильности вычисления ядра 80 не достигает второго порогового значения отношения правильности и вычислительных характеристик ядра 80 недостаточно для работы на текущей рабочей частоте, модулирует текущую рабочую частоту ядра 80 в сторону уменьшения к более низкой рабочей частоте. Модуль 30 модуляции частоты может модулировать частоту ядра 80 посредством схем 70 фазовой автоподстройки частоты, показанных на фиг. 2, или программного обеспечения. Т.е. согласно механизму модуляции частоты на уровне ядер, происходит модуляция ядра 80 в соответствии с подходящей рабочей частотой согласно фактическим вычислительным характеристикам ядра 80, причем частота ядра 80 с высокими вычислительными характеристиками модулируется в сторону увеличения, а частота ядра 80 с низкими вычислительными характеристиками модулируется в сторону уменьшения, тем самым полностью достигая вычислительных характеристик каждого ядра 80.

Например, первое пороговое значение правильного отношения и второе пороговое значение правильного отношения оба составляют 90%. Когда ядро 80 работает на частоте 600 МГц, если отношение правильности вычисления ядра 80 в течение заданного периода модуляции превышает 90% (это показывает, что ядро 80 не достигает наилучших вычислительных характеристик), осуществляется модуляция текущей рабочей частоты 600 МГц ядра 80 в сторону увеличения к более высокой рабочей частоте, т.е. рабочая частота увеличивается до 650 МГц. Если отношение правильности вычисления ядра 80 меньше 90% (это показывает, что вычислительных характеристик ядра 80 недостаточно для работы на частоте текущей рабочей частоты 600 МГц), осуществляется модуляция текущей рабочей частоты ядра 80 в сторону уменьшения к более низкой рабочей частоте, т.е. рабочая частота уменьшается до 550 МГц. Специалистам в данной области техники будет очевидно, что более высокая рабочая частота не ограничена более высокой смежной рабочей частотой, одна или несколько более высоких смежных рабочих частот также могут представлять собой более высокую рабочую частоту; более низкая рабочая частота не ограничена более низкой смежной рабочей частотой, одна или несколько более низких смежных рабочих частот также могут представлять собой более низкую рабочую частоту. Т.е. осуществляется модуляция текущей рабочей частоты 600 МГц ядра 80 в сторону увеличения к более высокой рабочей частоте 700 МГц, осуществляется модуляция текущей рабочей частоты 600 МГц ядра 80 в сторону уменьшения к более низкой рабочей частоте 500 МГц и т.д. В данном случае интервал между более высокой рабочей частотой и более низкой рабочей частотой не ограничен. Предпочтительно разница между текущей рабочей частотой и более высокой рабочей частотой составляет от 1 до 10%, и разница между текущей рабочей частотой и более низкой рабочей частотой составляет от 1 до 10%, вследствие чего осуществляется модуляция ядра 80 от текущей рабочей частоты к более высокой рабочей частоте или более низкой рабочей частоте, и положительный эффект от вычислительных характеристик ядра 80 должен быть больше потери.

В другом примере первое пороговое значение правильного отношения составляет 90% и второе пороговое значение правильного отношения составляет 80%. Когда ядро 80 работает на частоте 600 МГц, если отношение правильности вычисления ядра 80 в течение заданного периода модуляции превышает 90% (это показывает, что ядро 80 не достигает наилучших вычислительных характеристик), осуществляется модуляция текущей рабочей частоты ядра 80 в сторону увеличения к более высокой рабочей частоте, т.е. рабочая частота увеличивается до 650 МГц. Если отношение правильности вычисления ядра 80 меньше 90% (это показывает, что вычислительных характеристик ядра 80 недостаточно для работы на частоте текущей рабочей частоты 600 МГц), осуществляется модуляция текущей рабочей частоты ядра 80 в сторону уменьшения к более низкой рабочей частоте, т.е. рабочая частота уменьшается до 550 МГц.

Предпочтительно отношение правильности вычисления может представлять собой отношение правильности вычисления одноразовых чисел (Nonce, число, которое может быть использовано один раз, случайные числа), предоставляемых ядрами 80 в течение периода модуляции. Т.е. в течение заданного времени во всех одноразовых числах, предоставленных ядрами 80, отношение правильности вычисления представляет собой отношение, занятое правильными одноразовыми числами. Заголовок блока в блокчейне содержит одноразовое число (четыре бита), одноразовое число представляет собой случайное значение, и майнерам фактически нужно угадать значение одноразового числа, вследствие чего хеш заголовка блока может быть меньше целевого значения Target и может быть записан в блокчейн. В частности, этот атрибут начинается с 0 до 2^{32} для вычисления хеша заголовка блока, и, если полученный результат хеша соответствует условиям, майнинг считается успешным.

Предпочтительно модуль 20 анализа вычислительных характеристик, показанный на фиг. 3, дополнительно содержит:

- первый подмодуль 21 анализа для анализа того, являются ли одноразовые числа, предоставленные ядром 80, правильными в течение заданного периода модуляции;

- подмодуль 22 подсчета для подсчета количества правильных одноразовых чисел и количества неправильных одноразовых чисел, предоставленных ядром 80 в течение периода модуляции;

- первый модуль 23 определения для вычисления отношения правильности вычисления одноразовых

чисел ядра 80 в течение периода модуляции согласно количеству правильных одноразовых чисел и количеству неправильных одноразовых чисел, и определения того, достигает ли отношение правильности вычисления одноразовых чисел заданных первого и/или второго пороговых значений отношения правильности.

Модуль 30 модуляции частоты модулирует текущую рабочую частоту ядра 80 в сторону увеличения к более высокой рабочей частоте, если отношение правильности вычисления одноразовых чисел ядра 80 достигает первого порогового значения отношения правильности; и/или модулирует текущую рабочую частоту ядра 80 в сторону уменьшения к более низкой рабочей частоте, если отношение правильности вычисления одноразовых чисел ядра 80 не достигает второго порогового значения отношения правильности.

Наиболее предпочтительно первый подмодуль 21 анализа дополнительно содержит:

первый блок 211 вычисления для вычисления первого результата на основании одноразового числа посредством заданного алгоритма каждый раз, когда ядро 80 предоставляет одно одноразовое число в течение периода модуляции, первый результат содержит первый параметр, первый блок 211 вычисления предпочтительно предусмотрен в ядре 80. Одноразовое число, предоставленное каждым ядром 80, содержит идентификационную информацию (ID) одноразового числа, с использованием которой осуществляется подсчет результата вычисления каждого ядра 80;

первый блок 212 проверки для вычисления второго результата на основании одноразового числа, предоставленного ядром 80, посредством того же алгоритма, второй результат содержит второй параметр, если первый параметр такой же, как и второй параметр, для определения того, что одноразовое число представляет собой правильное одноразовое число или одноразовое число представляет собой неправильное одноразовое число. Первый блок 212 проверки предпочтительно расположен в рабочей микросхеме.

Например, после того как ядро 80 вычисляет и предоставляет одно одноразовое число, одноразовое число встраивается в заголовок блока для вычисления первого результата хеша, и значение первых двадцати битов первого результата хеша равно 0 (первый параметр). Первый блок 212 проверки также встраивает одноразовое число в заголовок блока для вычисления второго результата хеша, и, если значение первых двадцати битов второго результата хеша также равно 0 (второй параметр), считается, что одноразовое число предоставлено правильно.

Следует отметить, что для повышения вероятности того, что значения одноразовых чисел будут удовлетворять записи в блокчейн, вычисленный одним ядром 80, хеш также может быть определен с помощью Target_Lite проще, чем "target value Target", и каждое ядро может предоставлять одноразовые числа чаще. Первый блок 212 проверки проверяет одноразовые числа, предоставленные ядром 80, и, если хеш, вычисленный одноразовыми числами, предоставленными ядром 80, также проходит определение Target_Lite, считается, что ядро 80 предоставляет правильные числа или предоставляет неправильные числа. Настоящее изобретение не ограничено использованием одноразовых чисел, которые могут быть записаны в конечный блокчейн. Интерактивное одноразовое число между первым блоком 212 проверки и ядром 80 удовлетворяет более низкому пороговому значению, обладает более высокой плотностью предоставления и способствует осуществлению модуляции частоты.

Предпочтительно модуль 20 анализа вычислительных характеристик анализирует в режиме реального времени, достигает ли отношение правильности вычисления ядра 80 в течение периода модуляции первого порогового значения отношения правильности и/или второго порогового значения отношения правильности, согласно предварительно установленной инструкции модуляции в режиме реального времени, причем первое пороговое значение отношения правильности такое же, как второе пороговое значение отношения правильности, или отличается от него.

Если отношение правильности вычисления ядра 80 в течение периода модуляции достигает первого порогового значения отношения правильности, модуль 30 модуляции частоты модулирует в режиме реального времени текущую рабочую частоту ядра 80 в сторону увеличения к более высокой рабочей частоте. Если отношение правильности вычисления ядра 80 в течение периода модуляции не достигает второго порогового значения отношения правильности, модуль 30 модуляции частоты модулирует в режиме реального времени текущую рабочую частоту ядра 80 в сторону уменьшения к более низкой рабочей частоте, вследствие чего осуществляется динамическая модуляция рабочей частоты ядра 80 в режиме реального времени.

Предпочтительно модуль 20 анализа вычислительных характеристик анализирует, достигает ли отношение правильности вычисления ядра 80 в течение периода модуляции первого порогового значения отношения правильности и/или второго порогового значения отношения правильности, согласно предварительно установленной инструкции о заблаговременной модуляции в течение периода времени модуляции, установленного посредством инструкции о заблаговременной модуляции, причем первое пороговое значение отношения правильности такое же, как второе пороговое значение отношения правильности, или отличается от него.

Если отношение правильности вычисления ядра 80 в течение периода модуляции достигает первого порогового значения отношения правильности в период времени модуляции, модуль 30 модуляции час-

тоты модулирует текущую рабочую частоту ядра 80 в сторону увеличения к более высокой рабочей частоте. Если отношение правильности вычисления ядра 80 в течение периода модуляции не достигает второго порогового значения отношения правильности в период времени модуляции, модуль 30 модуляции частоты модулирует текущую рабочую частоту ядра 80 в сторону уменьшения к более низкой рабочей частоте, вследствие чего осуществляется синхронизированная модуляция рабочей частоты ядра 80. Если для подсчета отношения правильности вычисления ядра 80 установлена только суббота (24 ч) в неделю, модуляция частоты осуществляется согласно отношению правильности вычисления.

Предпочтительно модуль 20 анализа вычислительных характеристик анализирует, достигает ли отношение правильности вычисления ядра 80 в течение периода модуляции первого порогового значения отношения правильности и/или второго порогового значения отношения правильности, согласно принятой инструкции о незамедлительной модуляции, причем первое пороговое значение отношения правильности такое же, как второе пороговое значение отношения правильности, или отличается от него.

Согласно принятой инструкции о незамедлительной модуляции, если отношение правильности вычисления ядра 80 в течение периода модуляции достигает первого порогового значения отношения правильности, модуль 30 модуляции частоты модулирует текущую рабочую частоту ядра 80 в сторону увеличения к более высокой рабочей частоте, и, если отношение правильности вычисления ядра 80 в течение периода модуляции не достигает второго порогового значения отношения правильности, модуль 30 модуляции частоты модулирует текущую рабочую частоту ядра 80 в сторону уменьшения к более низкой рабочей частоте. Согласно принятой инструкции о прекращении модуляции модуль 30 модуляции частоты прекращает модуляцию текущей рабочей частоты ядра 80.

Например, пользователи могут заблаговременно отправлять инструкцию о незамедлительной модуляции на вычислительное устройство согласно требованиям, и вычислительное устройство незамедлительно начинает выполнять анализ отношения правильности вычисления ядер 80 согласно инструкции о незамедлительной модуляции. Если отношение правильности вычисления ядер 80 превышает первое пороговое значение отношения правильности (например, более 99%) в течение периода модуляции (например, 10 мин), рабочая частота ядер 80 модулируется в сторону увеличения, а если отношение правильности вычисления ядер 80 меньше второго порогового значения отношения правильности (например, ниже 99%) в течение периода модуляции (например, 10 мин), рабочая частота ядер 80 модулируется в сторону уменьшения. Кроме того, пользователи могут заблаговременно отправлять инструкцию о прекращении модуляции на вычислительное устройство согласно требованиям, и после приема инструкции о прекращении модуляции вычислительное устройство незамедлительно прекращает модуляцию частоты ядра 80.

На фиг. 4 показана принципиальная схема приспособления для модуляции частоты микросхемы вычислительного устройства согласно третьему варианту осуществления настоящего изобретения. Вычислительное устройство предпочтительно предназначено для работы с массивами данных, например для майнинга виртуальной цифровой валюты. Предпочтительно вычислительное устройство содержит плату управления и хеш-плату, соединенную с платой управления, причем хеш-плата содержит по меньшей мере одну рабочую микросхему, и рабочая микросхема содержит множество ядер 80. Конечно, вычислительное устройство также может содержать радиатор, плату подключения, модуль питания и т.п. Приспособление 100 для модуляции частоты микросхемы содержит модуль 10 установки частоты, модуль 20 анализа вычислительных характеристик и модуль 30 модуляции частоты.

Модуль 10 установки частоты устанавливает множество рабочих частот для рабочей микросхемы вычислительного устройства и обеспечивает работу множества ядер 80 в рабочей микросхеме на соответствующих рабочих частотах, причем частоты на каждой рабочей частоте отличаются друг от друга. Т.е. согласно механизму модуляции частоты рабочей микросхемы устанавливается множество разных рабочих частот для каждой рабочей микросхемы, и обеспечивается работа соответствующих ядер 80 рабочей микросхемы на соответствующих рабочих частотах. Например, установлено шесть рабочих частот: 500, 550, 600, 650, 700 и 750 МГц. Количество рабочих частот и интервал между частотами согласно настоящему изобретению могут быть установлены в соответствии с фактическими требованиями, причем чем больше рабочих частот, тем с большей вероятностью будут полностью достигнуты вычислительные характеристики соответствующих ядер 80. Когда переключатель модуляции частоты включен (без модуляции частот ядер 80), ядра 80 могут быть равномерно распределены, неравномерно распределены или случайным образом распределены для работы на рабочих частотах в зависимости от заданного правила. Предпочтительно модуль 10 установки частоты может устанавливать множество рабочих частот для рабочей микросхемы посредством множества схем 70 фазовой автоподстройки частоты, показанных на фиг. 2. Конечно, модуль 10 установки частоты также может устанавливать множество рабочих частот для рабочей микросхемы посредством другого аппаратного или программного обеспечения.

Следует отметить, что разница между рабочими частотами согласно настоящему изобретению может регулироваться в пределах приемлемого диапазона, поскольку, когда ядро 80 улучшается на одну рабочую частоту, рабочая частота ядра улучшается на одну разницу между частотами, тем самым повышая определенные вычислительные характеристики из-за увеличения скорости вычисления. Тем не менее, улучшение рабочей частоты ядра может вызвать потерю определенных вычислительных характери-

стик из-за уменьшения отношения правильности вычисления. Таким образом, модуль 10 установки частоты должен надлежащим образом регулировать разницу между смежными рабочими частотами, чтобы, когда осуществляется модуляция ядра 80 в сторону увеличения от текущей рабочей частоты к более высокой рабочей частоте, положительный эффект от вычислительных характеристик ядра 80 был больше этой потери. Предпочтительно разница между смежными рабочими частотами составляет от 1 до 10%.

Модуль 20 анализа вычислительных характеристик анализирует индикатор вычислительных характеристик каждого ядра 80 на его текущей рабочей частоте. Модуль 20 анализа вычислительных характеристик дополнительно содержит:

подмодуль 24 установки для предварительной установки эталонного значения узла, весового значения правильного вычисления, весового значения неправильного вычисления, порогового значения правильного вычисления и порогового значения неправильного вычисления ядра 80. Весовое значение правильного вычисления может быть таким же, как весовое значение неправильного вычисления, или отличаться от него, и пороговое значение правильного вычисления может быть таким же, как пороговое значение неправильного вычисления, или отличаться от него. Эталонное значение узла, весовое значение правильного вычисления, весовое значение неправильного вычисления, пороговое значение правильного вычисления и пороговое значение неправильного вычисления все являются регулируемыми параметрами, и могут быть оптимизированы согласно фактическим требованиям, таким как скорость модуляции частоты;

второй подмодуль 25 анализа для анализа того, является ли каждое вычисление ядра 80 правильным. Ядро 80 может выполнять различные вычисления для анализа правильности каждого или нескольких вычислений ядра 80. Предпочтительно анализируется, являются ли правильными одноразовые числа, вычисленные ядрами 80;

подмодуль 26 подсчета для добавления одного весового значения правильного вычисления к эталонному значению узла каждый раз, когда ядро 80 выполняет по меньшей мере одно правильное вычисление, и вычитания одного весового значения неправильного вычисления из эталонного значения узла каждый раз, когда ядро 80 выполняет по меньшей мере одно неправильное вычисление. Предпочтительно одно весовое значение правильного вычисления добавляется к эталонному значению узла каждый раз, когда ядро 80 выполняет одно правильное вычисление. Конечно, можно установить, чтобы одно весовое значение правильного вычисления добавлялось к эталонному значению узла каждый раз, когда ядро 80 выполняет N правильных вычислений (N - натуральное число больше 1). Одно весовое значение неправильного вычисления вычитается из эталонного значения узла каждый раз, когда ядро 80 выполняет одно неправильное вычисление. Конечно, можно установить, чтобы одно весовое значение неправильного вычисления вычиталось из эталонного значения узла каждый раз, когда ядро 80 выполняет N неправильных вычислений (N - натуральное число больше 1);

второй подмодуль 27 определения для определения того, достигает ли эталонное значение узла ядра 80 порогового значения правильного вычисления или порогового значения неправильного вычисления. Если текущее эталонное значение узла достигает порогового значения правильного вычисления, это означает, что вычислительные характеристики ядра 80 удовлетворительные и могут быть улучшены. Если текущее эталонное значение узла достигает порогового значения неправильного вычисления, это означает, что вычислительные характеристики ядра 80 неудовлетворительные и их может быть недостаточно для работы на частоте, соответствующей текущей рабочей частоте.

Модуль 30 модуляции частоты, если текущее эталонное значение узла ядра 80 достигает порогового значения правильного вычисления, и очевидно, что ядро 80 не достигает наилучших вычислительных характеристик, модулирует текущую рабочую частоту ядра 80 в сторону увеличения к более высокой рабочей частоте; и, если текущее эталонное значение узла ядра 80 достигает порогового значения неправильного вычисления, и очевидно, что вычислительных характеристик ядра 80 недостаточно для работы на его текущей рабочей частоте, модулирует текущую рабочую частоту ядра 80 в сторону уменьшения к более низкой рабочей частоте. Модуль 30 модуляции частоты может модулировать частоту ядра 80 посредством схем 70 фазовой автоподстройки частоты, показанных на фиг. 2, или программного обеспечения. Т.е. согласно механизму модуляции частоты на уровне ядер, происходит модуляция ядра 80 в соответствии с подходящей рабочей частотой согласно фактическим вычислительным характеристикам ядра 80, причем частота ядра 80 с высокими вычислительными характеристиками модулируется в сторону увеличения, а частота ядра 80 с низкими вычислительными характеристиками модулируется в сторону уменьшения, тем самым полностью достигая вычислительных характеристик каждого ядра 80. Специалистам в данной области техники будет очевидно, что более высокая рабочая частота не ограничена более высокой смежной рабочей частотой, одна или несколько более высоких смежных рабочих частот также могут представлять собой более высокую рабочую частоту; более низкая рабочая частота не ограничена более низкой смежной рабочей частотой, одна или несколько более низких смежных рабочих частот также могут представлять собой более низкую рабочую частоту. Т.е. осуществляется модуляция текущей рабочей частоты 600 МГц ядра 80 в сторону увеличения к более высокой рабочей частоте 700 МГц, осуществляется модуляция текущей рабочей частоты 600 МГц ядра 80 в сторону уменьшения к более низкой рабочей частоте 500 МГц и т.д. В данном случае интервал между более высокой рабочей

частотой и более низкой рабочей частотой не ограничен. Предпочтительно разница между текущей рабочей частотой и более высокой рабочей частотой составляет от 1 до 10%, и разница между текущей рабочей частотой и более низкой рабочей частотой составляет от 1 до 10%, вследствие чего осуществляется модуляция ядра 80 от текущей рабочей частоты к более высокой рабочей частоте или более низкой рабочей частоте, и положительный эффект от вычислительных характеристик ядра 80 должен быть больше потери.

Например, как показано на фиг. 5, эталонное значение узла установлено равным 400000, весовое значение правильного вычисления установлено равным 180, весовое значение неправильного вычисления установлено равным 9000, пороговое значение правильного вычисления и пороговое значение неправильного вычисления установлено равными 100000.

180 (весовое значение правильного вычисления) добавляется к эталонному значению узла каждый раз, когда ядро 80 выполняет одно правильное вычисление, 9000 (весовое значение неправильного вычисления) вычитается из эталонного значения узла каждый раз, когда ядро 80 выполняет одно неправильное вычисление, и, учитывая эталонное значение узла для эталона, осуществляется ступенчатое увеличение или уменьшение более высокой частоты или более низкой частоты каждый раз, когда добавляется или вычитается 100000 (пороговое значение правильного вычисления и пороговое значение неправильного вычисления).

Данный механизм аналогичен неправильному или правильному механизму перетягивания каната, причем правильные и неправильные механизмы могут обладать разными весовыми значениями. Устанавливается эталонное значение узла. Одно весовое значение правильного вычисления добавляется каждый раз, когда принят один правильный результат, одно весовое значение неправильного вычисления вычитается каждый раз, когда принят один неправильный результат, и если вознаграждение или наказание превышает соответствующее пороговое значение, осуществляется модуляция частоты в сторону увеличения или уменьшения. Следует понимать, что система содержит маркер, причем эталонное значение узла является начальным значением маркера: маркер +180 означает правильное предоставление, а маркер -9000 означает каждое неправильное предоставление. После N-го (N - натуральное число, большее или равное 1) числа правильных значений и M-го (M - натуральное число, большее или равное 1) неправильных значений, маркер должен быть в положении $400000 + N \times 180 - M \times 9000$, и если маркер превышает одно пороговое значение, частота модулируется соответствующим образом (т.е. модуляция в сторону увеличения или уменьшения). Затем, каждый раз, когда частота модулируется с получением новой частоты, значение возвращается в начальное состояние, т.е. текущее эталонное значение узла сбрасывается к начальному эталонному значению узла.

Предпочтительно подмодуль установки 24 устанавливает и корректирует эталонное значение узла, весовое значение правильного вычисления, весовое значение неправильного вычисления, пороговое значение правильного вычисления и/или пороговое значение неправильного вычисления ядра 80 согласно фактическим требованиям, причем весовое значение правильного вычисления такое же, как весовое значение неправильного вычисления, или отличается от него, и пороговое значение правильного вычисления такое же, как пороговое значение неправильного вычисления, или отличается от него.

Предпочтительно подмодуль установки 24 регулирует ожидаемое приемлемое отношение постоянных отклонений S ядра 80 за счет регулировки отношения весового значения правильного вычисления к весовому значению неправильного вычисления. Формула вычисления отношения постоянных отклонений S следующая: отношение постоянных отклонений S равняется весовому значению правильного вычисления, деленному на сумму весового значения правильного вычисления и весового значения неправильного вычисления.

Предпочтительно подмодуль 24 установки регулирует период модуляции за счет регулировки абсолютной величины весового значения правильного вычисления и весового значения неправильного вычисления.

Предпочтительно подмодуль установки регулирует период модуляции за счет регулировки абсолютной величины порогового значения правильного вычисления и порогового значения неправильного вычисления.

Предпочтительно правильное вычисление может учитываться, когда ядро 80 правильно вычисляет одноразовое число.

Второй подмодуль 25 анализа анализирует, является ли правильным одноразовое число, предоставляемое каждый раз ядром 80.

Подмодуль 26 подсчета добавляет одно весовое значение правильного вычисления к эталонному значению узла каждый раз, когда ядро 80 предоставляет по меньшей мере одно правильное одноразовое число, и вычитает одно весовое значение неправильного вычисления из эталонного значения узла каждый раз, когда ядро 80 предоставляет по меньшей мере одно неправильное одноразовое число. Предпочтительно одно весовое значение правильного вычисления добавляется к эталонному значению узла каждый раз, когда ядро 80 предоставляет одно правильное одноразовое число. Конечно, также можно установить, чтобы одно весовое значение правильного вычисления добавлялось к эталонному значению узла каждый раз, когда ядро 80 предоставляет N правильных одноразовых чисел (N - натуральное число

больше 1). Одно весовое значение неправильного вычисления вычитается из эталонного значения узла каждый раз, когда ядро 80 предоставляет одно неправильное одноразовое число. Конечно, также можно установить, чтобы одно весовое значение неправильного вычисления вычиталось из эталонного значения узла каждый раз, когда ядро 80 предоставляет N неправильных одноразовых чисел (N - натуральное число больше 1).

Более предпочтительно второй подмодуль 25 анализа дополнительно содержит:

второй блок 251 вычисления для вычисления с помощью ядра 80 первого результата на основании одноразового числа посредством заданного алгоритма после того, как ядро 80 предоставляет одно одноразовое число, первый результат содержит первый параметр;

второй блок 252 проверки для вычисления второго результата на основании одноразового числа посредством того же алгоритма, второй результат содержит второй параметр. Если первый параметр такой же, как и второй параметр, определяется, что одноразовое число представляет собой правильное одноразовое число или одноразовое число представляет собой неправильное одноразовое число.

Например, после того как ядро 80 вычисляет и предоставляет одно одноразовое число, одноразовое число встраивается в заголовок блока для вычисления первого результата хеша, и значение первых двадцати битов первого результата хеша равно 0 (первый параметр). Второй блок 252 проверки также встраивает одноразовое число в заголовок блока для вычисления второго результата хеша, и, если значение первых двадцати битов второго результата хеша также равно 0 (второй параметр), считается, что одноразовое число предоставлено правильно.

Следует отметить, что для повышения вероятности того, что значения одноразовых чисел будут удовлетворять записи в блокчейн, вычисленный одним ядром 80, хеш также может быть определен с помощью Target_Lite проще, чем "target value Target", и каждое ядро может предоставлять одноразовые числа чаще. Первый блок 212 проверки проверяет одноразовые числа, предоставленные ядром 80, и, если хеш, вычисленный одноразовыми числами, предоставленными ядром 80, также проходит определение Target_Lite, считается, что ядро 80 предоставляет правильные числа или предоставляет неправильные числа. Настоящее изобретение не ограничено использованием одноразовых чисел, которые могут быть записаны в конечный блокчейн. Интерактивное одноразовое число между первым блоком 212 проверки и ядром 80 удовлетворяет более низкому пороговому значению, обладает более высокой плотностью предоставления и способствует осуществлению модуляции частоты.

Согласно одному конкретному прикладному варианту осуществления настоящего изобретения используется шесть схем 70 фазовой автоподстройки частоты и установлены шесть рабочих частот 500, 550, 600, 650, 700 и 750 МГц. Как показано на фиг. 5, эталонное значение узла установлено равным 400000, весовое значение правильного вычисления установлено равным 180, весовое значение неправильного вычисления установлено равным 9000, пороговое значение правильного вычисления и пороговое значение неправильного вычисления установлено равными 100000.

Количество ядер, распределенных по соответствующим частотам, подсчитывается четырьмя хеш-платами следующим образом:

хеш-плата 0: [294 26 96 224 1023 1665],

хеш-плата 1: [274 47 111 212 963 1721],

хеш-плата 2: [350 25 153 369 1381 1050],

хеш-плата 3: [488 33 184 367 1342 950].

В первую очередь механизм дополнительно объясняется со ссылкой на данные. Согласно формуле, в которой отношение постоянных отклонений S равняется весовому значению правильного вычисления, деленному на сумму весового значения правильного вычисления и весового значения неправильного вычисления, можно предположить, что отношение постоянных отклонений S (которое следует понимать как долгосрочное нахождение на одной частоте) ядра 80 составляет $180/(180+9000)=1,29\%$, с учетом представленных данных. Соответственно, ядро 80 работает на одной частоте в течение длительного времени (поскольку желаемый шаг представляет собой 0), и не осуществляется модуляция рабочей частоты в сторону увеличения или уменьшения. Можно предположить, что, если отношение отклонений вычисления ядра 80 больше 1,29% (отношение постоянных отклонений S), осуществляется модуляция рабочей частоты в сторону увеличения, а если отношение отклонений вычисления ядра 80 меньше 1,29% (отношение постоянных отклонений S), осуществляется модуляция рабочей частоты в сторону уменьшения.

В соответствии со сложностью установок (сложность связана с проверочным эталонным значением и влияет на отношение правильности вычисления ядра 80, причем чем больше коэффициент сложности, тем ниже отношение правильности; и наоборот, чем он меньше, тем выше коэффициент правильности) можно предположить значительный период модуляции при возникновении отклонения. Предположим, что отношение отклонений представляет собой e, желаемый шаг каждого одноразового числа вычисляется следующим образом: $(1-e) \times 180 - e \times 9000 = 180 - 9180e$. Если $e=0,5\%$, например, желаемый шаг равен 134,1, если $e=1\%$, например, желаемый шаг равен 88,2, а если $e=2\%$, например, желаемый шаг равен -3,6.

Вычисление осуществляется с использованием 650 МГц, и ожидаемое значение одного одноразового числа, предоставляемого ядром 80, представляет собой 1,3 в секунду (т.е. 1,3 одноразовых чисел предоставляется в одну секунду). Пояснения приводятся с использованием ситуации, в которой e представ-

ляет собой 0,5%, т.е. после предоставления 746 одноразовых чисел, ожидаемое значение может быть один раз подвергнуто модуляции в сторону увеличения. Когда ϵ представляет собой 1,0%, предоставляется 1134 одноразовых числа, и ожидаемое значение может быть один раз подвергнуто модуляции в сторону увеличения; если отношение отклонений представляет собой 2,0%, предоставляется 2778 одноразовых чисел, ожидаемое число может быть один раз подвергнуто модуляции в сторону уменьшения, и т.д.

Предпочтительно модуль 20 анализа вычислительных характеристик определяет в режиме реального времени, достигает ли текущее эталонное значение узла ядра 80 порогового значения правильного вычисления или порогового значения неправильного вычисления, согласно предварительно установленной инструкции модуляции в режиме реального времени, причем пороговое значение правильного вычисления такое же, как пороговое значение неправильного вычисления, или отличается от него.

Модуль 30 модуляции частоты, если текущее эталонное значение узла ядра 80 достигает порогового значения правильного вычисления, модулирует в режиме реального времени текущую рабочую частоту ядра 80 в сторону увеличения к более высокой рабочей частоте; если текущее эталонное значение узла ядра 80 достигает порогового значения неправильного вычисления, модулирует в режиме реального времени текущую рабочую частоту ядра 80 в сторону уменьшения к более низкой рабочей частоте, вследствие чего осуществляется динамическая модуляция рабочей частоты ядра 80 в режиме реального времени.

Предпочтительно модуль 20 анализа вычислительных характеристик определяет, достигает ли текущее эталонное значение узла ядра 80 порогового значения правильного вычисления или порогового значения неправильного вычисления, согласно предварительно установленной инструкции о заблаговременной модуляции в течение периода времени модуляции, установленного посредством инструкции о заблаговременной модуляции.

Модуль 30 модуляции частоты, если текущее эталонное значение узла ядра 80 достигает порогового значения правильного вычисления в период времени модуляции, модулирует текущую рабочую частоту ядра 80 в сторону увеличения к более высокой рабочей частоте; если текущее эталонное значение узла ядра 80 достигает порогового значения неправильного вычисления в период времени модуляции, модулирует текущую рабочую частоту ядра 80 в сторону уменьшения к более низкой рабочей частоте, вследствие чего осуществляется синхронизированная модуляция рабочей частоты ядра 80. Если для подсчета количества правильных одноразовых чисел ядер 80 установлена только суббота (24 ч) в неделю, модуляция частоты осуществляется согласно отношению правильности вычисления.

Предпочтительно модуль 20 анализа вычислительных характеристик анализирует, достигает ли текущее эталонное значение узла ядра 80 порогового значения правильного вычисления или порогового значения неправильного вычисления, согласно принятой инструкции о незамедлительной модуляции, причем пороговое значение правильного вычисления такое же, как пороговое значение неправильного вычисления, или отличается от него.

Модуль 30 модуляции частоты согласно принятой инструкции о незамедлительной модуляции, если текущее эталонное значение узла ядра 80 достигает порогового значения правильного вычисления, модулирует текущую рабочую частоту ядра 80 в сторону увеличения к более высокой рабочей частоте; если текущее эталонное значение узла ядра 80 достигает порогового значения неправильного вычисления, модулирует текущую рабочую частоту ядра 80 в сторону уменьшения к более низкой рабочей частоте. Согласно принятой инструкции о прекращении модуляции модуль 30 модуляции частоты прекращает модуляцию текущей рабочей частоты ядра 80.

Например, пользователи могут заблаговременно отправить инструкцию о незамедлительной модуляции на вычислительное устройство согласно требованиям, и пользователи добавляют весовое значение А к эталонному узлу каждый раз, когда ядро 80 правильно вычисляет одно одноразовое число, и вычитают весовое значение В из эталонного узла каждый раз, когда ядро 80 неправильно вычисляет одно одноразовое число. Когда текущее добавленное значение достигает порогового значения числа правильных вычислений С, ядро 80 осуществляет повышение к более высокой частоте. Когда текущее вычитенное значение достигает порогового значения числа неправильных вычислений D, ядро 80 осуществляет понижение к более низкой частоте. Кроме того, пользователи могут заблаговременно отправлять инструкцию о прекращении модуляции на вычислительное устройство согласно требованиям, и после приема инструкции о прекращении модуляции вычислительное устройство незамедлительно прекращает модуляцию частоты ядра 80.

На фиг. 6 показана принципиальная схема приспособления для модуляции частоты микросхемы вычислительного устройства согласно четвертому варианту осуществления настоящего изобретения. Вычислительное устройство предпочтительно предназначено для работы с массивами данных, например для майнинга виртуальной цифровой валюты. Предпочтительно вычислительное устройство содержит плату управления и хеш-плату, соединенную с платой управления, причем хеш-плата содержит по меньшей мере одну рабочую микросхему, и рабочая микросхема содержит множество ядер 80. Конечно, вычислительное устройство также может содержать радиатор, плату подключения, модуль питания и т.п. Приспособление 100 для модуляции частоты микросхемы содержит модуль 10 установки частоты, модуль 20 анализа вычислительных характеристик, модуль 30 модуляции частоты, модуль 50 определения

частоты и модуль 60 модуляции частоты.

Модуль 10 установки частоты устанавливает множество рабочих частот для рабочей микросхемы вычислительного устройства и обеспечивает работу множества ядер 80 в рабочей микросхеме на соответствующих рабочих частотах. Т.е. согласно механизму модуляции частоты на уровне рабочей микросхемы устанавливается множество разных рабочих частот для каждой рабочей микросхемы, и обеспечивается работа ядер 80 рабочей микросхемы на соответствующих рабочих частотах. Например, установлено шесть рабочих частот: 500, 550, 600, 650, 700 и 750 МГц. Количество рабочих частот и интервал между частотами согласно настоящему изобретению могут быть установлены в соответствии с фактическими требованиями, причем чем больше рабочих частот, тем с большей вероятностью будут полностью достигнуты вычислительные характеристики соответствующих ядер 80. Когда переключатель модуляции частоты включен (без модуляции частот ядер 80), ядра 80 могут быть равномерно распределены, неравномерно распределены или случайным образом распределены для работы на рабочих частотах в зависимости от заданного правила. Предпочтительно модуль 10 установки частоты может устанавливать множество рабочих частот для рабочей микросхемы посредством множества схем 70 фазовой автоподстройки частоты (PPL), показанных на фиг. 2. Конечно, модуль 10 установки частоты также может устанавливать множество рабочих частот для рабочей микросхемы посредством другого аппаратного или программного обеспечения.

Следует отметить, что разница между рабочими частотами согласно настоящему изобретению может регулироваться в пределах приемлемого диапазона, поскольку, когда ядро 80 улучшается на одну рабочую частоту, рабочая частота ядра улучшается на одну разницу между частотами, тем самым повышая определенные вычислительные характеристики из-за увеличения скорости вычисления. Тем не менее, улучшение рабочей частоты ядра может вызвать потерю определенных вычислительных характеристик из-за уменьшения отношения правильности вычисления. Таким образом, модуль 10 установки частоты должен надлежащим образом регулировать разницу между смежными рабочими частотами, чтобы, когда осуществляется модуляция ядра 80 в сторону увеличения от текущей рабочей частоты к более высокой рабочей частоте, положительный эффект от вычислительных характеристик ядра 80 был больше этой потери. Предпочтительно разница между смежными рабочими частотами составляет от 1 до 10%.

Модуль 20 анализа вычислительных характеристик анализирует индикатор вычислительных характеристик каждого ядра 80 на его текущей рабочей частоте. Индикатор вычислительных характеристик представляет фактические вычислительные характеристики ядра 80 на текущей рабочей частоте и включает без ограничения отношение правильности вычисления, число правильных вычислений, скорость вычисления и т.п. Если индикатор вычислительных характеристик ядра 80 высокий, это означает, что вычислительные характеристики ядра 80 могут быть улучшены, а если индикатор вычислительных характеристик ядра 80 низкий, это означает, что вычислительных характеристик ядра 80 может быть недостаточно для работы на частоте, соответствующей текущей рабочей частоте.

Модуль 30 модуляции частоты модулирует текущую рабочую частоту ядра 80 в сторону увеличения или уменьшения согласно индикатору вычислительных характеристик ядра 80. Т.е. согласно механизму модуляции частоты на уровне ядер, происходит модуляция ядра 80 в соответствии с подходящей рабочей частотой согласно вычислительным характеристикам ядра 80, причем частота ядра 80 с высокими вычислительными характеристиками модулируется в сторону увеличения, а частота ядра 80 с низкими вычислительными характеристиками модулируется в сторону уменьшения, тем самым полностью достигая вычислительных характеристик каждого ядра 80. Модуль 30 модуляции частоты может модулировать частоту ядра 80 посредством схем 70 фазовой автоподстройки частоты, показанных на фиг. 2, или программного обеспечения. Предпочтительно, если отношение правильности вычисления ядра 80 в течение периода модуляции достигает первого порогового значения отношения правильности, это показывает, что ядро 80 не достигает наилучших вычислительных характеристик, вследствие чего осуществляется модуляция текущей рабочей частоты ядра 80 в сторону увеличения к более высокой рабочей частоте. Если отношение правильности вычисления ядра 80 в течение периода модуляции достигает второго порогового значения отношения правильности, это показывает, что вычислительных характеристик ядра 80 недостаточно для работы на текущей рабочей частоте, вследствие чего осуществляется модуляция текущей рабочей частоты ядра 80 в сторону уменьшения к более низкой рабочей частоте. Специалистам в данной области техники будет очевидно, что более высокая рабочая частота не ограничена более высокой смежной рабочей частотой, одна или несколько более высоких смежных рабочих частот также могут представлять собой более высокую рабочую частоту; более низкая рабочая частота не ограничена более низкой смежной рабочей частотой, одна или несколько более низких смежных рабочих частот также могут представлять собой более низкую рабочую частоту. Т.е. осуществляется модуляция текущей рабочей частоты 600 МГц ядра 80 в сторону увеличения к более высокой рабочей частоте 700 МГц, осуществляется модуляция текущей рабочей частоты 600 МГц ядра 80 в сторону уменьшения к более низкой рабочей частоте 500 МГц и т.д. В данном случае интервал между более высокой рабочей частотой и более низкой рабочей частотой не ограничен. Предпочтительно разница между текущей рабочей частотой и более высокой рабочей частотой составляет от 1 до 10%, и разница между текущей рабочей частотой и более низкой рабочей частотой составляет от 1 до 10%, вследствие чего осуществляется модуляция ядра

80 от текущей рабочей частоты к более высокой рабочей частоте или более низкой рабочей частоте, и положительный эффект от вычислительных характеристик ядра 80 должен быть больше потери.

Модуль 50 определения частоты определяет текущее состояние распределения ядер 80 после модуляции частоты на соответствующих рабочих частотах. После автоматической модуляции рабочей частоты согласно самим вычислительным характеристикам, ядра 80 распределяются для работы на соответствующих рабочих частотах, и модуль 50 определения частоты подсчитывает распределенное количество ядер 80 после модуляции частоты на соответствующих рабочих частотах и может получать текущее состояние распределения. Предпочтительно рабочая частота может быть подразделена по меньшей мере на одну высокую рабочую частоту, по меньшей мере одну среднюю рабочую частоту и по меньшей мере одну низкую рабочую частоту, причем максимальная частота на высокой рабочей частоте представляет собой максимальную рабочую частоту, а минимальная частота на низкой рабочей частоте представляет собой минимальную рабочую частоту. Например, всего есть одна тысяча ядер 80, установлены шесть рабочих частот: 500, 550, 600, 650, 700 и 750 МГц, и количество ядер 80, последовательно распределенных по шести рабочим частотам, представляет 100, 200, 100, 100, 200 и 300 соответственно. 500 и 550 МГц - это низкие рабочие частоты, 600 и 650 МГц - средние рабочие частоты, а 700 и 750 МГц - высокая рабочая частота. 500 МГц - это минимальная рабочая частота, а 750 МГц - максимальная рабочая частота.

Модуль модуляции 60 частоты модулирует частоту на рабочей частоте согласно текущему состоянию распределения и заданному механизму модуляции частоты ядер 80. Механизм модуляции частоты представляет собой взаимно-однозначное соответствие между состоянием распределения и модуляцией частоты ядер. Состояние распределения ядер относится к состоянию распределения ядер 80, работавших на соответствующих рабочих частотах. Модуляция частоты на рабочей частоте относится к непосредственной модуляции частоты на рабочей частоте. Предпочтительно модуль 60 модуляции частоты модулирует частоту на рабочей частоте посредством схем 70 фазовой автоподстройки частоты, показанных на фиг. 2. Специалистам в данной области техники будет очевидно, что способ модуляции рабочей частоты модулем 50 определения частоты не ограничен этим. Идеальное состояние согласно настоящему изобретению состоит в том, чтобы надеяться, что больше заданного отношения (например, 50%) или максимального количества ядер 80 находятся в средних рабочих частотах, вследствие чего частоты ядер 80 могут быть подвергнуты модуляции в сторону увеличения.

Например, если больше заданного отношения (например, 30%) ядер 80 работают на высокой рабочей частоте (750 МГц), это может привести к тому, что ядра 80 не достигают максимальных вычислительных характеристик (которые могут быть выше), поэтому одна рабочая частота (600 МГц) изменяется по меньшей мере на одну оптимизированную высокую рабочую частоту (800 МГц), и ядра 80, вначале работавшие на рабочей частоте (600 МГц), все переводятся на работу на максимальной рабочей частоте (750 МГц). Частота на оптимизированной высокой рабочей частоте выше частоты на максимальной рабочей частоте, тем самым полностью достигая вычислительных характеристик соответствующих ядер 80.

Согласно одному конкретному варианту осуществления настоящего изобретения модуль 60 модуляции частоты дополнительно содержит первый подмодуль 61 модуляции частоты и/или второй подмодуль 62 модуляции частоты.

Если ядра 80, превышающие заданное второе отношение, работают по меньшей мере на одной высокой рабочей частоте, и это может приводить к тому, что ядра 80 не достигают максимальных вычислительных характеристик (которые могут быть выше), первый подмодуль 61 модуляции частоты изменяет по меньшей мере одну рабочую частоту по меньшей мере на одну оптимизированную высокую рабочую частоту, и частота на оптимизированной высокой рабочей частоте выше частоты на максимальной рабочей частоте. Измененная рабочая частота может быть низкой рабочей частотой, средней рабочей частотой и/или высокой рабочей частотой.

Например, установлены шесть рабочих частот: 500, 550, 600, 650, 700 и 750 МГц, и если более 30% (второе отношение) ядер 80 работают на двух высоких рабочих частотах (700 и 750 МГц), две низкие рабочие частоты (500 и 550 МГц) изменяются на две оптимизированные высокие рабочие частоты (800 и 850 МГц), или одна низкая рабочая частота (500 МГц) и одна средняя рабочая частота (600 МГц) изменяются на две оптимизированные высокие рабочие частоты (800 и 850 МГц).

Предпочтительно, если ядра 80, превышающие второе отношение, работают на максимальной рабочей частоте, и это может приводить к тому, что ядра 80 не достигают максимальных вычислительных характеристик (которые могут быть выше), первый подмодуль 61 модуляции частоты изменяет одну рабочую частоту на одну оптимизированную высокую рабочую частоту, и частота на оптимизированной высокой рабочей частоте выше частоты на максимальной рабочей частоте. Измененная рабочая частота может быть низкой рабочей частотой, средней рабочей частотой и/или высокой рабочей частотой.

Например, если более 30% (второе отношение) ядер 80 работают на максимальной рабочей частоте (750 МГц), одна низкая рабочая частота (500 МГц) изменяется на оптимизированную высокую рабочую частоту (800 МГц), или одна средняя рабочая частота (600 МГц) изменяется на оптимизированную высокую рабочую частоту (800 МГц) или максимальная рабочая частота (750 МГц) изменяется на оптимизи-

рованную высокую рабочую частоту (800 МГц).

Если ядра 80, превышающие заданное третье отношение, работают по меньшей мере на одной низкой рабочей частоте, и это означает, что вычислительные возможности ядер 80 слишком низки, и их недостаточно для работы на низкой рабочей частоте, второй подмодуль 62 модуляции частоты изменяет по меньшей мере одну рабочую частоту по меньшей мере на одну оптимизированную низкую рабочую частоту, и частота на оптимизированной низкой рабочей частоте ниже частоты на минимальной рабочей частоте, что позволяет предотвратить влияние ядер 80 с неудовлетворительными вычислительными характеристиками на общие вычислительные характеристики рабочей микросхемы. Измененная рабочая частота может быть низкой рабочей частотой, средней рабочей частотой и/или высокой рабочей частотой.

Например, установлены шесть рабочих частот 500, 550, 600, 650, 700 и 750 МГц, и если более 30% (третье отношение) ядер 80 работают на двух низких рабочих частотах (500 и 550 МГц), две низкие рабочие частоты (500 и 550 МГц) изменяются на две оптимизированные низкие рабочие частоты (400 и 450 МГц) или одна низкая рабочая частота (500 МГц) и одна средняя рабочая частота (600 МГц) изменяются на две оптимизированные низкие рабочие частоты (400 и 450 МГц).

Предпочтительно, если ядра 80, превышающие третье отношение, работают на минимальной рабочей частоте, и это означает, что вычислительные возможности ядер 80 слишком низки, и их недостаточно для работы на минимальной рабочей частоте, второй подмодуль 62 модуляции частоты изменяет одну рабочую частоту на одну оптимизированную низкую рабочую частоту, и частота на оптимизированной низкой рабочей частоте ниже частоты на минимальной рабочей частоте. Измененная рабочая частота может быть низкой рабочей частотой, средней рабочей частотой и/или высокой рабочей частотой.

Например, если более 30% (третье отношение) ядер 80 работают на минимальной рабочей частоте (500 МГц), одна низкая рабочая частота (500 МГц) изменяется на оптимизированную низкую рабочую частоту (450 МГц) или одна средняя рабочая частота (600 МГц) изменяется на оптимизированную низкую рабочую частоту (450 МГц), или максимальная рабочая частота (750 МГц) изменяется на оптимизированную низкую рабочую частоту (450 МГц).

Согласно одному конкретному прикладному варианту осуществления настоящего изобретения используется шесть схем 70 фазовой автоподстройки частоты и установлены шесть рабочих частот 500, 550, 600, 650, 700 М и 750 МГц.

Количество ядер, распределенных по соответствующим частотам, подсчитывается четырьмя хеш-платами следующим образом:

хеш-плата 0: [294 26 96 224 1023 1665],
хеш-плата 1: [274 47 111 212 963 1721],
хеш-плата 2: [350 25 153 369 1381 1050],
хеш-плата 3: [488 33 184 367 1342 950].

Если присутствует четыре хеш-платы 0-3, например, как показано на фиг. 7, данные, по существу, соответствуют нормальному распределению, и минимальная рабочая частота (500 МГц) представляет собой минимальную частоту, на которой работает одно ядро 80, и она не может быть подвергнута модулированию в сторону уменьшения (если отношение отклонений слишком высоко, можно рассмотреть закрытие минимальной частоты). Если больше заданного отношения (например, 50%) ядер 80 находятся на максимальной рабочей частоте (750 МГц), это означает, что максимальная эффективность не достигнута (может быть выше), и вся рабочая микросхема может быть улучшена. Относительно идеальное состояние заключается в том, чтобы больше заданного отношения (например, 50%) или максимального количества ядер 80 находились в одной или нескольких средних рабочих частотах, например третьей рабочей частоте (600 МГц). Чтобы полностью использовать вычислительные характеристики ядер 80, следует рассмотреть удлиненный хвост распределения на стороне высоких характеристик, а не удлиненный хвост распределения на низкой частоте.

Если присутствуют хеш-платы 0-1, например, можно увидеть, что, если частота 600 МГц удалена, и если использовался в целом сдвиг влево, то сто ядер 80 находятся на частоте 550 МГц, и текущая частота очевидно находится в левой низкочастотной области, что не способствует полноценному достижению вычислительных характеристик ядер 80. Таким образом, более подходящим является в целом сдвиг вправо, т.е. полный сдвиг. Если частота 550 МГц установлена со сдвигом в целом вправо, выше частоты 800 МГц посредством схем 70 фазовой автоподстройки частоты, показанных на фиг. 2, ожидается, что несколько сотен ядер 80 будут улучшены выше частоты 800 МГц, что улучшит общие вычислительные характеристики.

Согласно другому конкретному варианту осуществления настоящего изобретения модуль 60 модуляции частоты дополнительно содержит третий подмодуль 63 модуляции частоты и/или четвертый подмодуль 64 модуляции частоты.

Если количество ядер 80, работавших по меньшей мере на одной высокой рабочей частоте, является максимальным, и это может приводить к тому, что ядра 80 не достигают максимальных вычислительных характеристик (которые могут быть выше), третий подмодуль 63 модуляции частоты изменяет по меньшей мере одну рабочую частоту по меньшей мере на одну оптимизированную высокую рабочую частоту,

и частота на оптимизированной высокой рабочей частоте выше частоты на максимальной рабочей частоте. Измененная рабочая частота может быть низкой рабочей частотой, средней рабочей частотой и/или высокой рабочей частотой.

Например, установлены шесть рабочих частот: 500, 550, 600, 650, 700 и 750 МГц, и максимальное количество ядер 80 работают на двух высоких рабочих частотах (700 и 750 МГц), вследствие чего две низкие рабочие частоты (500 и 550 МГц) изменяются на две оптимизированные высокие рабочие частоты (800 и 850 МГц), или одна низкая рабочая частота (500 МГц) и одна средняя рабочая частота (600 МГц) изменяются на две оптимизированные высокие рабочие частоты (800 и 850 МГц).

Предпочтительно, если количество ядер 80, работавших на максимальной рабочей частоте, является максимальным, и это может приводить к тому, что ядра 80 не достигают максимальных вычислительных характеристик (которые могут быть выше), третий подмодуль 63 модуляции частоты изменяет одну рабочую частоту на одну оптимизированную высокую рабочую частоту, и частота на оптимизированной высокой рабочей частоте выше частоты на максимальной рабочей частоте. Измененная рабочая частота может быть низкой рабочей частотой, средней рабочей частотой и/или высокой рабочей частотой.

Например, когда максимальное количество ядер 80 работают на максимальной рабочей частоте (750 МГц), одна низкая рабочая частота (500 МГц) изменяется на оптимизированную высокую рабочую частоту (800 МГц), или одна средняя рабочая частота (600 МГц) изменяется на оптимизированную высокую рабочую частоту (800 МГц) или максимальная рабочая частота (750 МГц) изменяется на оптимизированную высокую рабочую частоту (800 МГц).

Если количество ядер 80, работавших по меньшей мере на одной низкой рабочей частоте, является максимальным, и это означает, что вычислительные возможности ядер 80 слишком низки, и их недостаточно для работы на низкой рабочей частоте, четвертый подмодуль 64 модуляции частоты изменяет по меньшей мере одну рабочую частоту по меньшей мере на одну оптимизированную низкую рабочую частоту, и частота на оптимизированной низкой рабочей частоте ниже частоты на минимальной рабочей частоте, что позволяет предотвратить влияние ядер 80 с неудовлетворительными вычислительными возможностями на общие вычислительные характеристики рабочей микросхемы. Измененная рабочая частота может быть низкой рабочей частотой, средней рабочей частотой и/или высокой рабочей частотой.

Например, установлены шесть рабочих частот: 500, 550, 600, 650, 700 и 750 МГц, и максимальное количество ядер 80 работают на двух низких рабочих частотах (500 и 550 МГц), вследствие чего две низкие рабочие частоты (500 и 550 МГц) изменяются на две оптимизированные низкие рабочие частоты (400 и 450 МГц) или одна низкая рабочая частота (500 МГц) и одна средняя рабочая частота (600 МГц) изменяются на две оптимизированные низкие рабочие частоты (400 и 450 МГц).

Предпочтительно, если количество ядер 80, работавших на минимальной рабочей частоте, является максимальным, и это означает, что вычислительные возможности ядер 80 слишком низки, и их недостаточно для работы на минимальной рабочей частоте, четвертый подмодуль 64 модуляции частоты изменяет одну рабочую частоту на одну оптимизированную низкую рабочую частоту, и частота на оптимизированной низкой рабочей частоте ниже частоты на минимальной рабочей частоте. Измененная рабочая частота может быть низкой рабочей частотой, средней рабочей частотой и/или высокой рабочей частотой.

Например, когда максимальное количество ядер 80 работают на минимальной рабочей частоте (500 МГц), одна низкая рабочая частота (500 МГц) изменяется на оптимизированную низкую рабочую частоту (450 МГц), или одна средняя рабочая частота (600 МГц) изменяется на оптимизированную низкую рабочую частоту (450 МГц) или максимальная рабочая частота (750 МГц) изменяется на оптимизированную низкую рабочую частоту (450 МГц).

Согласно одному конкретному прикладному варианту осуществления настоящего изобретения используется шесть схем 70 фазовой автоподстройки частоты и установлены шесть рабочих частот 500, 550, 600, 650, 700 и 750 МГц.

Количество ядер, распределенных по соответствующим частотам, подсчитывается четырьмя хеш-платами следующим образом:

хеш-плата 0: [294 26 96 224 1023 1665],

хеш-плата 1: [274 47 111 212 963 1721],

хеш-плата 2: [350 25 153 369 1381 1050],

хеш-плата 3: [488 33 184 367 1342 950].

Если присутствует четыре хеш-платы 0-3, например, как показано на фиг. 7, данные, по существу, соответствуют нормальному распределению, и минимальная рабочая частота (500 МГц) представляет собой минимальную частоту, на которой работает одно ядро 80, и она не может быть подвергнута модулированию в сторону уменьшения (если отношение отклонений слишком высоко, можно рассмотреть закрытие минимальной частоты). Если количество ядер 80, находящихся на максимальной рабочей частоте (750 МГц), является максимальным, это означает, что максимальная эффективность не достигнута (может быть выше), и вся рабочая микросхема может быть улучшена. Относительно идеальное состояние заключается в том, чтобы больше заданного отношения (например, 50%) или максимального количества ядер 80 находились в одной или нескольких средних рабочих частотах, например, третьей рабочей частоте (600 МГц). Чтобы полностью использовать вычислительные характеристики ядер 80, следует

рассмотреть удлинённый хвост распределения на стороне высоких характеристик, а не удлинённый хвост распределения на низкой частоте.

Если присутствуют хеш-платы 0-1, например, можно увидеть, что, если частота 600 МГц удалена, то сто ядер 80 находятся на частоте 550 МГц, и текущая частота очевидно находится в левой низкочастотной области. Таким образом, более подходящим является в целом сдвиг вправо, т.е. полный сдвиг. Если частота 550 МГц установлена со сдвигом в целом вправо, выше частоты 800 МГц посредством схем 70 фазовой автоподстройки частоты, показанных на фиг. 2, ожидается, что несколько сотен ядер 80 будут улучшены выше частоты 800 МГц, что улучшит общие характеристики.

Согласно еще одному конкретному варианту осуществления настоящего изобретения модуль 60 модуляции частоты дополнительно содержит первый модуль 65 прекращения модуляции или второй модуль 66 прекращения модуляции.

Если ядра 80, превышающие заданное четвертое отношение, работают по меньшей мере на одной средней рабочей частоте, первый модуль 65 прекращения модуляции прекращает модуляцию частоты на рабочей частоте, поскольку относительно идеальное состояние заключается в том, чтобы больше заданного четвертого отношения (например, 50%) ядер 80 находились в одной или нескольких средних рабочих частотах, например третьей рабочей частоте (600 МГц), которая может полностью обеспечивать рабочие характеристики ядер 80, вследствие чего модуляция частоты ядер 80 не нужна.

Если количество ядер 80, работавших по меньшей мере на одной средней рабочей частоте, является максимальным, второй модуль 66 прекращения модуляции прекращает модуляцию частоты на рабочей частоте, поскольку относительно идеальное состояние заключается в том, чтобы максимальное количество ядер 80 находились в одной или нескольких средних рабочих частотах, например третьей рабочей частоте (600 МГц), которая может полностью обеспечивать рабочие характеристики ядер 80, вследствие чего модуляция частоты ядер 80 не нужна.

В настоящем изобретении дополнительно предлагается хеш-плата, содержащая приспособление 100 для модуляции частоты микросхемы.

В настоящем изобретении дополнительно предлагается вычислительное устройство, содержащее приспособление 100 для модуляции частоты микросхемы.

На фиг. 8 показана блок-схема способа модуляции частоты микросхемы вычислительного устройства согласно настоящему изобретению, который может быть реализован посредством приспособления 100 для модуляции частоты микросхемы вычислительного устройства. Вычислительное устройство содержит по меньшей мере одну рабочую микросхему, и рабочая микросхема содержит множество ядер. Вычислительное устройство предпочтительно предназначено для работы с массивами данных, например для майнинга виртуальной цифровой валюты. Следует отметить, что способ модуляции частоты микросхемы согласно настоящему изобретению фактически относится к двум уровням механизма модуляции частоты, т.е. механизму модуляции частоты на уровне рабочей микросхемы и механизму модуляции частоты на уровне ядер. Механизм модуляции частоты на уровне рабочей микросхемы относится к установке множества подходящих рабочих частот для каждой рабочей микросхемы и обеспечению работы соответствующих ядер 80 рабочей микросхемы на соответствующих рабочих частотах, тем самым полностью достигая рабочих характеристик каждого ядра 80. Механизм модуляции частоты на уровне ядер относится к модуляции ядра 80 в соответствии с подходящими рабочими частотами согласно фактическим вычислительным характеристикам ядра 80, модуляции частоты ядра 80 с высокими вычислительными характеристиками в сторону увеличения и модуляции частоты ядра 80 с низкими вычислительными характеристиками в сторону уменьшения, тем самым достигая вычислительных характеристик каждого ядра 80. Способ предусматривает следующие стадии: стадию S801, установку множества рабочих частот для рабочей микросхемы вычислительного устройства и обеспечение работы множества ядер 80 в рабочей микросхеме на соответствующих рабочих частотах.

На этой стадии устанавливают множество рабочих частот для каждой рабочей микросхемы и обеспечивают работу соответствующих ядер 80 в рабочей микросхеме на соответствующих рабочих частотах согласно механизму модуляции частоты рабочей микросхемы. Например, установлено шесть рабочих частот: 500, 550, 600, 650, 700 и 750 МГц. Количество рабочих частот и интервал между частотами согласно настоящему изобретению могут быть установлены в соответствии с фактическими требованиями, причем чем больше рабочих частот, тем с большей вероятностью будут полностью достигнуты вычислительные характеристики соответствующих ядер 80. Когда переключатель модуляции частоты включен (без модуляции частот ядер 80), ядра 80 могут быть равномерно распределены, неравномерно распределены или случайным образом распределены для работы на рабочих частотах в зависимости от заданного правила. Предпочтительно на этой стадии можно установить множество рабочих частот для рабочей микросхемы посредством множества схем 70 фазовой автоподстройки частоты, показанных на фиг. 2. Конечно, способ также может устанавливать множество рабочих частот для рабочей микросхемы посредством другого аппаратного или программного обеспечения.

Стадию S802, анализ индикатора вычислительных характеристик каждого ядра 80 на его текущей рабочей частоте.

Индикатор вычислительных характеристик представляет фактические вычислительные характери-

стики ядра 80 на текущей рабочей частоте и включает без ограничения отношение правильности вычисления, число правильных вычислений, скорость вычисления и т.п. Если индикатор вычислительных характеристик ядра 80 высокий, это означает, что вычислительные характеристики ядра 80 могут быть улучшены, а если индикатор вычислительных характеристик ядра 80 низкий, это означает, что вычислительных характеристик ядра 80 может быть недостаточно для работы на частоте, соответствующей текущей рабочей частоте.

Стадию S803, модуляцию текущей рабочей частоты ядра 80 в сторону увеличения или уменьшения согласно индикатору вычислительных характеристик ядра 80.

Согласно механизму модуляции частоты ядер, на этой стадии модулируют ядро 80 в соответствии с подходящей рабочей частотой согласно фактическим вычислительным характеристикам ядра 80, модулируют частоту ядра 80 с высокими вычислительными характеристиками в сторону увеличения и модулируют частоту ядра 80 с низкими вычислительными характеристиками в сторону уменьшения, тем самым полностью достигая вычислительных характеристик каждого ядра 80. Предпочтительно, если отношение правильности вычисления ядра 80 в течение периода модуляции достигает первого порогового значения отношения правильности, это показывает, что ядро 80 не достигает наилучших вычислительных характеристик, вследствие чего осуществляется модуляция текущей рабочей частоты ядра 80 в сторону увеличения к более высокой рабочей частоте, и если отношение правильности вычисления ядра 80 в течение периода модуляции не достигает второго порогового значения отношения правильности, это показывает, что вычислительных характеристик ядра 80 недостаточно для работы на текущей рабочей частоте, вследствие чего осуществляется модуляция текущей рабочей частоты ядра 80 в сторону уменьшения к более низкой рабочей частоте.

Согласно настоящему изобретению оценивается рабочая частота ядра 80, модулируется соответствующая частота ядра 80, полностью достигаются преимущества вычисления ядра 80 с высокими характеристиками, предотвращается влияние ядра с низкими характеристиками на рабочие характеристики рабочей микросхемы, и максимально повышаются вычислительные характеристики соответствующих ядер 80 согласно фактическим вычислительным характеристикам соответствующих ядер 80 в рабочей микросхеме, тем самым повышая скорость вычисления и отношение правильности вычисления рабочей микросхемы и вычислительного устройства в целом. Более того, в ядре 80 рабочей микросхемы согласно настоящему изобретению не происходит изменения частот, и рабочая частота относительно стабильна.

На фиг. 9 показана блок-схема способа модуляции частоты микросхемы вычислительного устройства согласно первому варианту осуществления настоящего изобретения, который может быть реализован посредством приспособления 100 для модуляции частоты микросхемы вычислительного устройства, показанного на фиг. 2. Вычислительное устройство содержит по меньшей мере одну рабочую микросхему, и рабочая микросхема содержит множество ядер. Вычислительное устройство предпочтительно предназначено для работы с массивами данных, например для майнинга виртуальной цифровой валюты. Способ предусматривает следующие стадии: стадию S901, установку множества рабочих частот для рабочей микросхемы посредством множества схем 70 фазовой автоподстройки частоты, рабочие частоты и схемы 70 фазовой автоподстройки частоты находятся во взаимно-однозначном соответствии.

Предпочтительно схемы 70 фазовой автоподстройки частоты, показанные на фиг. 2, расположены внутри или снаружи рабочей микросхемы. Количество рабочих частот и интервал между частотами согласно настоящему изобретению могут быть установлены в соответствии с фактическими требованиями, причем чем больше рабочих частот, тем с большей вероятностью будут полностью достигнуты вычислительные характеристики соответствующих ядер 80. Например, установлено шесть рабочих частот: 500, 550, 600, 650, 700 и 750 МГц. Таким образом, согласно настоящему изобретению можно настроить больше схем 70 фазовой автоподстройки частоты для обеспечения большего количества рабочих частот, тем самым полностью достигая вычислительных характеристик соответствующих ядер 80.

Следует отметить, что разница между рабочими частотами согласно настоящему изобретению может регулироваться в пределах приемлемого диапазона, поскольку, когда ядро 80 улучшается на одну рабочую частоту, рабочая частота ядра улучшается на одну разницу между частотами, тем самым повышая определенные вычислительные характеристики из-за увеличения скорости вычисления. Тем не менее, улучшение рабочей частоты ядра может вызвать потерю определенных вычислительных характеристик из-за уменьшения отношения правильности вычисления. Таким образом, модуль 10 установки частоты должен надлежащим образом регулировать разницу между смежными рабочими частотами, чтобы, когда осуществляется модуляция ядра 80 в сторону увеличения от текущей рабочей частоты к более высокой рабочей частоте, положительный эффект от вычислительных характеристик ядра 80 был больше этой потери. Предпочтительно разница между смежными рабочими частотами составляет от 1 до 10%.

Стадию S902, анализ индикатора вычислительных характеристик каждого ядра 80 на его текущей рабочей частоте.

Индикатор вычислительных характеристик представляет фактические вычислительные характеристики ядра 80 на текущей рабочей частоте и включает без ограничения отношение правильности вычисления, число правильных вычислений, скорость вычисления и т.п. Если индикатор вычислительных характеристик ядра 80 высокий, это означает, что вычислительные характеристики ядра 80 могут быть

улучшены, а если индикатор вычислительных характеристик ядра 80 низкий, это означает, что вычислительных характеристик ядра 80 может быть недостаточно для работы на частоте, соответствующей текущей рабочей частоте.

Предпочтительно на этой стадии анализируют, достигает ли индикатор вычислительных характеристик ядра 80 заданных первого, второго и/или третьего пороговых значений индикатора в течение заданного периода модуляции, причем первое пороговое значение индикатора такое же, как второе пороговое значение индикатора, или отличается от него.

Стадию S903, модуляцию текущей рабочей частоты ядра 80 в сторону увеличения или уменьшения посредством схем 70 фазовой автоподстройки частоты, показанных на фиг. 2, согласно индикатору вычислительных характеристик ядра 80. Конечно, на этой стадии также можно модулировать текущую рабочую частоту ядра 80 в сторону увеличения или уменьшения посредством другого аппаратного или программного обеспечения.

Предпочтительно стадия дополнительно предусматривает следующее:

(1) если индикатор вычислительных характеристик ядра 80 достигает первого порогового значения индикатора, модуляцию текущей рабочей частоты ядра 80 в сторону увеличения к более высокой рабочей частоте;

(2) если индикатор вычислительных характеристик ядра 80 не достигает второго порогового значения индикатора, модуляцию текущей рабочей частоты ядра 80 в сторону уменьшения к более низкой рабочей частоте; и/или

(3) если индикатор вычислительных характеристик ядра 80 достигает третьего порогового значения индикатора, модуляцию текущей рабочей частоты ядра 80 в сторону уменьшения к более низкой рабочей частоте.

Например, рассмотрим выражение "например, установлено шесть рабочих частот 500, 550, 600, 650, 700 и 750 МГц", например текущая рабочая частота ядра 80 составляет 600 МГц, индикатор вычислительных характеристик представляет собой отношение правильности вычисления ядра 80 в течение периода модуляции, и первое пороговое значение индикатора и второе пороговое значение индикатора оба составляют 90%. Если отношение правильности вычисления ядра 80 в течение периода модуляции достигает 90%, это означает, что вычислительные характеристики ядра 80 удовлетворительные, поэтому осуществляется модуляция текущей рабочей частоты 600 МГц ядра 80 в сторону увеличения к более высокой рабочей частоте 650 МГц. Если отношение правильности вычисления ядра 80 в течение периода модуляции не достигает 90%, это означает, что вычислительные характеристики ядра 80 неудовлетворительные, поэтому осуществляется модуляция текущей рабочей частоты 600 МГц ядра 80 в сторону уменьшения к более низкой рабочей частоте 550 МГц. Специалистам в данной области техники будет очевидно, что более высокая рабочая частота не ограничена более высокой смежной рабочей частотой, одна или несколько более высоких смежных рабочих частот также могут представлять собой более высокую рабочую частоту; более низкая рабочая частота не ограничена более низкой смежной рабочей частотой, одна или несколько более низких смежных рабочих частот также могут представлять собой более низкую рабочую частоту. Предпочтительно разница между текущей рабочей частотой и более высокой рабочей частотой составляет от 1 до 10%, и разница между текущей рабочей частотой и более низкой рабочей частотой составляет от 1 до 10%, вследствие чего осуществляется модуляция ядра 80 от текущей рабочей частоты к более высокой рабочей частоте или более низкой рабочей частоте, и положительный эффект от вычислительных характеристик ядра 80 должен быть больше потери. Т.е. осуществляется модуляция текущей рабочей частоты 600 МГц ядра 80 в сторону увеличения к более высокой рабочей частоте 700 МГц, осуществляется модуляция текущей рабочей частоты 600 МГц ядра 80 в сторону уменьшения к более низкой рабочей частоте 500 МГц и т.д. В данном случае интервал между более высокой рабочей частотой и более низкой рабочей частотой не ограничен.

В другом примере индикатор вычислительных характеристик представляет собой отношение правильности вычисления ядра 80 в течение периода модуляции, первое пороговое значение индикатора составляет 90%, а второе пороговое значение индикатора составляет 80%. Если отношение правильности вычисления ядра 80 в течение периода модуляции достигает 90%, это означает, что вычислительные характеристики ядра 80 удовлетворительные, поэтому осуществляется модуляция текущей рабочей частоты 600 МГц ядра 80 в сторону увеличения к более высокой рабочей частоте 650 МГц. Если отношение правильности вычисления ядра 80 в течение периода модуляции не достигает 80%, это означает, что вычислительные характеристики ядра 80 неудовлетворительные, поэтому осуществляется модуляция текущей рабочей частоты 600 МГц ядра 80 в сторону уменьшения к более низкой рабочей частоте 550 МГц.

В еще одном примере индикатор вычислительных характеристик представляет собой количество правильных вычислений и количество неправильных вычислений ядра 80 в течение периода модуляции, причем первое пороговое значение индикатора составляет 100, а второе пороговое значение индикатора составляет 10. Если количество правильных вычислений ядра 80 в течение периода модуляции достигает 100, это означает, что вычислительные характеристики ядра 80 удовлетворительные, поэтому осуществляется модуляция текущей рабочей частоты 600 МГц ядра 80 в сторону увеличения к более высокой рабочей частоте 650 МГц. Если количество неправильных вычислений ядра 80 в течение периода модуля-

ции достигает 10, это означает, что вычислительные характеристики ядра 80 неудовлетворительные, поэтому осуществляется модуляция текущей рабочей частоты 600 МГц ядра 80 в сторону уменьшения к более низкой рабочей частоте 550 МГц.

Стадию S904, прекращение модуляции частот ядер 80, если ядра 80, работавшие на заданной по меньшей мере одной оптимизированной рабочей частоте, превышают заданное первое отношение; или прекращение модуляции частот ядер 80, если количество ядер 80, работавших по меньшей мере на одной оптимизированной рабочей частоте, является максимальным.

Например, одна или несколько оптимизированных рабочих частот могут быть выбраны и предварительно установлены из множества рабочих частот, и, если рабочие частоты большинства ядер 80 достигли оптимизированных рабочих частот, это показывает, что рабочие частоты соответствующих ядер 80 в рабочей микросхеме были в оптимизированном состоянии, тем самым полностью достигая вычислительных характеристик соответствующих ядер 80 без дополнительной модуляции частоты, поэтому прекращается модуляция рабочих частот ядер 80. Например, установлены шесть рабочих частот: 500, 550, 600, 650, 700 и 750 МГц, две оптимизированные рабочие частоты 600 и 650 МГц выбраны в качестве оптимизированных рабочих частот, и, если более 50% ядер 80 работают на рабочих частотах 600 и 650 МГц, модуляция частот ядер 80 прекращается.

На фиг. 10 показана блок-схема способа модуляции частоты микросхемы вычислительного устройства согласно второму варианту осуществления настоящего изобретения, который может быть реализован посредством приспособления 100 для модуляции частоты микросхемы вычислительного устройства, показанного на фиг. 3. Вычислительное устройство содержит по меньшей мере одну рабочую микросхему, и рабочая микросхема содержит множество ядер. Вычислительное устройство предпочтительно предназначено для работы с массивами данных, например для майнинга виртуальной цифровой валюты. Способ предусматривает следующие стадии: стадию S1001, установку множества рабочих частот для рабочей микросхемы вычислительного устройства и обеспечение работы множества ядер 80 в рабочей микросхеме на соответствующих рабочих частотах.

На этой стадии устанавливают множество рабочих частот для каждой рабочей микросхемы и обеспечивают работу множества ядер 80 в рабочей микросхеме на соответствующих рабочих частотах согласно механизму модуляции частоты на уровне рабочей микросхемы. Например, установлено шесть рабочих частот: 500, 550, 600, 650, 700 и 750 МГц. Количество рабочих частот и интервал между частотами согласно настоящему изобретению могут быть установлены в соответствии с фактическими требованиями, причем чем больше рабочих частот, тем с большей вероятностью будут полностью достигнуты вычислительные характеристики соответствующих ядер 80. Когда переключатель модуляции частоты включен (без модуляции частот ядер 80), ядра 80 могут быть равномерно распределены, неравномерно распределены или случайным образом распределены для работы на рабочих частотах в зависимости от заданного правила.

Предпочтительно на этой стадии устанавливают множество рабочих частот для рабочей микросхемы посредством множества схем 70 фазовой автоподстройки частоты, показанных на фиг. 2, и обеспечивают работу множества ядер 80 в рабочей микросхеме на соответствующих рабочих частотах, рабочие частоты и схемы 70 фазовой автоподстройки частоты находятся во взаимно-однозначном соответствии. Согласно настоящему изобретению можно настроить больше схем 70 фазовой автоподстройки частоты для обеспечения большего количества рабочих частот, вследствие чего полностью достигаются вычислительные характеристики соответствующих ядер 80. Конечно, способ также может устанавливать множество рабочих частот для рабочей микросхемы посредством другого аппаратного или программного обеспечения.

Следует отметить, что разница между рабочими частотами согласно настоящему изобретению может регулироваться в пределах приемлемого диапазона, поскольку, когда ядро 80 улучшается на одну рабочую частоту, рабочая частота ядра улучшается на одну разницу между частотами, тем самым повышая определенные вычислительные характеристики из-за увеличения скорости вычисления. Тем не менее, улучшение рабочей частоты ядра может вызвать потерю определенных вычислительных характеристик из-за уменьшения отношения правильности вычисления. Таким образом, разница между смежными рабочими частотами может быть надлежащим образом отрегулирована, чтобы, когда осуществляется модуляция ядра 80 в сторону увеличения от текущей рабочей частоты к более высокой рабочей частоте, положительный эффект от вычислительных характеристик ядра 80 был больше этой потери. Предпочтительно разница между смежными рабочими частотами составляет от 1 до 10%.

Стадию S1002, анализ того, достигает ли отношение правильности вычисления ядра 80 заданных первого и/или второго пороговых значений отношения правильности в течение заданного периода модуляции. Первое пороговое значение правильного отношения такое же, как второе пороговое значение правильного отношения, или отличается от него. Если отношение правильности вычисления ядра 80 достигает заданного первого порогового значения отношения правильности, это означает, что вычислительные характеристики ядра 80 могут быть улучшены. Если отношение правильности вычисления ядра 80 не достигает заданного второго порогового значения отношения правильности, это означает, что вычислительных характеристик ядра 80 может быть недостаточно для работы на частоте, соответствующей те-

кущей рабочей частоте.

Предпочтительно стадия S1002 дополнительно предусматривает следующее:

(1) анализ в режиме реального времени того, достигает ли отношение правильности вычисления ядра 80 в течение периода модуляции первого порогового значения отношения правильности и/или второго порогового значения отношения правильности, согласно предварительно установленной инструкции модуляции в режиме реального времени;

(2) анализ того, достигает ли отношение правильности вычисления ядра 80 в течение периода модуляции первого порогового значения отношения правильности и/или второго порогового значения отношения правильности, согласно предварительно установленной инструкции о заблаговременной модуляции в течение периода времени модуляции, установленного посредством инструкции о заблаговременной модуляции; или

(3) анализ того, достигает ли отношение правильности вычисления ядра 80 в течение периода модуляции первого порогового значения отношения правильности и/или второго порогового значения отношения правильности, согласно принятой инструкцией о незамедлительной модуляции.

Стадию S1003, модуляцию текущей рабочей частоты ядра 80 в сторону увеличения к более высокой рабочей частоте, если отношение правильности вычисления ядра 80 достигает первого порогового значения отношения правильности, и очевидно, что ядро 80 не достигает наилучших вычислительных характеристик.

Предпочтительно стадия дополнительно предусматривает следующее:

(1) если отношение правильности вычисления ядра 80 в течение периода модуляции достигает первого порогового значения отношения правильности, модуляцию в режиме реального времени текущей рабочей частоты ядра 80 в сторону увеличения к более высокой рабочей частоте;

(2) если отношение правильности вычисления ядра 80 в течение периода модуляции достигает первого порогового значения отношения правильности в период времени модуляции, модуляцию текущей рабочей частоты ядра 80 в сторону увеличения к более высокой рабочей частоте; или

(3) согласно принятой инструкции о незамедлительной модуляции, если отношение правильности вычисления ядра 80 в течение периода модуляции достигает первого порогового значения отношения правильности, модуляцию текущей рабочей частоты ядра 80 в сторону увеличения к более высокой рабочей частоте; согласно принятой инструкции о прекращении модуляции прекращение модуляции текущей рабочей частоты ядра 80.

Например, пользователи могут заблаговременно отправлять инструкцию о незамедлительной модуляции на вычислительное устройство согласно требованиям, и вычислительное устройство незамедлительно начинает выполнять анализ отношения правильности вычисления ядра 80 согласно инструкции о незамедлительной модуляции. Если отношение правильности вычисления ядра 80 превышает первое пороговое значение отношения правильности (например, более 99%) в течение периода модуляции (например, 10 мин), рабочая частота ядра 80 модулируется в сторону увеличения, а если отношение правильности вычисления ядра 80 меньше второго порогового значения отношения правильности (например, ниже 99%) в течение периода модуляции (например, 10 мин), рабочая частота ядра 80 модулируется в сторону уменьшения. Кроме того, пользователи могут заблаговременно отправлять инструкцию о прекращении модуляции на вычислительное устройство согласно требованиям, и после приема инструкции о прекращении модуляции вычислительное устройство незамедлительно прекращает модуляцию частоты ядра 80.

Стадию S1004, если отношение правильности вычисления ядра 80 не достигает второго порогового значения отношения правильности, и очевидно, что вычислительных характеристик ядра 80 недостаточно для работы на текущей рабочей частоте, модуляцию текущей рабочей частоты ядра 80 в сторону уменьшения к более низкой рабочей частоте.

Предпочтительно стадия дополнительно предусматривает следующее:

(1) если отношение правильности вычисления ядра 80 в течение периода модуляции не достигает второго порогового значения отношения правильности, модуляцию в режиме реального времени текущей рабочей частоты ядра 80 в сторону уменьшения к более низкой рабочей частоте;

(2) если отношение правильности вычисления ядра 80 в течение периода модуляции не достигает второго порогового значения отношения правильности в период времени модуляции, модуляцию текущей рабочей частоты ядра 80 в сторону уменьшения к более низкой рабочей частоте; или

(3) если отношение правильности вычисления ядра 80 в течение периода модуляции не достигает второго порогового значения отношения правильности, модуляцию текущей рабочей частоты ядра 80 в сторону уменьшения к более низкой рабочей частоте; согласно принятой инструкции о прекращении модуляции прекращение модуляции текущая рабочая частота ядра 80.

Согласно настоящему изобретению можно модулировать частоту ядра 80 посредством схем 70 фазовой автоподстройки частоты, показанных на фиг. 2, или программного обеспечения. Т.е. согласно механизму модуляции частоты на уровне ядер, происходит модуляция ядра 80 в соответствии с подходящей рабочей частотой согласно фактическим вычислительным характеристикам ядра 80, причем частота ядра 80 с высокими вычислительными характеристиками модулируется в сторону увеличения, а частота

ядра 80 с низкими вычислительными характеристиками модулируется в сторону уменьшения, тем самым полностью достигая вычислительных характеристик каждого ядра 80.

Например, первое пороговое значение правильного отношения и второе пороговое значение правильного отношения оба составляют 90%. Когда ядро 80 работает на частоте 600 МГц, если отношение правильности вычисления ядра 80 в течение заданного периода модуляции превышает 90% (это показывает, что ядро 80 не достигает наилучших вычислительных характеристик), осуществляется модуляция текущей рабочей частоты 600 МГц ядра 80 в сторону увеличения к более высокой рабочей частоте, т.е. рабочая частота увеличивается до 650 МГц. Если отношение правильности вычисления ядра 80 меньше 90% (это показывает, что вычислительных характеристик ядра 80 недостаточно для работы на частоте текущей рабочей частоты 600 МГц), осуществляется модуляция текущей рабочей частоты ядра 80 в сторону уменьшения к более низкой рабочей частоте, т.е. рабочая частота уменьшается до 550 МГц. Специалистам в данной области техники будет очевидно, что более высокая рабочая частота не ограничена более высокой смежной рабочей частотой, одна или несколько более высоких смежных рабочих частот также могут представлять собой более высокую рабочую частоту; более низкая рабочая частота не ограничена более низкой смежной рабочей частотой, одна или несколько более низких смежных рабочих частот также могут представлять собой более низкую рабочую частоту. Предпочтительно разница между текущей рабочей частотой и более высокой рабочей частотой составляет от 1 до 10%, и разница между текущей рабочей частотой и более низкой рабочей частотой составляет от 1 до 10%, вследствие чего осуществляется модуляция ядра 80 от текущей рабочей частоты к более высокой рабочей частоте или более низкой рабочей частоте, и положительный эффект от вычислительных характеристик ядра 80 должен быть больше потери. Т.е. осуществляется модуляция текущей рабочей частоты 600 МГц ядра 80 в сторону увеличения к более высокой рабочей частоте 700 МГц, осуществляется модуляция текущей рабочей частоты 600 МГц ядра 80 в сторону уменьшения к более низкой рабочей частоте 500 МГц и т.д. В данном случае интервал между более высокой рабочей частотой и более низкой рабочей частотой не ограничен.

В другом примере первое пороговое значение правильного отношения составляет 90% и второе пороговое значение правильного отношения составляет 80%. Если ядро 80 работает на частоте 600 МГц, если отношение правильности вычисления ядра 80 в течение заданного периода модуляции превышает 90% (это показывает, что ядро 80 не достигает наилучших вычислительных характеристик), осуществляется модуляция текущей рабочей частоты ядра 80 в сторону увеличения к более высокой рабочей частоте, т.е. рабочая частота увеличивается до 650 МГц. Если отношение правильности вычисления ядра 80 меньше 80% (это показывает, что вычислительных характеристик ядра 80 недостаточно для работы на частоте текущей рабочей частоты 600 МГц), осуществляется модуляция текущей рабочей частоты ядра 80 в сторону уменьшения к более низкой рабочей частоте, т.е. рабочая частота уменьшается до 550 МГц.

На фиг. 11 показана блок-схема предпочтительного способа модуляции частоты микросхемы вычислительного устройства согласно второму варианту осуществления настоящего изобретения, который может быть реализован посредством приспособления 100 для модуляции частоты микросхемы вычислительного устройства, показанного на фиг. 3. Вычислительное устройство содержит по меньшей мере одну рабочую микросхему, и рабочая микросхема содержит множество ядер. Вычислительное устройство предпочтительно предназначено для работы с массивами данных, например для майнинга виртуальной цифровой валюты. Предпочтительно отношение правильности вычисления может представлять собой отношение правильности вычисления одноразовых чисел, предоставляемых ядром 80 в течение периода модуляции. Т.е. в течение заданного времени во всех одноразовых числах, предоставленных ядром 80, отношение правильности вычисления представляет собой отношение, занятое правильными одноразовыми числами. Заголовок блока в блокчейне содержит одноразовое число (четыре бита), одноразовое число представляет собой случайное значение, и майнерам фактически нужно угадать значение одноразового числа, вследствие чего хеш заголовка блока может быть меньше целевого значения и может быть записан в блокчейн. В частности, этот атрибут начинается с 0 до 2^{32} для вычисления хеша заголовка блока, и, если полученный результат хеша соответствует условиям, майнинг считается успешным. Способ предусматривает следующие стадии: стадию S1101, установку множества рабочих частот для рабочей микросхемы вычислительного устройства и обеспечение работы множества ядер 80 в рабочей микросхеме на соответствующих рабочих частотах.

Стадию S1102, анализ того, являются ли одноразовые числа, предоставленные ядром 80, правильными в течение периода модуляции.

Предпочтительно стадия предусматривает следующее:

(1) вычисление с помощью ядра 80 первого результата на основании одноразового числа посредством заданного алгоритма каждый раз, когда ядро 80 предоставляет одно одноразовое число в течение периода модуляции, первый результат содержит первый параметр. Одноразовое число, предоставленное каждым ядром 80, содержит идентификационную информацию (ID) одноразового числа, с использованием которой осуществляется подсчет результата вычисления каждого ядра 80.

(2) вычисление с помощью блока проверки рабочей микросхемы второго результата на основании одноразового числа посредством того же алгоритма, второй результат содержит второй параметр.

(3) если первый параметр такой же, как и второй параметр, определение посредством блока проверки того, что одноразовое число представляет собой правильное одноразовое число или одноразовое чис-

ло представляет собой одноразовое число.

Например, после того как ядро 80 вычисляет и предоставляет одно одноразовое число, одноразовое число встраивается в заголовок блока для вычисления первого результата хеша, и значение первых двадцати битов первого результата хеша равно 0 (первый параметр). Первый блок 212 проверки также встраивает одноразовое число в заголовок блока для вычисления второго результата хеша, и, если значение первых двадцати битов второго результата хеша также равно 0 (второй параметр), считается, что одноразовое число предоставлено правильно.

Стадию S1103, подсчет количества правильных одноразовых чисел и количества неправильных одноразовых чисел, предоставленных ядром 80 в течение периода модуляции.

Стадию S1104, вычисление отношения правильности вычисления одноразовых чисел ядра 80 в течение периода модуляции согласно количеству правильных одноразовых чисел и количеству неправильных одноразовых чисел.

Стадию S1105, определение того, достигает ли отношение правильности вычисления одноразовых чисел заданных первого и/или второго пороговых значений отношения правильности, если отношение правильности вычисления одноразовых чисел ядра 80 достигает первого порогового значения отношения правильности, исполнение стадии S1106, и, если отношение правильности вычисления одноразовых чисел ядра 80 не достигает второго порогового значения отношения правильности, исполнение стадии S1107.

Стадию S1106, если отношение правильности вычисления одноразовых чисел ядра 80 достигает первого порогового значения отношения правильности, модуляцию текущей рабочей частоты ядра 80 в сторону увеличения к более высокой рабочей частоте.

Стадию S1107, если отношение правильности вычисления одноразовых чисел ядра 80 не достигает второго порогового значения отношения правильности, модуляцию текущей рабочей частоты ядра 80 в сторону уменьшения к более низкой рабочей частоте.

На фиг. 12 показана блок-схема способа модуляции частоты микросхемы вычислительного устройства согласно третьему варианту осуществления настоящего изобретения, который может быть реализован посредством приспособления 100 для модуляции частоты микросхемы вычислительного устройства, показанного на фиг. 4. Вычислительное устройство содержит по меньшей мере одну рабочую микросхему, и рабочая микросхема содержит множество ядер. Вычислительное устройство предпочтительно предназначено для работы с массивами данных, например для майнинга виртуальной цифровой валюты. Способ предусматривает следующие стадии: стадию S1201, установку множества рабочих частот для рабочей микросхемы вычислительного устройства и обеспечение работы множества ядер 80 в рабочей микросхеме на соответствующих рабочих частотах.

На этой стадии устанавливают множество рабочих частот для каждой рабочей микросхемы и обеспечивают работу множества ядер 80 в рабочей микросхеме на соответствующих рабочих частотах согласно механизму модуляции частоты на уровне рабочей микросхемы. Например, установлено шесть рабочих частот: 500, 550, 600, 650, 700 и 750 МГц. Количество рабочих частот и интервал между частотами согласно настоящему изобретению могут быть установлены в соответствии с фактическими требованиями, причем чем больше рабочих частот, тем с большей вероятностью будут полностью достигнуты вычислительные характеристики соответствующих ядер 80. Когда переключатель модуляции частоты включен (без модуляции частот ядер 80), ядра 80 могут быть равномерно распределены, неравномерно распределены или случайным образом распределены для работы на рабочих частотах в зависимости от заданного правила. Предпочтительно множество рабочих частот могут быть установлены для рабочей микросхемы посредством множества схем 70 фазовой автоподстройки частоты, показанных на фиг. 2. Конечно, множество рабочих частот также могут быть установлены для рабочей микросхемы посредством другого аппаратного или программного обеспечения.

Следует отметить, что разница между рабочими частотами согласно настоящему изобретению может регулироваться в пределах приемлемого диапазона, поскольку, когда ядро 80 улучшается на одну рабочую частоту, рабочая частота ядра улучшается на одну разницу между частотами, тем самым повышая определенные вычислительные характеристики из-за увеличения скорости вычисления. Тем не менее, улучшение рабочей частоты ядра может вызвать потерю определенных вычислительных характеристик из-за уменьшения отношения правильности вычисления. Таким образом, модуль 10 установки частоты должен надлежащим образом регулировать разницу между смежными рабочими частотами, чтобы, когда осуществляется модуляция ядра 80 в сторону увеличения от текущей рабочей частоты к более высокой рабочей частоте, положительный эффект от вычислительных характеристик ядра 80 был больше этой потери. Предпочтительно разница между смежными рабочими частотами составляет от 1 до 10%.

Стадию S1202, предварительную установку эталонного значения узла, весового значения правильного вычисления, весового значения неправильного вычисления, порогового значения правильного вычисления и порогового значения неправильного вычисления ядра 80.

Предпочтительно весовое значение правильного вычисления может быть таким же, как весовое значение неправильного вычисления, или отличаться от него, и пороговое значение правильного вычисления может быть таким же, как пороговое значение неправильного вычисления, или отличаться от него.

Эталонное значение узла, весовое значение правильного вычисления, весовое значение неправильного вычисления, пороговое значение правильного вычисления и пороговое значение неправильного вычисления все являются регулируемыми параметрами, и могут быть оптимизированы согласно фактическим требованиям, таким как скорость модуляции частоты.

Предпочтительно эталонное значение узла, весовое значение правильного вычисления, весовое значение неправильного вычисления, пороговое значение правильного вычисления и/или пороговое значение неправильного вычисления ядра 80 устанавливаются и корректируются согласно фактическим требованиям, весовое значение правильного вычисления такое же, как весовое значение неправильного вычисления, или отличается от него, и пороговое значение правильного вычисления такое же, как пороговое значение неправильного вычисления, или отличается от него.

Ожидаемое приемлемое отношение постоянных отклонений ядра 80 регулируется за счет регулировки отношения весового значения правильного вычисления к весовому значению неправильного вычисления. Формула вычисления отношения постоянных отклонений следующая: отношение постоянных отклонений S равняется весовому значению правильного вычисления, деленному на сумму весового значения правильного вычисления и весового значения неправильного вычисления.

Период модуляции регулируется за счет регулировки абсолютной величины весового значения правильного вычисления и весового значения неправильного вычисления.

Период модуляции регулируется за счет регулировки абсолютной величины порогового значения правильного вычисления и порогового значения неправильного вычисления.

Стадию S1203, анализ того, является каждое вычисление ядра 80 правильным.

Ядро 80 может выполнять различные вычисления для анализа правильности одного или нескольких вычислений ядра 80 каждый раз. Предпочтительно анализируется, являются ли правильными одноразовые числа, вычисленные ядром 80.

Стадию S1204, добавление одного весового значения правильного вычисления к эталонному значению узла каждый раз, когда ядро 80 выполняет по меньшей мере одно правильное вычисление, и вычитание одного весового значения неправильного вычисления из эталонного значения узла каждый раз, когда ядро 80 выполняет по меньшей мере одно неправильное вычисление. Предпочтительно одно весовое значение правильного вычисления добавляется к эталонному значению узла каждый раз, когда ядро 80 выполняет одно правильное вычисление. Конечно, можно установить, чтобы одно весовое значение правильного вычисления добавлялось к эталонному значению узла каждый раз, когда ядро 80 выполняет N правильных вычислений (N - натуральное число больше 1). Одно весовое значение неправильного вычисления вычитается из эталонного значения узла каждый раз, когда ядро 80 выполняет одно неправильное вычисление. Конечно, можно установить, чтобы одно весовое значение неправильного вычисления вычиталось из эталонного значения узла каждый раз, когда ядро 80 выполняет N неправильных вычислений (N - натуральное число больше 1).

Стадию S1205, определение того, достигает ли текущее эталонное значение узла ядра 80 порогового значения правильного вычисления или порогового значения неправильного вычисления, причем, если текущее эталонное значение узла ядра 80 достигает порогового значения правильного вычисления, исполнение стадии S1206, и, если текущее эталонное значение узла ядра 80 достигает порогового значения неправильного вычисления, исполнение стадии S1207.

Предпочтительно стадия предусматривает следующее:

(1) определение в режиме реального времени того, достигает ли текущее эталонное значение узла ядра 80 порогового значения правильного вычисления или порогового значения неправильного вычисления, согласно предварительно установленной инструкции модуляции в режиме реального времени; или

(2) определение того, достигает ли текущее эталонное значение узла ядра 80 порогового значения правильного вычисления или порогового значения неправильного вычисления, согласно предварительно установленной инструкции о заблаговременной модуляции в течение периода времени модуляции, установленного посредством инструкции о заблаговременной модуляции; или

(3) анализ того, достигает ли текущее эталонное значение узла ядра 80 порогового значения правильного вычисления или порогового значения неправильного вычисления, согласно принятой инструкции о незамедлительной модуляции.

Стадию S1206, модуляцию текущей рабочей частоты ядра 80 в сторону увеличения к более высокой рабочей частоте, если текущее эталонное значение узла ядра 80 достигает порогового значения правильного вычисления, и очевидно, что ядро 80 не достигает наилучших вычислительных характеристик.

Предпочтительно стадия предусматривает следующее:

(1) если текущее эталонное значение узла ядра 80 достигает порогового значения правильного вычисления, модуляцию в режиме реального времени текущей рабочей частоты ядра 80 в сторону увеличения к более высокой рабочей частоте; или

(2) если текущее эталонное значение узла ядра 80 достигает порогового значения правильного вычисления в период времени модуляции, модуляцию текущей рабочей частоты ядра 80 в сторону увеличения к более высокой рабочей частоте; или

(3) согласно принятой инструкции о незамедлительной модуляции, если текущее эталонное значение

ние узла ядра 80 достигает порогового значения правильного вычисления, модуляцию текущей рабочей частоты ядра 80 в сторону увеличения к более высокой рабочей частоте; согласно принятой инструкции о прекращении модуляции прекращение модуляции текущей рабочей частоты ядра 80.

Стадию S1207, если текущее эталонное значение узла ядра 80 достигает порогового значения неправильного вычисления, и очевидно, что вычислительных характеристик ядра 80 недостаточно для работы на текущей рабочей частоте, модуляцию текущей рабочей частоты ядра 80 в сторону уменьшения к более низкой рабочей частоте.

Предпочтительно стадия предусматривает следующее:

(1) если текущее эталонное значение узла ядра 80 достигает порогового значения неправильного вычисления, модуляцию в режиме реального времени текущей рабочей частоты ядра 80 в сторону уменьшения к более низкой рабочей частоте; или

(2) если текущее эталонное значение узла ядра 80 достигает порогового значения неправильного вычисления в период времени модуляции, модуляцию текущей рабочей частоты ядра 80 в сторону уменьшения к более низкой рабочей частоте; или

(3) если текущее эталонное значение узла ядра 80 достигает порогового значения неправильного вычисления, модуляцию текущей рабочей частоты ядра 80 в сторону уменьшения к более низкой рабочей частоте; согласно принятой инструкции о прекращении модуляции прекращение модуляции текущей рабочей частоты ядра 80.

Например, пользователи могут заблаговременно отправить инструкцию о незамедлительной модуляции на вычислительное устройство согласно требованиям, и пользователи добавляют весовое значение А к эталонному узлу каждый раз, когда ядро 80 правильно вычисляет одно одноразовое число, и вычитают весовое значение В из эталонного узла каждый раз, когда ядро 80 неправильно вычисляет одно одноразовое число. Когда текущее добавленное значение достигает порогового значения числа правильных вычислений С, ядро 80 осуществляет повышение к более высокой частоте. Когда текущее вычитенное значение достигает порогового значения числа неправильных вычислений D, ядро 80 осуществляет понижение к более низкой частоте. Кроме того, пользователи могут заблаговременно отправлять инструкцию о прекращении модуляции на вычислительное устройство согласно требованиям, и после приема инструкции о прекращении модуляции вычислительное устройство незамедлительно прекращает модуляцию частоты ядра 80.

Специалистам в данной области техники будет очевидно, что более высокая рабочая частота не ограничена более высокой смежной рабочей частотой, одна или несколько более высоких смежных рабочих частот также могут представлять собой более высокую рабочую частоту; более низкая рабочая частота не ограничена более низкой смежной рабочей частотой, одна или несколько более низких смежных рабочих частот также могут представлять собой более низкую рабочую частоту. Предпочтительно разница между текущей рабочей частотой и более высокой рабочей частотой составляет от 1 до 10%, и разница между текущей рабочей частотой и более низкой рабочей частотой составляет от 1 до 10%, вследствие чего осуществляется модуляция ядра 80 от текущей рабочей частоты к более высокой рабочей частоте или более низкой рабочей частоте, и положительный эффект от вычислительных характеристик ядра 80 должен быть больше потери. Т.е. осуществляется модуляция текущей рабочей частоты 600 МГц ядра 80 в сторону увеличения к более высокой рабочей частоте 700 МГц, осуществляется модуляция текущей рабочей частоты 600 МГц ядра 80 в сторону уменьшения к более низкой рабочей частоте 500 МГц и т.д. В данном случае интервал между более высокой рабочей частотой и более низкой рабочей частотой не ограничен.

Предпочтительно на этой стадии можно модулировать частоту ядра 80 посредством схем 70 фазовой автоподстройки частоты, показанных на фиг. 2, или программного обеспечения. Т.е. согласно механизму модуляции частоты на уровне ядер, происходит модуляция ядра 80 в соответствии с подходящей рабочей частотой согласно фактическим вычислительным характеристикам ядра 80, причем частота ядра 80 с высокими вычислительными характеристиками модулируется в сторону увеличения, а частота ядра 80 с низкими вычислительными характеристиками модулируется в сторону уменьшения, тем самым полностью достигая вычислительных характеристик каждого ядра 80.

Например, как показано на фиг. 5, эталонное значение узла установлено равным 400000, весовое значение правильного вычисления установлено равным 180, весовое значение неправильного вычисления установлено равным 9000, пороговое значение правильного вычисления и пороговое значение неправильного вычисления установлено равными 100000.

180 (весовое значение правильного вычисления) добавляется к эталонному значению узла каждый раз, когда ядро 80 выполняет по меньшей мере одно правильное вычисление, 9000 (весовое значение неправильного вычисления) вычитается из эталонного значения узла каждый раз, когда ядро 80 выполняет по меньшей мере одно неправильное вычисление, и, учитывая эталонное значение узла для эталона, осуществляется ступенчатое увеличение или уменьшение более высокой частоты или более низкой частоты каждый раз, когда добавляется или вычитается 100000 (пороговое значение правильного вычисления и пороговое значение неправильного вычисления).

Данный механизм аналогичен неправильному или правильному механизму перетягивания каната,

причем правильные и неправильные механизмы могут обладать разными весовыми значениями. Устанавливается эталонное значение узла. Одно весовое значение правильного вычисления добавляется каждый раз, когда принят один правильный результат, одно весовое значение неправильного вычисления вычитается каждый раз, когда принят один неправильный результат, и если вознаграждение или наказание превышает соответствующее пороговое значение, осуществляется модуляция частоты в сторону увеличения или уменьшения. Следует понимать, что система содержит маркер, причем эталонное значение узла является начальным значением маркера: маркер +180 означает правильное предоставление, а маркер -9000 означает каждое неправильное предоставление. После N-го (N - натуральное число, большее или равное 1) числа правильных значений и M-го (M - натуральное число, большее или равное 1) неправильных значений, маркер должен быть в положении $400000 + N \times 180 - M \times 9000$, и если маркер превышает одно пороговое значение, частота модулируется соответствующим образом (модуляция в сторону увеличения или уменьшения). Затем, каждый раз, когда частота модулируется с получением новой частоты, значение возвращается в начальное состояние, т.е. текущее эталонное значение узла сбрасывается к начальному эталонному значению узла.

На фиг. 13 показана блок-схема предпочтительного способа модуляции частоты микросхемы вычислительного устройства согласно третьему варианту осуществления настоящего изобретения, который может быть реализован посредством приспособления 100 для модуляции частоты микросхемы вычислительного устройства, показанного на фиг. 4. Вычислительное устройство содержит по меньшей мере одну рабочую микросхему, и рабочая микросхема содержит множество ядер. Вычислительное устройство предпочтительно предназначено для работы с массивами данных, например для майнинга виртуальной цифровой валюты. Способ предусматривает следующие стадии:

стадию S1301, установку множества рабочих частот для рабочей микросхемы вычислительного устройства и обеспечение работы множества ядер 80 в рабочей микросхеме на соответствующих рабочих частотах;

стадию S1302, предварительную установку эталонного значения узла, весового значения правильного вычисления, весового значения неправильного вычисления, порогового значения правильного вычисления и порогового значения неправильного вычисления ядра 80;

стадию S1303, анализ того, являются ли одноразовые числа, предоставленные ядром 80, правильными каждый раз.

Предпочтительно стадия дополнительно предусматривает следующее:

(1) вычисление с помощью ядра 80 первого результата на основании одноразового числа посредством заданного алгоритма после того, как ядро 80 предоставляет одно одноразовое число, первый результат содержит первый параметр;

(2) вычисление с помощью блока проверки рабочей микросхемы второго результата на основании одноразового числа посредством того же алгоритма, второй результат содержит второй параметр.

(3) если первый параметр такой же, как и второй параметр, определение посредством блока проверки того, что одноразовое число представляет собой правильное одноразовое число или одноразовое число представляет собой одноразовое число.

Например, после того как ядро 80 вычисляет и предоставляет одно одноразовое число, одноразовое число встраивается в заголовок блока для вычисления первого результата хеша, и значение первых двадцати битов первого результата хеша равно 0 (первый параметр). Второй блок 252 проверки также встраивает одноразовое число в заголовок блока для вычисления второго результата хеша, и, если значение первых двадцати битов второго результата хеша также равно 0 (второй параметр), считается, что одноразовое число предоставлено правильно.

Стадию S1304, добавление одного весового значения правильного вычисления к эталонному значению узла каждый раз, когда ядро 80 предоставляет по меньшей мере одно правильное одноразовое число, и вычитание одного весового значения неправильного вычисления из эталонного значения узла каждый раз, когда ядро 80 предоставляет по меньшей мере одно неправильное одноразовое число. Предпочтительно одно весовое значение правильного вычисления добавляется к эталонному значению узла каждый раз, когда ядро 80 предоставляет одно правильное одноразовое число. Конечно, также можно установить, чтобы одно весовое значение правильного вычисления добавлялось к эталонному значению узла каждый раз, когда ядро 80 предоставляет N правильных одноразовых чисел (N - натуральное число больше 1). Одно весовое значение неправильного вычисления вычитается из эталонного значения узла каждый раз, когда ядро 80 предоставляет одно неправильное одноразовое число. Конечно, также можно установить, чтобы одно весовое значение неправильного вычисления вычиталось из эталонного значения узла каждый раз, когда ядро 80 предоставляет N неправильных одноразовых чисел (N - натуральное число больше 1).

Стадию S1305, определение того, достигает ли текущее эталонное значение узла ядра 80 порогового значения правильного вычисления или порогового значения неправильного вычисления, причем, если текущее эталонное значение узла ядра 80 достигает порогового значения правильного вычисления, исполнение стадии S1306, и, если текущее эталонное значение узла ядра 80 достигает порогового значения неправильного вычисления, исполнение стадии S1307.

Стадию S1306, модуляцию текущей рабочей частоты ядра 80 в сторону увеличения к более высокой

рабочей частоте, если текущее эталонное значение узла ядра 80 достигает порогового значения правильного вычисления.

Стадию S1307, модуляцию текущей рабочей частоты ядра 80 в сторону уменьшения к более низкой рабочей частоте, если текущее эталонное значение узла ядра 80 достигает порогового значения неправильного вычисления.

Согласно одному конкретному прикладному варианту осуществления настоящего изобретения используется шесть схем 70 фазовой автоподстройки частоты и установлены шесть рабочих частот 500, 550, 600, 650, 700 и 750 МГц. Как показано на фиг. 5, эталонное значение узла установлено равным 400000, весовое значение правильного вычисления установлено равным 180, весовое значение неправильного вычисления установлено равным 9000, пороговое значение правильного вычисления и пороговое значение неправильного вычисления установлено равными 100000.

Количество ядер, распределенных по соответствующим частотам, подсчитывается четырьмя хеш-платами следующим образом:

хеш-плата 0: [294 26 96 224 1023 1665],
хеш-плата 1: [274 47 111 212 963 1721],
хеш-плата 2: [350 25 153 369 1381 1050],
хеш-плата 3: [488 33 184 367 1342 950].

В первую очередь механизм дополнительно объясняется со ссылкой на данные. Согласно формуле, в которой отношение постоянных отклонений S равняется весовому значению правильного вычисления, деленному на сумму весового значения правильного вычисления и весового значения неправильного вычисления, можно предположить, что отношение постоянных отклонений S (которое следует понимать как долгосрочное нахождение на одной частоте) ядра 80 составляет $180/(180+9000)=1,29\%$, с учетом представленных данных. Соответственно, ядро 80 работает на одной частоте в течение длительного времени (поскольку желаемый шаг представляет собой 0), и не осуществляется модуляция рабочей частоты в сторону увеличения или уменьшения. Можно предположить, что, если отношение отклонений вычисления ядра 80 больше 1,29% (отношение постоянных отклонений S), осуществляется модуляция рабочей частоты в сторону увеличения, а если отношение отклонений вычисления ядра 80 меньше 1,29% (отношение постоянных отклонений S), осуществляется модуляция рабочей частоты в сторону уменьшения.

В соответствии со сложностью установок (сложность связана с проверочным эталонным значением и влияет на отношение правильности вычисления ядра 80, причем чем больше коэффициент сложности, тем ниже отношение правильности; и наоборот, чем он меньше, тем выше коэффициент правильности) можно предположить значительный период модуляции при возникновении отклонения. Предположим, что отношение отклонений представляет собой e , желаемый шаг каждого одноразового числа вычисляется следующим образом: $(1-e) \times 180 - e \times 9000 = 180 - 9180e$. Если $e=0,5\%$, например, желаемый шаг равен 134,1, если $e=1\%$, например, желаемый шаг равен 88,2, а если $e=2\%$, например, желаемый шаг равен -3,6.

Вычисление осуществляется с использованием 650 МГц, и ожидаемое значение одного одноразового числа, предоставляемого ядром 80, представляет собой 1,3 в секунду (т.е. 1,3 одноразовых чисел предоставляется в одну секунду). Пояснения приводятся с использованием ситуации, в которой e представляет собой 0,5%, т.е. после предоставления 746 одноразовых чисел, ожидаемое значение может быть один раз подвергнуто модуляции в сторону увеличения. Когда e представляет собой 1,0%, предоставляется 1134 одноразовых числа, и ожидаемое значение может быть один раз подвергнуто модуляции в сторону увеличения; если отношение отклонений представляет собой 2,0%, предоставляется 2778 одноразовых чисел, ожидаемое число может быть один раз подвергнуто модуляции в сторону уменьшения, и т.д.

На фиг. 14 показана блок-схема способа модуляции частоты микросхемы вычислительного устройства согласно четвертому варианту осуществления настоящего изобретения, который может быть реализован посредством приспособления 100 для модуляции частоты микросхемы вычислительного устройства. Вычислительное устройство содержит по меньшей мере одну рабочую микросхему, и рабочая микросхема содержит множество ядер. Вычислительное устройство предпочтительно предназначено для работы с массивами данных, например для майнинга виртуальной цифровой валюты. Способ предусматривает следующие стадии: стадию S1401, установку множества рабочих частот для рабочей микросхемы вычислительного устройства и обеспечение работы множества ядер 80 в рабочей микросхеме на соответствующих рабочих частотах.

На этой стадии устанавливают множество рабочих частот для каждой рабочей микросхемы и обеспечивают работу множества ядер 80 в рабочей микросхеме на соответствующих рабочих частотах согласно механизму модуляции частоты на уровне рабочей микросхемы. Например, установлено шесть рабочих частот: 500, 550, 600, 650, 700 и 750 МГц. Количество рабочих частот и интервал между частотами согласно настоящему изобретению могут быть установлены в соответствии с фактическими требованиями, причем чем больше рабочих частот, тем с большей вероятностью будут полностью достигнуты вычислительные характеристики соответствующих ядер 80. Когда переключатель модуляции частоты включен (без модуляции частот ядер 80), ядра 80 могут быть равномерно распределены, неравномерно распределены или случайным образом распределены для работы на рабочих частотах в зависимости от

заданного правила. На этой стадии можно установить множество рабочих частот для рабочей микросхемы посредством множества схем 70 фазовой автоподстройки частоты, показанных на фиг. 2. Конечно, способ также может устанавливать множество рабочих частот для рабочей микросхемы посредством другого аппаратного или программного обеспечения.

Следует отметить, что разница между рабочими частотами согласно настоящему изобретению может регулироваться в пределах приемлемого диапазона, поскольку, когда ядро 80 улучшается на одну рабочую частоту, рабочая частота ядра улучшается на одну разницу между частотами, тем самым повышая определенные вычислительные характеристики из-за увеличения скорости вычисления. Тем не менее, улучшение рабочей частоты ядра может вызвать потерю определенных вычислительных характеристик из-за уменьшения отношения правильности вычисления. Таким образом, модуль 10 установки частоты должен надлежащим образом регулировать разницу между смежными рабочими частотами, чтобы, когда осуществляется модуляция ядра 80 в сторону увеличения от текущей рабочей частоты к более высокой рабочей частоте, положительный эффект от вычислительных характеристик ядра 80 был больше этой потери. Предпочтительно разница между смежными рабочими частотами составляет от 1 до 10%.

Стадию S1402, анализ индикатора вычислительных характеристик каждого ядра 80 на его текущей рабочей частоте.

Индикатор вычислительных характеристик представляет фактические вычислительные характеристики ядра 80 на текущей рабочей частоте и включает без ограничения отношение правильности вычисления, число правильных вычислений, скорость вычисления и т.п. Если индикатор вычислительных характеристик ядра 80 высокий, это означает, что вычислительные характеристики ядра 80 могут быть улучшены, а если индикатор вычислительных характеристик ядра 80 низкий, это означает, что вычислительных характеристик ядра 80 может быть недостаточно для работы на частоте, соответствующей текущей рабочей частоте.

Стадию S1403, модуляцию текущей рабочей частоты ядра 80 в сторону увеличения или уменьшения согласно индикатору вычислительных характеристик ядра 80.

Согласно механизму модуляции частоты на уровне ядер, на этой стадии модулируют ядро 80 в соответствии с подходящей рабочей частотой согласно фактическим вычислительным характеристикам ядра 80, модулируют частоту ядра 80 с высокими вычислительными характеристиками в сторону увеличения и модулируют частоту ядра 80 с низкими вычислительными характеристиками в сторону уменьшения, тем самым полностью достигая вычислительных характеристик каждого ядра 80. На этой стадии можно модулировать частоту ядра 80 посредством схем 70 фазовой автоподстройки частоты, показанных на фиг. 2, или программного обеспечения. Предпочтительно, если отношение правильности вычисления ядра 80 в течение периода модуляции достигает первого порогового значения отношения правильности, это показывает, что ядро 80 не достигает наилучших вычислительных характеристик, вследствие чего осуществляется модуляция текущей рабочей частоты ядра 80 в сторону увеличения к более высокой рабочей частоте. Если отношение правильности вычисления ядра 80 в течение периода модуляции не достигает второго порогового значения отношения правильности, это показывает, что вычислительных характеристик ядра 80 недостаточно для работы на текущей рабочей частоте, вследствие чего осуществляется модуляция текущей рабочей частоты ядра 80 в сторону уменьшения к более низкой рабочей частоте.

Специалистам в данной области техники будет очевидно, что более высокая рабочая частота не ограничена более высокой смежной рабочей частотой, одна или несколько более высоких смежных рабочих частот также могут представлять собой более высокую рабочую частоту; более низкая рабочая частота не ограничена более низкой смежной рабочей частотой, одна или несколько более низких смежных рабочих частот также могут представлять собой более низкую рабочую частоту. Предпочтительно разница между текущей рабочей частотой и более высокой рабочей частотой составляет от 1 до 10%, и разница между текущей рабочей частотой и более низкой рабочей частотой составляет от 1 до 10%, вследствие чего осуществляется модуляция ядра 80 от текущей рабочей частоты к более высокой рабочей частоте или более низкой рабочей частоте, и положительный эффект от вычислительных характеристик ядра 80 должен быть больше потери. Т.е. осуществляется модуляция текущей рабочей частоты 600 МГц ядра 80 в сторону увеличения к более высокой рабочей частоте 700 МГц, осуществляется модуляция текущей рабочей частоты 600 МГц ядра 80 в сторону уменьшения к более низкой рабочей частоте 500 МГц и т.д. В данном случае интервал между более высокой рабочей частотой и более низкой рабочей частотой не ограничен.

Стадию S1404, определение текущего состояния распределения ядер 80 после модуляции частоты на соответствующих рабочих частотах.

После автоматической модуляции рабочей частоты согласно самим вычислительным характеристикам, ядра 80 распределяются для работы на соответствующих рабочих частотах, причем за счет подсчета распределенного количества ядер 80 после модуляции частоты на соответствующих рабочих частотах можно получить текущее состояние распределения. Предпочтительно рабочая частота может быть подразделена по меньшей мере на одну высокую рабочую частоту, по меньшей мере одну среднюю рабочую частоту и по меньшей мере одну низкую рабочую частоту, причем максимальная частота на высокой рабочей частоте представляет собой максимальную рабочую частоту, а минимальная частота на низкой

рабочей частоте представляет собой минимальную рабочую частоту. Например, всего есть одна тысяча ядер 80, установлены шесть рабочих частот: 500, 550, 600, 650, 700 и 750 МГц, и количество ядер 80, последовательно распределенных по шести рабочим частотам, представляет 100, 200, 100, 100, 200 и 300 соответственно. 500 и 550 МГц - это низкие рабочие частоты, 600 и 650 МГц - средние рабочие частоты, а 700 и 750 МГц - высокая рабочая частота. 500 МГц - это минимальная рабочая частота, а 750 МГц - максимальная рабочая частота.

Стадию S1405, модуляцию частоты на рабочей частоте согласно текущему состоянию распределения и заданному механизму модуляции частоты, механизм модуляции частоты представляет собой соответствие между состоянием распределения и модуляцией частоты ядер 80.

Механизм модуляции частоты представляет собой взаимно-однозначное соответствие между состоянием распределения и модуляцией частоты. Состояние распределения ядер относится к состоянию распределения ядер 80, работавших на соответствующей рабочей частоте. Модуляция частоты на рабочей частоте относится к непосредственной модуляции частоты на рабочей частоте. Предпочтительно модуляция частоты на рабочей частоте осуществляется посредством схем 70 фазовой автоподстройки частоты, показанных на фиг. 2. Идеальное состояние согласно настоящему изобретению состоит в том, чтобы надеяться, что больше заданного отношения (например, 50%) или максимального количества ядер 80 находятся в средних рабочих частотах, вследствие чего частоты ядер 80 могут быть подвергнуты модуляции в сторону увеличения.

Например, если больше заданного отношения (например, 30%) ядер 80 работают на высокой рабочей частоте (750 МГц), это может привести к тому, что ядра 80 не достигают максимальных вычислительных характеристик (которые могут быть выше), поэтому одна рабочая частота (600 МГц) изменяется по меньшей мере на одну оптимизированную высокую рабочую частоту (800 МГц), и ядра 80, вначале работавшие на рабочей частоте (600 МГц), все переводятся на работу на максимальной рабочей частоте (750 МГц). Частота на оптимизированной высокой рабочей частоте выше частоты на максимальной рабочей частоте, тем самым полностью достигая вычислительных характеристик соответствующих ядер 80.

Предпочтительно после стадии S1405 способ может дополнительно предусматривать следующее: если ядра 80, превышающие заданный четвертое отношение, работают по меньшей мере на одной средней рабочей частоте, прекращение модуляции частоты на рабочей частоте; или, если количество ядер 80, работавших по меньшей мере на одной средней рабочей частоте, является максимальным, прекращение модуляции частоты на рабочей частоте. Относительно идеальное состояние заключается в том, чтобы больше заданного четвертого отношения (например, 50%) или максимального количества ядер 80 находились в одной или нескольких средних рабочих частотах, например третьей рабочей частоте (600 МГц), вследствие чего модуляция частоты ядер 80 не нужна.

На фиг. 15 показана блок-схема одного предпочтительного способа модуляции частоты микросхемы вычислительного устройства согласно четвертому варианту осуществления настоящего изобретения, который может быть реализован посредством приспособления 100 для модуляции частоты микросхемы вычислительного устройства. Вычислительное устройство содержит по меньшей мере одну рабочую микросхему, и рабочая микросхема содержит множество ядер. Вычислительное устройство предпочтительно предназначено для работы с массивами данных, например для майнинга виртуальной цифровой валюты. Способ предусматривает следующие стадии:

стадию S1501, установку множества рабочих частот для рабочей микросхемы вычислительного устройства и обеспечение работы множества ядер 80 в рабочей микросхеме на соответствующих рабочих частотах;

стадию S1502, анализ индикатора вычислительных характеристик каждого ядра 80 на его текущей рабочей частоте;

стадию S1503, модуляцию текущей рабочей частоты ядра 80 в сторону увеличения или уменьшения согласно индикатору вычислительных характеристик ядра 80;

стадию S1504, определение текущего состояния распределения ядер 80 после модуляции частоты на соответствующих рабочих частотах. Рабочая частота предусматривает по меньшей мере одну высокую рабочую частоту, по меньшей мере одну среднюю рабочую частоту и по меньшей мере одну низкую рабочую частоту, причем максимальная частота на высокой рабочей частоте представляет собой максимальную рабочую частоту, а минимальная частота на низкой рабочей частоте представляет собой минимальную рабочую частоту.

Стадию S1505, если ядра 80, превышающие заданное второе отношение, работают по меньшей мере на одной высокой рабочей частоте, и это может приводить к тому, что ядра 80 не достигают максимальных вычислительных характеристик (которые могут быть выше), изменение по меньшей мере одной рабочей частоты по меньшей мере на одну оптимизированную высокую рабочую частоту, и частота на оптимизированной высокой рабочей частоте выше частоты на максимальной рабочей частоте. Измененная рабочая частота может быть низкой рабочей частотой, средней рабочей частотой и/или высокой рабочей частотой.

Например, установлены шесть рабочих частот: 500, 550, 600, 650, 700 и 750 МГц, и если более 30% (второе отношение) ядер 80 работают на двух высоких рабочих частотах (700 и 750 МГц), две низкие

рабочие частоты (500 и 550 МГц) изменяются на две оптимизированные высокие рабочие частоты (800 и 850 МГц), или одна низкая рабочая частота (500 МГц) и одна средняя рабочая частота (600 МГц) изменяются на две оптимизированные высокие рабочие частоты (800 и 850 МГц).

Предпочтительно, если ядра 80, превышающие второе отношение, работают на максимальной рабочей частоте, на этой стадии изменяют одну рабочую частоту на одну оптимизированную высокую рабочую частоту, и частота на оптимизированной высокой рабочей частоте выше частоты на максимальной рабочей частоте. Измененная рабочая частота может быть низкой рабочей частотой, средней рабочей частотой и/или высокой рабочей частотой.

Например, если более 30% (второе отношение) ядер 80 работают на максимальной рабочей частоте (750 МГц), одна низкая рабочая частота (500 МГц) изменяется на оптимизированную высокую рабочую частоту (800 МГц), или одна средняя рабочая частота (600 МГц) изменяется на оптимизированную высокую рабочую частоту (800 МГц) или максимальная рабочая частота (750 МГц) изменяется на оптимизированную высокую рабочую частоту (800 МГц).

Стадию S1506, если ядра 80, превышающие заданное третье отношение, работают по меньшей мере на одной низкой рабочей частоте, и это означает, что вычислительные возможности ядер 80 слишком низки, и их недостаточно для работы на низкой рабочей частоте, изменение по меньшей мере одной рабочей частоты по меньшей мере на одну оптимизированную низкую рабочую частоту, и частота на оптимизированной низкой рабочей частоте ниже частоты на минимальной рабочей частоте. Следует понимать, что эта стадия может быть исключена, т.е. по меньшей мере одна рабочая частота не изменяется по меньшей мере на одну оптимизированную низкую рабочую частоту.

Измененная рабочая частота может быть низкой рабочей частотой, средней рабочей частотой и/или высокой рабочей частотой. Например, установлены шесть рабочих частот 500, 550, 600, 650, 700 и 750 МГц, и если более 30% (третье отношение) ядер 80 работают на двух низких рабочих частотах (500 и 550 МГц), две низкие рабочие частоты (500 и 550 МГц) изменяются на две оптимизированные низкие рабочие частоты (400 и 450 МГц) или одна низкая рабочая частота (500 МГц) и одна средняя рабочая частота (600 МГц) изменяются на две оптимизированные низкие рабочие частоты (400 и 450 МГц).

Предпочтительно, если ядра 80, превышающие третье отношение, работают на минимальной рабочей частоте, на этой стадии изменяют одну рабочую частоту на одну оптимизированную низкую рабочую частоту. Измененная рабочая частота может быть низкой рабочей частотой, средней рабочей частотой и/или высокой рабочей частотой. Например, если более 30% (третье отношение) ядер 80 работают на минимальной рабочей частоте (500 МГц), одна низкая рабочая частота (500 МГц) изменяется на оптимизированную низкую рабочую частоту (450 МГц) или одна средняя рабочая частота (600 МГц) изменяется на оптимизированную низкую рабочую частоту (450 МГц), или максимальная рабочая частота (750 МГц) изменяется на оптимизированную низкую рабочую частоту (450 МГц).

Предпочтительно после стадии S1506 способ дополнительно предусматривает следующее: если ядра 80, превышающие заданное четвертое отношение, работают по меньшей мере на одной средней рабочей частоте, прекращение модуляции частоты на рабочей частоте, поскольку относительно идеальное состояние заключается в том, чтобы больше заданного четвертого отношения (например, 50%) ядер 80 находились в одной или нескольких средних рабочих частотах, например третьей рабочей частоте (600 МГц), которая может полностью обеспечивать рабочие характеристики ядер 80, вследствие чего модуляция частоты ядер 80 не нужна.

Если количество ядер 80, работавших по меньшей мере на одной средней рабочей частоте, является максимальным, прекращение модуляции частоты на рабочей частоте, поскольку относительно идеальное состояние заключается в том, чтобы максимальное количество ядер 80 находились в одной или нескольких средних рабочих частотах, например третьей рабочей частоте (600 МГц), которая может полностью обеспечивать рабочие характеристики ядер 80, вследствие чего модуляция частоты ядер 80 не нужна.

Согласно одному конкретному прикладному варианту осуществления настоящего изобретения используется шесть схем 70 фазовой автоподстройки частоты и установлены шесть рабочих частот 500, 550, 600, 650, 700 и 750 МГц.

Количество ядер, распределенных по соответствующим частотам, подсчитывается четырьмя хеш-платами следующим образом:

хеш-плата 0: [294 26 96 224 1023 1665],

хеш-плата 1: [274 47 111 212 963 1721],

хеш-плата 2: [350 25 153 369 1381 1050],

хеш-плата 3: [488 33 184 367 1342 950].

Если присутствует четыре хеш-платы 0-3, например, как показано на фиг. 7, данные, по существу, соответствуют нормальному распределению, и минимальная рабочая частота (500 МГц) представляет собой минимальную частоту, на которой работает одно ядро 80, и она не может быть подвергнута модулированию в сторону уменьшения (если отношение отклонений слишком высоко, можно рассмотреть закрытие минимальной частоты). Если больше заданного отношения (например, 50%) ядер 80 находятся на максимальной рабочей частоте (750 МГц), это означает, что максимальная эффективность не достигнута (может быть выше), и вся рабочая микросхема может быть улучшена. Относительно идеальное со-

стояние заключается в том, чтобы больше заданного отношения (например, 50%) или максимального количества ядер 80 находились в одной или нескольких средних рабочих частотах, например третьей рабочей частоте (600 МГц). Чтобы полностью использовать вычислительные характеристики ядер 80, следует рассмотреть удлинённый хвост распределения на стороне высоких характеристик, а не удлинённый хвост распределения на низкой частоте.

Если присутствуют хеш-платы 0-1, например, можно увидеть, что, если частота 600 МГц удалена, и если использовался в целом сдвиг влево, то сто ядер 80 находятся на частоте 550 МГц, и текущая частота очевидно находится в левой низкочастотной области, что не способствует полноценному достижению вычислительных характеристик ядер 80. Таким образом, более подходящим является в целом сдвиг вправо, т.е. полный сдвиг. Если частота 550 МГц установлена со сдвигом в целом вправо, выше частоты 800 МГц посредством схем 70 фазовой автоподстройки частоты, ожидается, что несколько сотен ядер 80 будут улучшены выше частоты 800 МГц, что улучшит общие вычислительные характеристики.

На фиг. 16 показана блок-схема второго предпочтительного способа модуляции частоты микросхемы вычислительного устройства согласно четвертому варианту осуществления настоящего изобретения, который может быть реализован посредством приспособления 100 для модуляции частоты микросхемы вычислительного устройства. Вычислительное устройство содержит по меньшей мере одну рабочую микросхему, и рабочая микросхема содержит множество ядер. Вычислительное устройство предпочтительно предназначено для работы с массивами данных, например для майнинга виртуальной цифровой валюты. Способ предусматривает следующие стадии:

стадию S1601, установку множества рабочих частот для рабочей микросхемы вычислительного устройства и обеспечение работы множества ядер 80 в рабочей микросхеме на соответствующих рабочих частотах;

стадию S1602, анализ индикатора вычислительных характеристик каждого ядра 80 на его текущей рабочей частоте;

стадию S1603, модуляцию текущей рабочей частоты ядра 80 в сторону увеличения или уменьшения согласно индикатору вычислительных характеристик ядра 80;

стадию S1604, определение текущего состояния распределения ядер 80 после модуляции частоты на соответствующих рабочих частотах. Рабочая частота предусматривает по меньшей мере одну высокую рабочую частоту, по меньшей мере одну среднюю рабочую частоту и по меньшей мере одну низкую рабочую частоту, причем максимальная частота на высокой рабочей частоте представляет собой максимальную рабочую частоту, а минимальная частота на низкой рабочей частоте представляет собой минимальную рабочую частоту.

Стадию S1605, если количество ядер 80, работавших по меньшей мере на одной высокой рабочей частоте, является максимальным, и это может приводить к тому, что ядра 80 не достигают максимальных вычислительных характеристик (которые могут быть выше), изменение по меньшей мере одной рабочей частоты по меньшей мере на одну оптимизированную высокую рабочую частоту, и частота на оптимизированной высокой рабочей частоте выше частоты на максимальной рабочей частоте. Измененная рабочая частота может быть низкой рабочей частотой, средней рабочей частотой и/или высокой рабочей частотой.

Например, установлены шесть рабочих частот: 500, 550, 600, 650, 700 и 750 МГц, и максимальное количество ядер 80 работают на двух высоких рабочих частотах (700 и 750 МГц), вследствие чего две низкие рабочие частоты (500 и 550 МГц) изменяются на две оптимизированные высокие рабочие частоты (800 и 850 МГц), или одна низкая рабочая частота (500 МГц) и одна средняя рабочая частота (600 МГц) изменяются на две оптимизированные высокие рабочие частоты (800 и 850 МГц).

Предпочтительно, если количество ядер 80, работавших на максимальной рабочей частоте, является максимальным, на этой стадии изменяют одну рабочую частоту на одну оптимизированную высокую рабочую частоту. Измененная рабочая частота может быть низкой рабочей частотой, средней рабочей частотой и/или высокой рабочей частотой.

Например, когда максимальное количество ядер 80 работают на максимальной рабочей частоте (750 МГц), одна низкая рабочая частота (500 МГц) изменяется на оптимизированную высокую рабочую частоту (800 МГц), или одна средняя рабочая частота (600 МГц) изменяется на оптимизированную высокую рабочую частоту (800 МГц) или максимальная рабочая частота (750 МГц) изменяется на оптимизированную высокую рабочую частоту (800 МГц).

Стадию S1606, если количество ядер 80, работавших по меньшей мере на одной низкой рабочей частоте, является максимальным, и это означает, что вычислительные возможности ядер 80 слишком низки, и их недостаточно для работы на низкой рабочей частоте, изменение по меньшей мере одной рабочей частоты по меньшей мере на одну оптимизированную низкую рабочую частоту, и частота на оптимизированной низкой рабочей частоте ниже частоты на минимальной рабочей частоте, что позволяет предотвратить влияние ядер 80 с неудовлетворительными вычислительными возможностями на общие вычислительные характеристики рабочей микросхемы. Эта стадия может быть исключена, т.е. по меньшей мере одна рабочая частота не изменяется по меньшей мере на одну оптимизированную низкую рабочую частоту.

Измененная рабочая частота может быть низкой рабочей частотой, средней рабочей частотой и/или высокой рабочей частотой.

Например, установлены шесть рабочих частот: 500, 550, 600, 650, 700 и 750 МГц, и максимальное количество ядер 80 работают на двух низких рабочих частотах (500 и 550 МГц), вследствие чего две низкие рабочие частоты (500 и 550 МГц) изменяются на две оптимизированные низкие рабочие частоты (400 и 450 МГц) или одна низкая рабочая частота (500 МГц) и одна средняя рабочая частота (600 МГц) изменяются на две оптимизированные низкие рабочие частоты (400 и 450 МГц).

Предпочтительно, если количество ядер 80, работавших на максимальной рабочей частоте, является минимальным, на этой стадии изменяют одну рабочую частоту на одну оптимизированную низкую рабочую частоту. Измененная рабочая частота может быть низкой рабочей частотой, средней рабочей частотой и/или высокой рабочей частотой. Например, когда максимальное количество ядер 80 работают на минимальной рабочей частоте (500 МГц), одна низкая рабочая частота (500 МГц) изменяется на оптимизированную низкую рабочую частоту (450 МГц), или одна средняя рабочая частота (600 МГц) изменяется на оптимизированную низкую рабочую частоту (450 МГц) или максимальная рабочая частота (750 МГц) изменяется на оптимизированную низкую рабочую частоту (450 МГц).

Предпочтительно после стадии S1606 способ дополнительно предусматривает следующее:

если ядра 80, превышающие заданное четвертое отношение, работают по меньшей мере на одной средней рабочей частоте, прекращение модуляции частоты на рабочей частоте; или

если количество ядер 80, работавших по меньшей мере на одной средней рабочей частоте, является максимальным, прекращение модуляции частоты на рабочей частоте.

Согласно одному конкретному прикладному варианту осуществления настоящего изобретения используется шесть схем 70 фазовой автоподстройки частоты и установлены шесть рабочих частот 500, 550, 600, 650, 700 и 750 МГц.

Количество ядер, распределенных по соответствующим частотам, подсчитывается четырьмя хеш-платами следующим образом:

хеш-плата 0: [294 26 96 224 1023 1665],

хеш-плата 1: [274 47 111 212 963 1721],

хеш-плата 2: [350 25 153 369 1381 1050],

хеш-плата 3: [488 33 184 367 1342 950].

Если присутствует четыре хеш-платы 0-3, например, как показано на фиг. 7, данные, по существу, соответствуют нормальному распределению, и минимальная рабочая частота (500 МГц) представляет собой минимальную частоту, на которой работает одно ядро 80, и она не может быть подвергнута модулированию в сторону уменьшения (если отношение отклонений слишком высоко, можно рассмотреть закрытие минимальной частоты). Если количество ядер 80, находящихся на максимальной рабочей частоте (750 МГц), является максимальным, это означает, что максимальная эффективность не достигнута (может быть выше), и вся рабочая микросхема может быть улучшена. Относительно идеальное состояние заключается в том, чтобы больше заданного отношения (например, 50%) или максимального количества ядер 80 находились в одной или нескольких средних рабочих частотах, например третьей рабочей частоте (600 МГц). Чтобы полностью использовать вычислительные характеристики ядер 80, следует рассмотреть удлиненный хвост распределения на стороне высоких характеристик, а не удлиненный хвост распределения на низкой частоте.

Если присутствуют хеш-платы 0-1, например, можно увидеть, что, если частота 600 МГц удалена, то сто ядер 80 находятся на частоте 550 МГц, и текущая частота очевидно находится в левой низкочастотной области. Таким образом, более подходящим является в целом сдвиг вправо, т.е. полный сдвиг. Если частота 550 МГц установлена со сдвигом в целом вправо, выше частоты 800 МГц посредством схем 70 фазовой автоподстройки частоты, ожидается, что несколько сотен ядер 80 будут улучшены выше частоты 800 МГц, что улучшит общие вычислительные характеристики.

В настоящем изобретении дополнительно предлагается носитель данных для хранения компьютерной программы, исполняющей способ модуляции частоты микросхемы вычислительного устройства, согласно любой из фиг. 8-16. Например, когда инструкции компьютерной программы исполняются компьютерами, способ и/или техническое решение согласно настоящему изобретению могут быть вызваны или обеспечены посредством работы компьютеров. Более того, инструкции программы для вызова способа согласно настоящему изобретению могут храниться в несъемном или съемном носителе данных, и/или передается и/или хранится в запоминающем устройстве вычислительного устройства, запущенном инструкциями программы посредством широкополосной передачи или потока данных в других носителях сигналов. В данном случае, согласно этому, в одном варианте осуществления настоящего изобретения предусмотрено вычислительное устройство, показанное на фиг. 17, вычислительное устройство предпочтительно содержит плату управления и по меньшей мере одну хеш-плату, соединенную с платой управления. Плата управления содержит процессор, хеш-плата содержит множество рабочих микросхем для работы, и рабочие микросхемы содержат множество ядер. Устройство содержит носитель данных для хранения инструкций компьютерной программы и процессор для исполнения инструкций программы. Когда инструкции компьютерной программы исполняются процессором, происходит запуск вычис-

лительного устройства для исполнения способа и/или технического решения согласно вышеупомянутым нескольким вариантам осуществления.

Следует отметить, что настоящее изобретение может быть реализовано в виде программного обеспечения и/или комбинации программного обеспечения и аппаратного обеспечения. Например, настоящее изобретение может быть реализовано в специализированных интегральных микросхемах (ASIC), компьютерах общего назначения или любом другом аналогичном аппаратном обеспечении. Согласно одному варианту осуществления программно реализованная программа согласно настоящему изобретению может исполняться процессором для реализации следующих стадий или функций. Аналогично, программно реализованная программа (включая соответствующую структуру данных) согласно настоящему изобретению может храниться в машиночитаемом носителе данных, таком как RAM, магнитный или оптический накопитель, гибкий диск или аналогичное оборудование. Кроме того, некоторые стадии или функции согласно настоящему изобретению могут быть реализованы с помощью аппаратного обеспечения, такого как схемы, работающие вместе с процессором для исполнения соответствующих стадий или функций.

Способ согласно настоящему изобретению может быть реализован как компьютерно реализуемый способ на компьютерах, специальным аппаратном обеспечении или их комбинации. Исполняемый код или его части в способе согласно настоящему изобретению могут храниться на компьютерных программных продуктах. Примеры компьютерных программных продуктов включают запоминающие устройства, оптические запоминающие устройства, интегральные микросхемы, серверы, программное обеспечение в режиме онлайн и т.п. Предпочтительно компьютерные программные продукты включают постоянные элементы программного кода, хранящиеся на машиночитаемом носителе для исполнения способа согласно настоящему изобретению, когда программные продукты исполняются на компьютерах.

Согласно одному предпочтительному варианту осуществления компьютерная программа содержит элементы компьютерного программного кода для исполнения всех стадий в способе согласно настоящему изобретению, когда компьютерная программа запущена на компьютерах. Предпочтительно компьютерная программа реализована на машиночитаемом носителе.

Подводя итог, согласно настоящему изобретению происходит автоматическая модуляция частот ядер рабочей микросхемы вычислительного устройства, причем сначала устанавливается множество подходящих рабочих частот и обеспечивается работа множества ядер в рабочей микросхеме на соответствующих рабочих частотах, а затем модулируется текущая рабочая частота ядра в сторону увеличения или уменьшения согласно индикатору вычислительных характеристик каждого ядра на текущей рабочей частоте, т.е. модуляция ядра с высокими вычислительными характеристиками в сторону увеличения и модуляция ядра с низкими вычислительными характеристиками в сторону уменьшения. Таким образом, согласно настоящему изобретению происходит автоматическая модуляция частоты, соответствующей каждому ядру, согласно фактическим вычислительным характеристикам каждого ядра в рабочей микросхеме вычислительного устройства, тем самым максимально увеличивая вычислительные характеристики ядер и улучшая рабочие характеристики рабочей микросхемы и рабочего устройства в целом.

Конечно, настоящее изобретение также может характеризоваться различными другими вариантами осуществления, и специалисты в данной области техники могут сделать различные соответствующие модификации и вариации в соответствии с настоящим изобретением без отхода от сущности и объема настоящего изобретения, но эти соответствующие модификации и вариации должны входить в объем правовой охраны прилагаемой формулы изобретения.

Промышленная применимость

Применение способа и приспособления для модуляции частоты микросхемы вычислительного устройства, хеш-плата, вычислительное устройство и носитель данных согласно настоящему изобретению обладают следующими преимущественными эффектами: автоматической модуляцией частоты, соответствующей каждому ядру, согласно фактическим вычислительным характеристикам каждого ядра в рабочей микросхеме вычислительного устройства, тем самым максимально увеличивая вычислительные характеристики ядер и улучшая рабочие характеристики рабочей микросхемы и рабочего устройства в целом.

ФОРМУЛА ИЗОБРЕТЕНИЯ

1. Способ модуляции частоты микросхемы вычислительного устройства, вычислительное устройство содержит по меньшей мере одну рабочую микросхему, и рабочая микросхема содержит множество ядер, предусматривающий следующие стадии:

установку множества рабочих частот для рабочей микросхемы вычислительного устройства и обеспечение работы множества ядер в рабочей микросхеме на соответствующих рабочих частотах;
анализ индикатора вычислительных характеристик каждого ядра на его текущей рабочей частоте; и
модуляцию текущей рабочей частоты ядра в сторону увеличения или уменьшения согласно индикатору вычислительных характеристик ядра,

причем стадия установки множества рабочих частот для рабочей микросхемы вычислительного устройства и обеспечения работы множества ядер в рабочей микросхеме на соответствующих рабочих частотах дополнительно предусматривает следующее:

установку множества рабочих частот для рабочей микросхемы посредством множества схем фазовой автоподстройки частоты, рабочие частоты и схемы фазовой автоподстройки частоты находятся во взаимно-однозначном соответствии;

причем стадия модуляции текущей рабочей частоты ядра в сторону увеличения или уменьшения согласно индикатору вычислительных характеристик ядра дополнительно предусматривает следующее:

модуляцию текущей рабочей частоты ядра в сторону увеличения или уменьшения посредством схем фазовой автоподстройки частоты согласно индикатору вычислительных характеристик ядра.

2. Способ модуляции частоты микросхемы по п.1, в котором схемы фазовой автоподстройки частоты расположены внутри или снаружи рабочей микросхемы.

3. Способ модуляции частоты микросхемы по п.1, в котором стадия анализа индикатора вычислительных характеристик каждого ядра на его текущей рабочей частоте дополнительно предусматривает следующее:

анализ того, достигает ли индикатор вычислительных характеристик ядра заданных первого, второго и/или третьего пороговых значений индикатора в течение заданного периода модуляции, причем первое пороговое значение индикатора такое же, как второе пороговое значение индикатора, или отличается от него;

причем стадия модуляции текущей рабочей частоты ядра в сторону увеличения или уменьшения согласно индикатору вычислительных характеристик ядра дополнительно предусматривает следующее:

если индикатор вычислительных характеристик ядра достигает первого порогового значения индикатора, модуляцию текущей рабочей частоты ядра в сторону увеличения к более высокой рабочей частоте;

если индикатор вычислительных характеристик ядра не достигает второго порогового значения индикатора, модуляцию текущей рабочей частоты ядра в сторону уменьшения к более низкой рабочей частоте; и/или

если индикатор вычислительных характеристик ядра достигает третьего порогового значения индикатора, модуляцию текущей рабочей частоты ядра в сторону уменьшения к более низкой рабочей частоте.

4. Способ модуляции частоты микросхемы по п.1, дополнительно предусматривающий следующее:

если ядра, работавшие на заданной по меньшей мере одной оптимизированной рабочей частоте, превышают заданное первое отношение, прекращение модуляции частот ядер; или

если количество ядер, работавших по меньшей мере на одной оптимизированной рабочей частоте, является максимальным, прекращение модуляции частот ядер.

5. Способ модуляции частоты микросхемы по п.1, в котором стадия анализа индикатора вычислительных характеристик каждого ядра на его текущей рабочей частоте дополнительно предусматривает следующее:

анализ того, достигает ли отношение правильности вычисления ядра заданных первого и/или второго пороговых значений отношения правильности в течение заданного периода модуляции, первое пороговое значение отношения правильности такое же, как второе пороговое значение отношения правильности, или отличается от него;

причем стадия модуляции текущей рабочей частоты ядра в сторону увеличения или уменьшения согласно индикатору вычислительных характеристик ядра дополнительно предусматривает следующее:

если отношение правильности вычисления ядра достигает первого порогового значения отношения правильности, модуляцию текущей рабочей частоты ядра в сторону увеличения к более высокой рабочей частоте; и/или

если отношение правильности вычисления ядра не достигает второго порогового значения отношения правильности, модуляцию текущей рабочей частоты ядра в сторону уменьшения к более низкой рабочей частоте.

6. Способ модуляции частоты микросхемы по п.5, в котором стадия анализа того, достигает ли отношение правильности вычисления ядра заданных первого и/или второго пороговых значений отношения правильности в течение заданного периода модуляции, дополнительно предусматривает следующее:

анализ того, являются ли случайные числа, предоставленные ядром, правильными в течение периода модуляции;

подсчет количества правильных случайных чисел и количества неправильных случайных чисел ядра в течение периода модуляции;

вычисление отношения правильности вычисления случайных чисел ядра в течение периода модуляции согласно количеству правильных случайных чисел и количеству неправильных случайных чисел, и определение того, достигает ли отношение правильности вычисления случайных чисел заданных первого и/или второго пороговых значений отношения правильности;

причем стадия модуляции текущей рабочей частоты ядра в сторону увеличения или уменьшения согласно индикатору вычислительных характеристик ядра дополнительно предусматривает следующее:

если отношение правильности вычисления случайных чисел ядра достигает первого порогового значения отношения правильности, модуляцию текущей рабочей частоты ядра в сторону увеличения к

более высокой рабочей частоте;

если отношение правильности вычисления случайных чисел ядра не достигает второго порогового значения отношения правильности, модуляцию текущей рабочей частоты ядра в сторону уменьшения к более низкой рабочей частоте.

7. Способ модуляции частоты микросхемы по п.6, в котором стадия анализа того, являются ли случайные числа, предоставленные ядром, правильными в течение периода модуляции дополнительно предусматривает следующее:

вычисление с помощью ядра первого результата на основании случайных чисел посредством заданного алгоритма каждый раз, когда ядро предоставляет одно случайное число в течение периода модуляции, первый результат содержит первый параметр;

вычисление с помощью блока проверки рабочей микросхемы второго результата на основании случайных чисел посредством того же алгоритма, второй результат содержит второй параметр;

если первый параметр такой же, как второй параметр, определение посредством блока проверки того, что случайные числа представляют собой правильные случайные числа, или случайные числа представляют собой неправильные случайные числа.

8. Способ модуляции частоты микросхемы по п.5, в котором стадия анализа того, достигает ли отношение правильности вычисления ядра заданных пороговых значений отношения правильности в течение заданного периода модуляции дополнительно предусматривает следующее:

анализ в режиме реального времени того, достигает ли отношение правильности вычисления ядра в течение периода модуляции первого порогового значения отношения правильности и второго порогового значения отношения правильности, согласно предварительно установленной инструкции модуляции в режиме реального времени;

анализ того, достигает ли отношение правильности вычисления ядра в течение периода модуляции первого порогового значения отношения правильности и второго порогового значения отношения правильности, согласно предварительно установленной инструкции о заблаговременной модуляции в течение периода времени модуляции, установленного посредством инструкции о заблаговременной модуляции; или

анализ того, достигает ли отношение правильности вычисления ядра в течение периода модуляции первого порогового значения отношения правильности и второго порогового значения отношения правильности, согласно принятой инструкции о незамедлительной модуляции;

причем стадия модуляции текущей рабочей частоты ядра в сторону увеличения или уменьшения согласно индикатору вычислительных характеристик ядра дополнительно предусматривает следующее:

если отношение правильности вычисления ядра в течение периода модуляции достигает первого порогового значения отношения правильности, модуляцию в режиме реального времени текущей рабочей частоты ядра в сторону увеличения к более высокой рабочей частоте; если отношение правильности вычисления ядра в течение периода модуляции не достигает второго порогового значения отношения правильности, модуляцию в режиме реального времени текущей рабочей частоты ядра в сторону уменьшения к более низкой рабочей частоте;

если отношение правильности вычисления ядра в течение периода модуляции достигает первого порогового значения отношения правильности в период времени модуляции, модуляцию текущей рабочей частоты ядра в сторону увеличения к более высокой рабочей частоте; если отношение правильности вычисления ядра в течение периода модуляции не достигает второго порогового значения отношения правильности в период времени модуляции, модуляцию текущей рабочей частоты ядра в сторону уменьшения к более низкой рабочей частоте; или

согласно принятой инструкции о незамедлительной модуляции, если отношение правильности вычисления ядра в течение периода модуляции достигает первого порогового значения отношения правильности, модуляцию текущей рабочей частоты ядра в сторону увеличения к более высокой рабочей частоте; если отношение правильности вычисления ядра в течение периода модуляции не достигает второго порогового значения отношения правильности, модуляцию текущей рабочей частоты ядра в сторону уменьшения к более низкой рабочей частоте; согласно принятой инструкции о прекращении модуляции прекращение модуляции текущей рабочей частоты ядра.

9. Способ модуляции частоты микросхемы по п.1, в котором стадия анализа индикатора вычислительных характеристик каждого ядра на его текущей рабочей частоте дополнительно предусматривает следующее:

предварительную установку эталонного значения узла, весового значения правильного вычисления, весового значения неправильного вычисления, порогового значения правильного вычисления и порогового значения неправильного вычисления ядра;

анализ того, является ли каждое вычисление ядра правильным;

добавление одного весового значения правильного вычисления к эталонному значению узла каждый раз, когда ядро выполняет по меньшей мере одно правильное вычисление, и вычитание одного весового значения неправильного вычисления из эталонного значения узла каждый раз, когда ядро выполняет по меньшей мере одно неправильное вычисление;

определение того, достигает ли эталонное значение узла ядра порогового значения правильного вычисления или порогового значения неправильного вычисления;

причем стадия модуляции текущей рабочей частоты ядра в сторону увеличения или уменьшения согласно индикатору вычислительных характеристик ядра дополнительно предусматривает следующее:

если текущее эталонное значение узла ядра достигает порогового значения правильного вычисления, модуляцию текущей рабочей частоты ядра в сторону увеличения к более высокой рабочей частоте;

если текущее эталонное значение узла ядра достигает порогового значения неправильного вычисления, модуляцию текущей рабочей частоты ядра в сторону уменьшения к более низкой рабочей частоте.

10. Приспособление для модуляции частоты микросхемы вычислительного устройства, вычислительное устройство содержит по меньшей мере одну рабочую микросхему, и рабочая микросхема содержит множество ядер, содержащее:

модуль установки частоты для установки множества рабочих частот для рабочей микросхемы вычислительного устройства и обеспечения работы множества ядер в рабочей микросхеме на соответствующих рабочих частотах;

модуль анализа вычислительных характеристик для анализа индикатора вычислительных характеристик каждого ядра на его текущей рабочей частоте; и

модуль модуляции частоты для модуляции текущей рабочей частоты ядра в сторону увеличения или уменьшения согласно индикатору вычислительных характеристик ядра,

причем модуль установки частоты выполнен с возможностью установки множества рабочих частот для рабочей микросхемы посредством множества схем фазовой автоподстройки частоты, и рабочие частоты и схемы фазовой автоподстройки частоты находятся во взаимно однозначном соответствии;

а модуль модуляции частоты выполнен с возможностью модуляции текущей рабочей частоты ядра в сторону увеличения или уменьшения посредством схем фазовой автоподстройки частоты согласно индикатору вычислительных характеристик ядра.

11. Приспособление для модуляции частоты микросхемы по п.10, в котором схемы фазовой автоподстройки частоты расположены внутри или снаружи рабочей микросхемы.

12. Приспособление для модуляции частоты микросхемы по п.10, в котором модуль анализа вычислительных характеристик анализирует, достигает ли индикатор вычислительных характеристик ядра заданных первого, второго и/или третьего пороговых значений индикатора в течение заданного периода модуляции, причем первое пороговое значение индикатора такое же, как второе пороговое значение индикатора, или отличается от него;

если индикатор вычислительных характеристик ядра достигает первого порогового значения индикатора, модуль модуляции частоты модулирует текущую рабочую частоту ядра в сторону увеличения к более высокой рабочей частоте;

если индикатор вычислительных характеристик ядра не достигает второго порогового значения индикатора, модуль модуляции частоты модулирует текущую рабочую частоту ядра в сторону уменьшения к более низкой рабочей частоте; и/или

если индикатор вычислительных характеристик ядра достигает третьего порогового значения индикатора, модуль модуляции частоты модулирует текущую рабочую частоту ядра в сторону уменьшения к более низкой рабочей частоте.

13. Приспособление для модуляции частоты микросхемы по п.10, в котором модуль модуляции частоты дополнительно содержит:

подмодуль модуляции частоты для модуляции текущей рабочей частоты ядра в сторону увеличения или уменьшения согласно индикатору вычислительных характеристик ядра;

подмодуль прекращения модуляции частоты для прекращения модуляции частот ядер, если ядра, работавшие на заданной по меньшей мере одной оптимизированной рабочей частоте, превышают заданное первое отношение; или для прекращения модуляции частот ядер, если количество ядер, работавших по меньшей мере на одной оптимизированной рабочей частоте, является максимальным.

14. Приспособление для модуляции частоты микросхемы по п.10, в котором модуль анализа вычислительных характеристик анализирует, достигает ли отношение правильности вычисления ядра заданных первого и/или второго пороговых значений отношения правильности в течение заданного периода модуляции, причем первое пороговое значение отношения правильности такое же, как второе пороговое значение отношения правильности, или отличается от него;

модуль модуляции частоты модулирует текущую рабочую частоту ядра в сторону увеличения к более высокой рабочей частоте, если отношение правильности вычисления ядра достигает первого порогового значения отношения правильности; и/или модулирует текущую рабочую частоту ядра в сторону уменьшения к более низкой рабочей частоте, если отношение правильности вычисления ядра не достигает второго порогового значения отношения правильности.

15. Приспособление для модуляции частоты микросхемы по п.14, в котором модуль анализа вычислительных характеристик дополнительно содержит:

первый подмодуль анализа того, являются ли случайные числа, предоставленные ядром, правильными в течение периода модуляции;

подмодуль подсчета для подсчета количества правильных случайных чисел и количества неправильных случайных чисел ядра в течение периода модуляции; и

первый модуль определения для вычисления отношения правильности вычисления случайных чисел ядра в течение периода модуляции согласно количеству правильных случайных чисел и количеству неправильных случайных чисел, и определения того, достигает ли отношение правильности вычисления случайных чисел заданных первого и/или второго пороговых значений отношения правильности;

причем модуль модуляции частоты предназначен для модуляции текущей рабочей частоты ядра в сторону увеличения к более высокой рабочей частоте, если отношение правильности вычисления случайных чисел ядра достигает первого порогового значения отношения правильности; и/или модуляции текущей рабочей частоты ядра в сторону уменьшения к более низкой рабочей частоте, если отношение правильности вычисления случайных чисел ядра не достигает второго порогового значения отношения правильности.

16. Приспособление для модуляции частоты микросхемы по п.15, в котором первый подмодуль анализа дополнительно содержит:

первый блок вычисления для вычисления первого результата на основании случайных чисел посредством заданного алгоритма каждый раз, когда ядро предоставляет одно случайное число в течение периода модуляции, первый результат содержит первый параметр, первый блок вычисления предусмотрен в ядре; и

первый блок проверки для вычисления второго результата на основании случайных чисел посредством того же алгоритма, второй результат содержит второй параметр, и, если первый параметр такой же, как и второй параметр, для определения того, что случайное число представляет собой правильное случайное число или случайное число представляет собой неправильное случайное число, первый блок проверки предусмотрен в рабочей микросхеме.

17. Приспособление для модуляции частоты микросхемы по п.14, в котором модуль анализа вычислительных характеристик анализирует в режиме реального времени, достигает ли отношение правильности вычисления ядра в течение периода модуляции первого порогового значения отношения правильности и второго порогового значения отношения правильности, согласно предварительно установленной инструкции модуляции в режиме реального времени;

модуль анализа вычислительных характеристик анализирует, достигает ли отношение правильности вычисления ядра в течение периода модуляции первого порогового значения отношения правильности и второго порогового значения отношения правильности, согласно предварительно установленной инструкции о заблаговременной модуляции в течение периода времени модуляции, установленного посредством инструкции о заблаговременной модуляции; или

модуль анализа вычислительных характеристик анализирует, достигает ли отношение правильности вычисления ядра в течение периода модуляции первого порогового значения отношения правильности и второго порогового значения отношения правильности, согласно принятой инструкции о незамедлительной модуляции;

модуль модуляции частоты модулирует в режиме реального времени текущую рабочую частоту ядра в сторону увеличения к более высокой рабочей частоте, если отношение правильности вычисления ядра в течение периода модуляции достигает первого порогового значения отношения правильности; и модулирует в режиме реального времени текущую рабочую частоту ядра в сторону уменьшения к более низкой рабочей частоте, если отношение правильности вычисления ядра в течение периода модуляции не достигает второго порогового значения отношения правильности;

модуль модуляции частоты модулирует текущую рабочую частоту ядра в сторону увеличения к более высокой рабочей частоте, если отношение правильности вычисления ядра в течение периода модуляции достигает первого порогового значения отношения правильности в период времени модуляции; и модулирует текущую рабочую частоту ядра в сторону уменьшения к более низкой рабочей частоте, если отношение правильности вычисления ядра в течение периода модуляции не достигает второго порогового значения отношения правильности в период времени модуляции; или

модуль модуляции частоты согласно принятой инструкции о незамедлительной модуляции модулирует текущую рабочую частоту ядра в сторону увеличения к более высокой рабочей частоте, если отношение правильности вычисления ядра в течение периода модуляции достигает первого порогового значения отношения правильности; модулирует текущую рабочую частоту ядра в сторону уменьшения к более низкой рабочей частоте, если отношение правильности вычисления ядра в течение периода модуляции не достигает второго порогового значения отношения правильности; и прекращает модуляцию текущей рабочей частоты ядра согласно принятой инструкции о прекращении модуляции.

18. Приспособление для модуляции частоты микросхемы по п.10, в котором модуль анализа вычислительных характеристик дополнительно содержит:

подмодуль установки для предварительной установки эталонного значения узла, весового значения правильного вычисления, весового значения неправильного вычисления, порогового значения правильного вычисления и порогового значения неправильного вычисления ядра;

второй подмодуль анализа для анализа того, является ли каждое вычисление ядра правильным;
 подмодуль подсчета для добавления одного весового значения правильного вычисления к эталонному значению узла каждый раз, когда ядро выполняет по меньшей мере одно правильное вычисление, и вычитания одного весового значения неправильного вычисления из эталонного значения узла каждый раз, когда ядро выполняет по меньшей мере одно неправильное вычисление; и

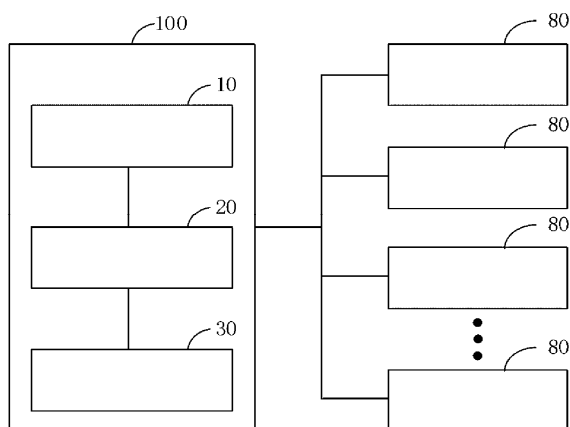
второй подмодуль определения для определения того, достигает ли эталонное значение узла ядра порогового значения правильного вычисления или порогового значения неправильного вычисления;

причем модуль модуляции частоты предназначен для модуляции текущей рабочей частоты ядра в сторону увеличения к более высокой рабочей частоте, если текущее эталонное значение узла ядра достигает порогового значения правильного вычисления; и модуляции текущей рабочей частоты ядра в сторону уменьшения к более низкой рабочей частоте, если текущее эталонное значение узла ядра достигает порогового значения неправильного вычисления.

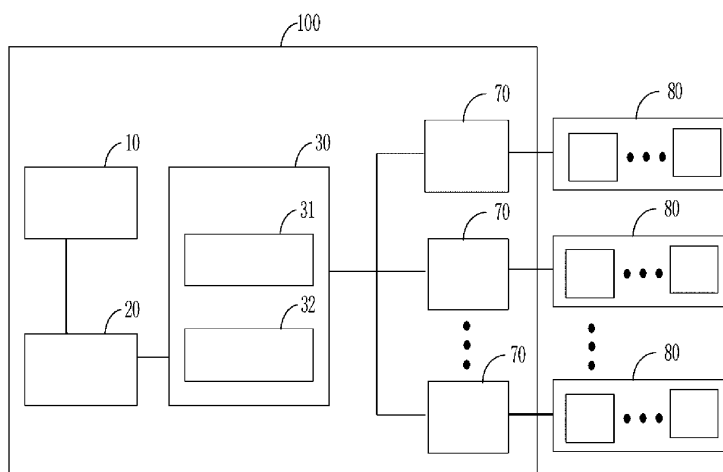
19. Хеш-плата, содержащая приспособление для модуляции частоты микросхемы по п.10.

20. Вычислительное устройство, содержащее приспособление для модуляции частоты микросхемы по п.10.

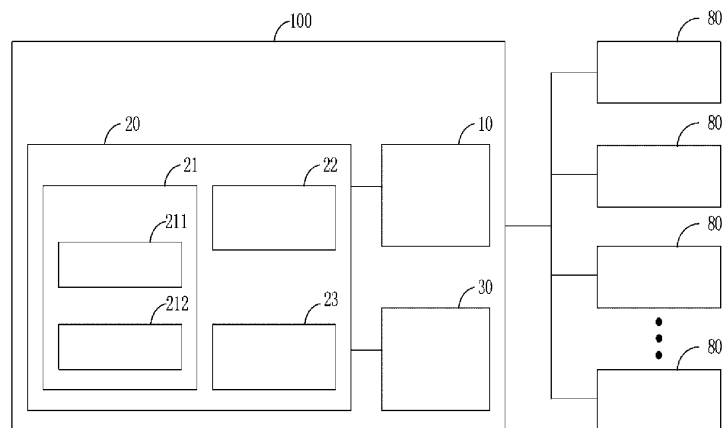
21. Носитель компьютерной программы для хранения компьютерной программы, причем при исполнении процессором программа реализует способ модуляции частоты микросхемы вычислительного устройства в соответствии с любым из пп.1-9, вычислительное устройство содержит по меньшей мере одну рабочую микросхему, и рабочая микросхема содержит множество ядер.



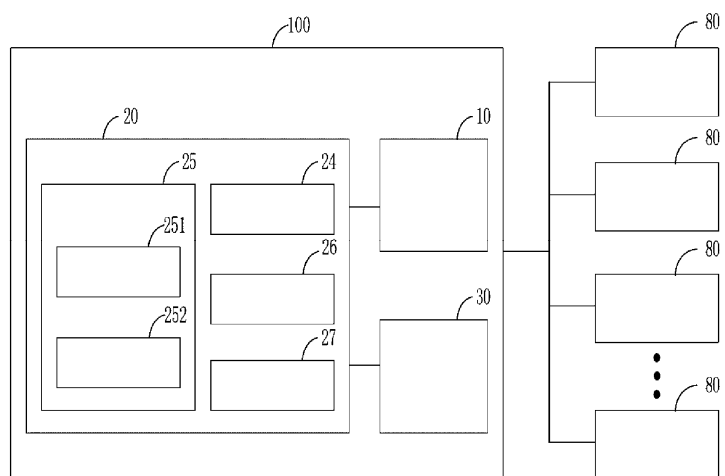
Фиг. 1



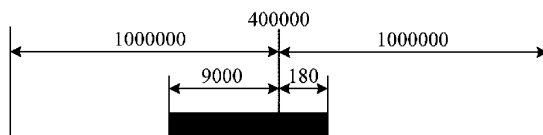
Фиг. 2



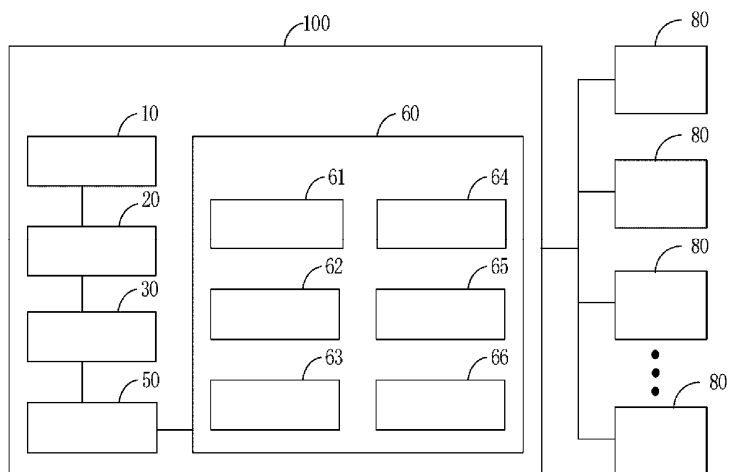
Фиг. 3



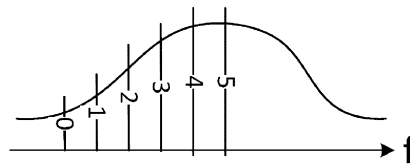
Фиг. 4



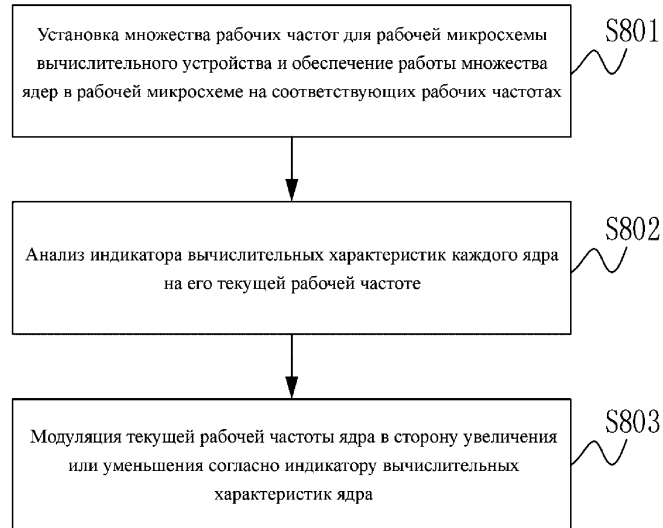
Фиг. 5



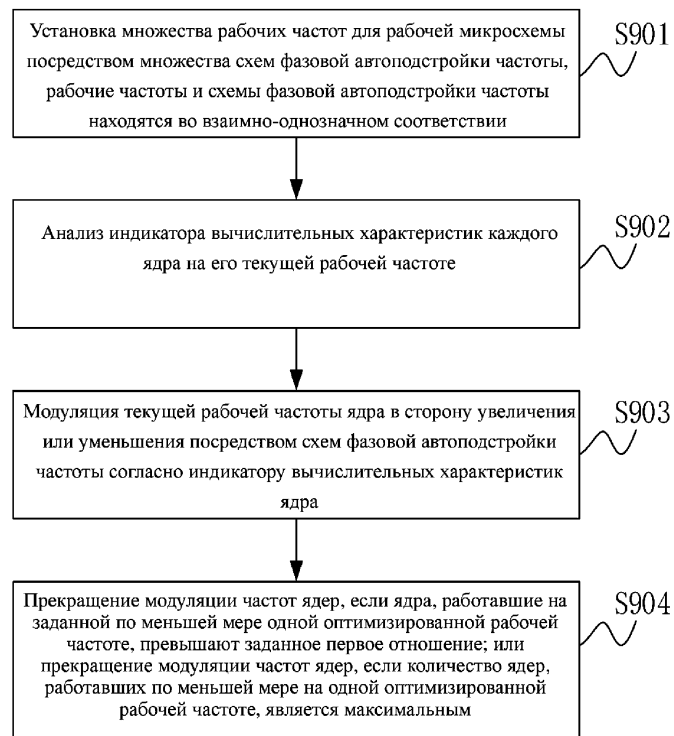
Фиг. 6



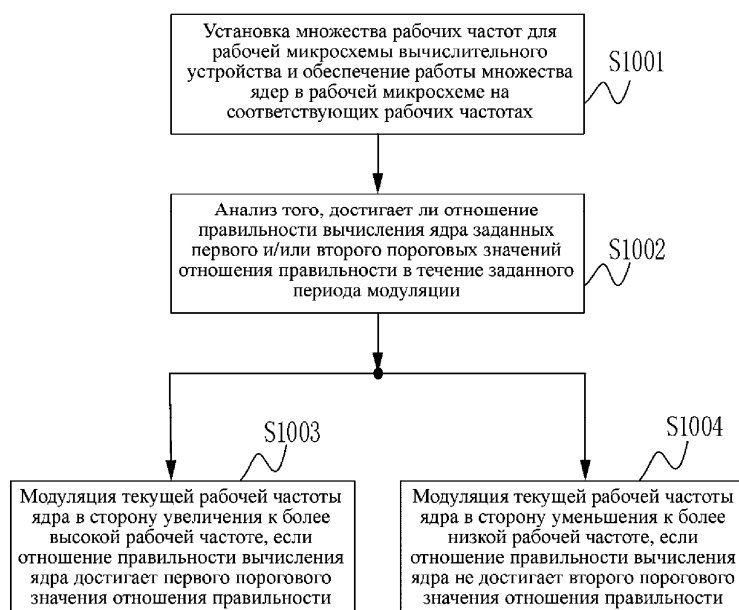
Фиг. 7



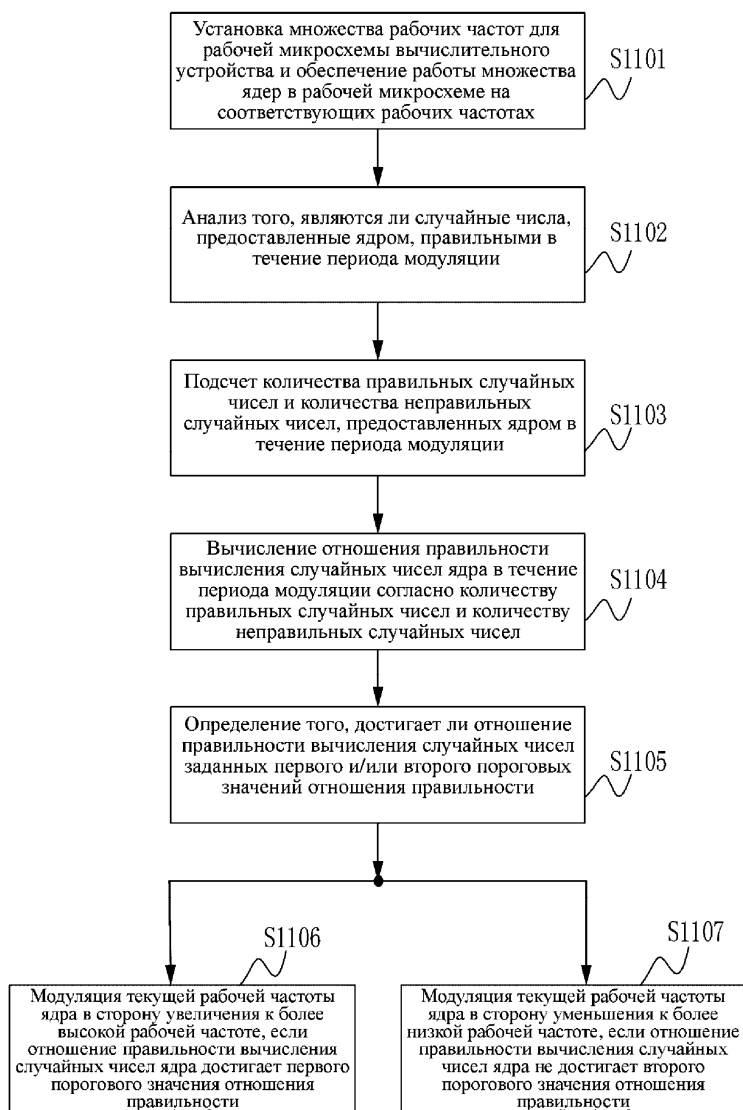
Фиг. 8



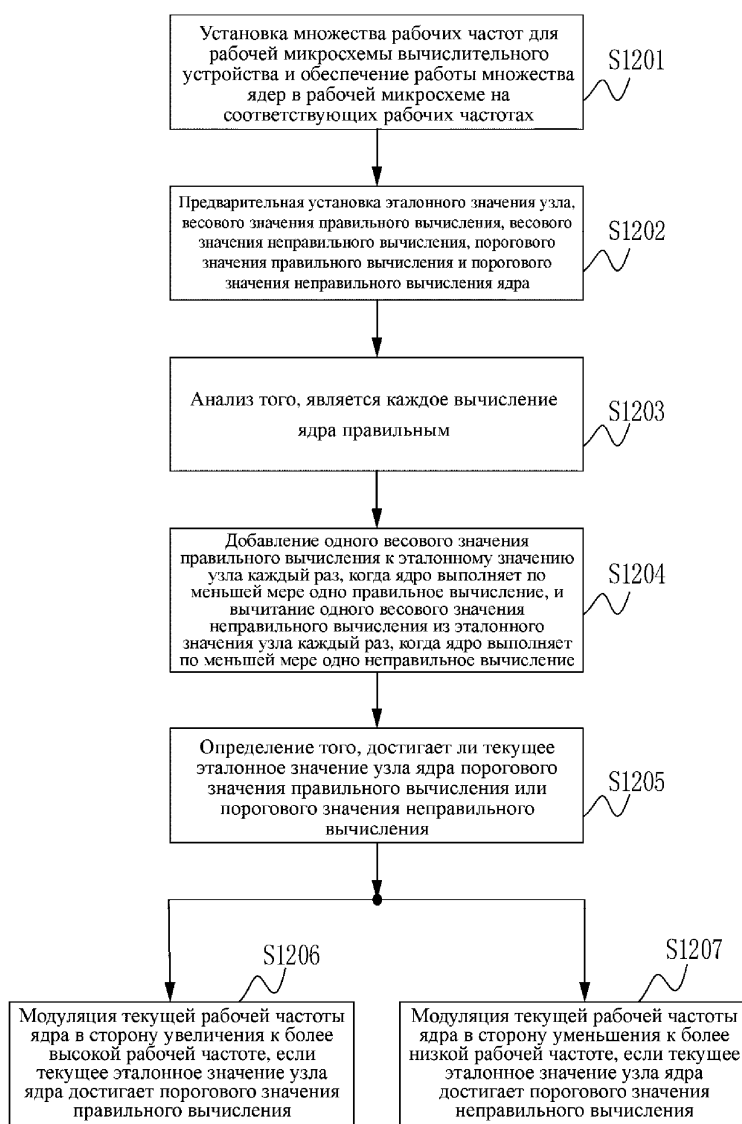
Фиг. 9



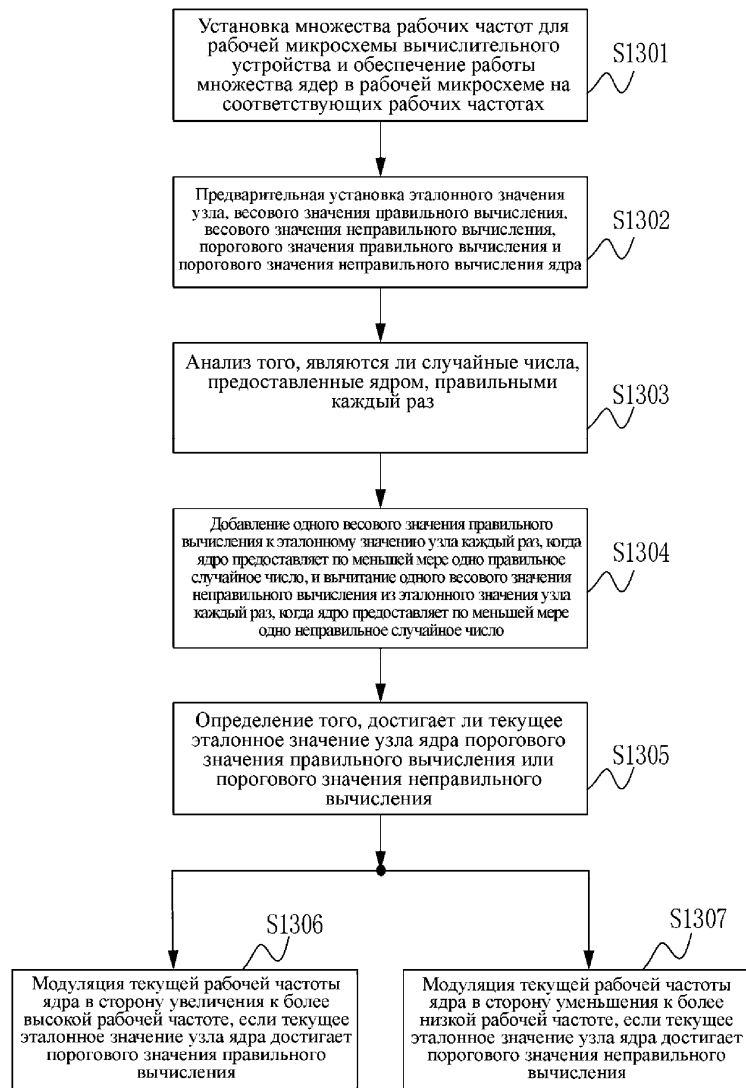
Фиг. 10



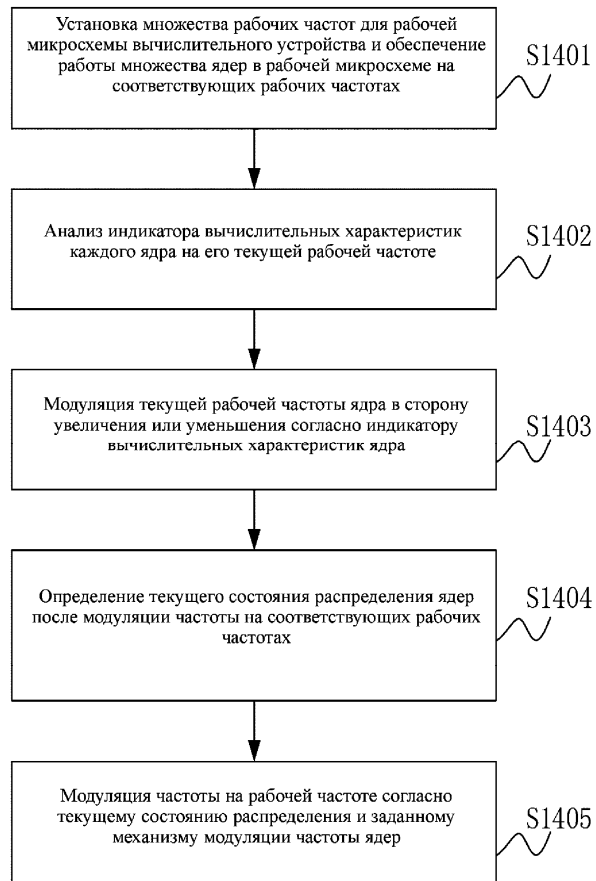
Фиг. 11



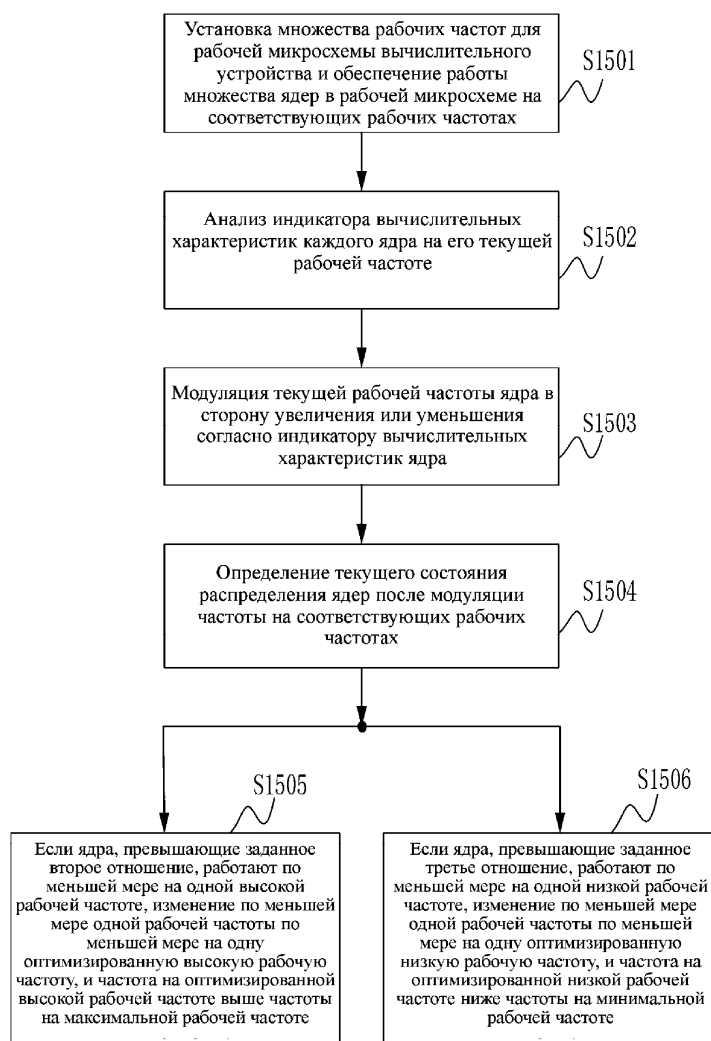
Фиг. 12



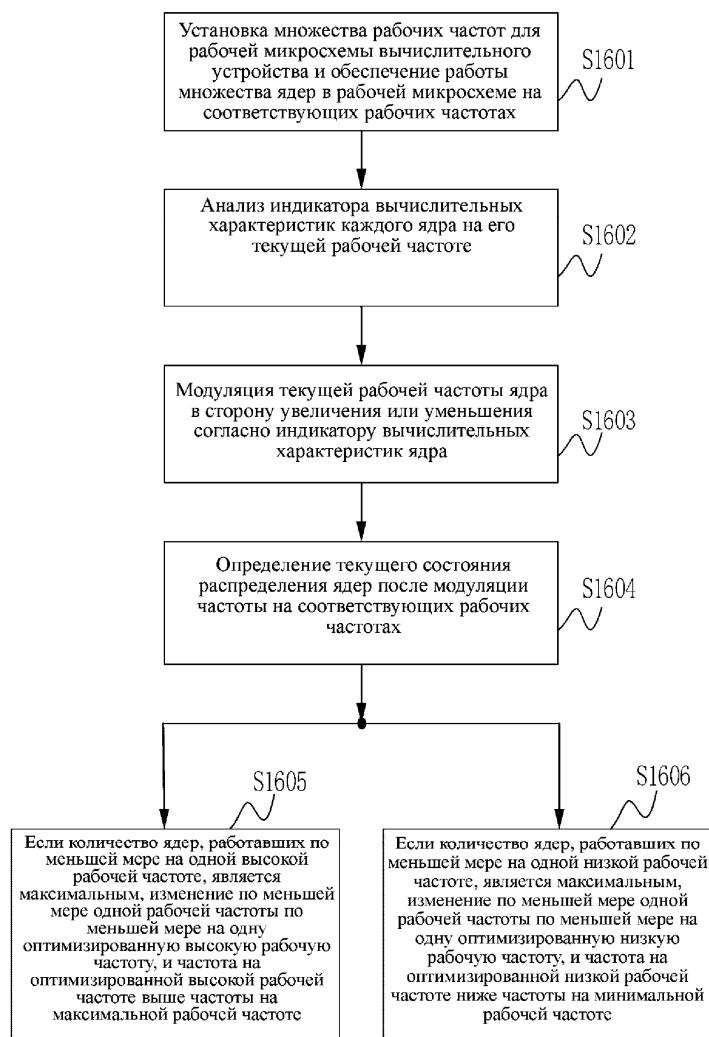
Фиг. 13



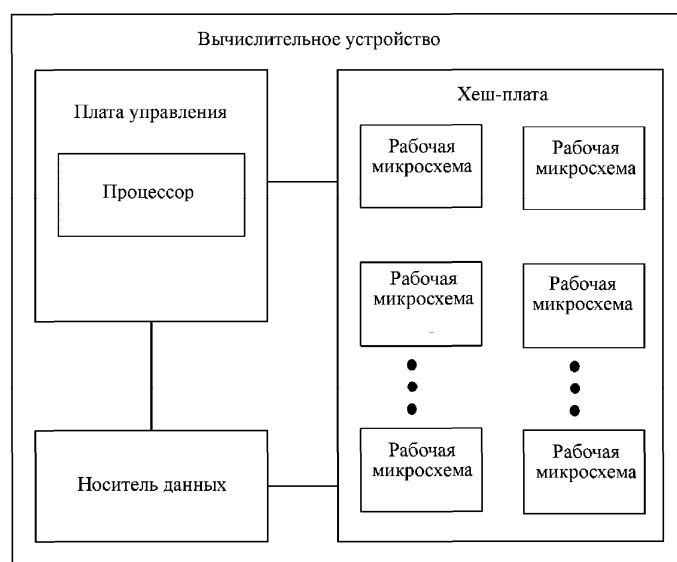
Фиг. 14



Фиг. 15



Фиг. 16



Фиг. 17

