

(19)



**Евразийское
патентное
ведомство**

(11) **040288**

(13) **B1**

(12) ОПИСАНИЕ ИЗОБРЕТЕНИЯ К ЕВРАЗИЙСКОМУ ПАТЕНТУ

(45) Дата публикации и выдачи патента
2022.05.17

(21) Номер заявки
202090027

(22) Дата подачи заявки
2018.06.12

(51) Int. Cl. **H02M 7/02** (2006.01)
H02M 7/10 (2006.01)
H02M 7/162 (2006.01)
H02M 7/19 (2006.01)
H02M 7/219 (2006.01)
H02M 7/483 (2007.01)

**(54) МНОГОУРОВНЕВЫЕ МНОГОКВАДРАНТНЫЕ ГИСТЕРЕЗИСНЫЕ КОНТРОЛЛЕРЫ
ТОКА И СПОСОБЫ УПРАВЛЕНИЯ ИМИ**

(31) 62/518,331

(32) 2017.06.12

(33) US

(43) 2020.04.30

(86) PCT/US2018/037081

(87) WO 2018/231810 2018.12.20

(71)(73) Заявитель и патентовладелец:
ТАЭ ТЕКНОЛОДЖИЗ, ИНК. (US)

(72) Изобретатель:
Слепченков Михаил (US)

(74) Представитель:
Медведев В.Н. (RU)

(56) US-A1-20150280604
US-A1-20150340964
US-A1-20150229227
US-B1-8476888
US-A-5428522
US-A-5204548
US-A1-20120262967
US-A1-20060202636
US-A1-20140354212
WO-A2-2014151178
US-A-5905371
US-A1-20120161858
US-A-5949664
US-A1-20040037101
US-A1-20120195084
EP-B1-1028518
US-A1-20090251212
US-A1-20120155140

(57) Системы и способы для многоуровневого гистерезисного управления током для каскадного многоуровневого преобразователя, имеющего множество силовых ячеек, соединенных последовательно, с положительным целым числом выходных уровней напряжения, и для управления любой формой тока AC/DC в нагрузке, переноса электрической мощности от элементов накопления энергии силовых ячеек в эту нагрузку и восстановления энергии обратно в накопительные элементы. Системы и способы для балансировки напряжения на элементах накопления энергии силовых ячеек, чтобы определять, следует ли вводить энергию в или выводить энергию от выбранного накопительного элемента, и для метода поворота состояния нулевого переключения переключающих элементов в каждой силовой ячейке каскадного многоуровневого преобразователя.

B1

040288

040288

B1

Область техники

Настоящее раскрытие относится к схемам силовой электроники и, более конкретно, к многоуровневым много-квадрантным гистерезисным контроллерам тока и к способам управления ими.

Предшествующий уровень техники

В электротехнике, энергетике и электроэнергетической промышленности преобразование мощности представляет собой преобразование электрической энергии из одной формы в другую (например, преобразование между АС и DC, регулирование напряжения или частоты или некоторую их комбинацию). Преобразователь мощности представляет собой электрическое или электромеханическое устройство для преобразования электрической энергии. Преобразователь мощности может представлять собой простой трансформатор для изменения напряжения мощности переменного тока (АС), но может также быть реализован с использованием гораздо более сложных систем. Термин "преобразователь мощности" может также относиться к классу электрического оборудования, которое используется, чтобы преобразовывать одну частоту переменного тока в другую частоту. Системы преобразования мощности часто включают в себя избыточность и регулирование напряжения.

Преобразователи мощности ограничены по своим функциональным способностям их переключающими устройствами, рабочие ограничения (т.е., разрешенное рабочее напряжение и максимальный ток) которых определяются физическими характеристиками полупроводниковых материалов, используемых для их изготовления. Многоуровневые топологии, такие как топология с диодной фиксацией уровня, топология с навесным конденсатором и каскадные (включая гибридные) топологии, повышают рабочее напряжение преобразователей. По мере увеличения числа уровней и переключателей, необходимы более точные способы управления и переключения для получения желательного напряжения и/или тока на выходе многоуровневого преобразователя.

Способы управления током также играют важную роль в схемах силовой электроники, в частности, в непрерывных источниках питания АС, где цель состоит в формировании синусоидального выхода АС (например, в инверторах PWM с регулируемым током, широко применяемых в электрических приводах АС, и в непрерывных источниках питания DC для двигателей DC или мощных магнитов). Главная задача систем управления в регулируемых преобразователях тока состоит в усилении тока в нагрузке в соответствии с опорной траекторией.

Гистерезис представляет собой явление, в котором отклик физической системы на внешнее воздействие зависит не только от текущей величины этого воздействия, но также от предыстории системы. В математическом выражении отклик на внешнее воздействие является двузначной функцией; одно значение применяется, когда воздействие возрастает, в то время как другое значение применяется, когда воздействие снижается.

Существуют три главных класса регуляторов тока: гистерезисные регуляторы, линейные PI-регуляторы и регуляторы нулевых биений с упреждением. Среди этих классов, гистерезисное управление током полосы остается самым простым способом. Помимо токового контура быстрого отклика, способ управления током полосы гистерезиса не требует какого-либо знания параметров нагрузки. Однако метод гистерезисного управления током для многоуровневых преобразователей становится все более сложным с увеличением числа уровней.

Ввиду вышеизложенных ограничений желательно обеспечить простые и эффективные способы многоуровневого четырехквадрантного и двухквадрантного гистерезисного управления током.

Краткое описание сущности изобретения

Варианты осуществления настоящего раскрытия направлены на системы и способы, которые обеспечивают простые и эффективные способы многоуровневого четырех- и двухквадрантного гистерезисного управления током для широко используемых однофазных или многофазных каскадных многоуровневых преобразователей с одним или несколькими выходными уровнями напряжения. Однофазный или многофазный каскадный многоуровневый преобразователь содержит множество силовых ячеек, соединенных последовательно в каждой фазе с положительным целым числом выходных уровней напряжения. Системы и способы многоуровневого четырех- и двухквадрантного гистерезисного управления током, представленные здесь, эффективно и точно управляют любой формой тока АС/DC в нагрузке, переносят электрическую мощность от элементов накопления энергии силовых ячеек в эту нагрузку и в случае реактивной или регенеративной нагрузки восстанавливают энергию обратно в накопительные элементы. Варианты осуществления также направлены на способ балансировки (выравнивания) напряжений на элементах накопления энергии силовых ячеек каскадного многоуровневого преобразователя, который включает в себя выбор накопительных элементов с максимальным и минимальным напряжениями (на основе напряжений элементов накопления энергии всех силовых ячеек) и который выполняет определение баланса касательно того, следует ли вводить энергию в выбранный накопительный элемент от реактивной или регенеративной нагрузки или выводить энергию от выбранного накопительного элемента в реактивную или регенеративную нагрузку. Кроме того, варианты осуществления включают в себя метод поворота нулевого состояния переключения, чтобы минимизировать число коммутаций всех переключающих элементов в каждой силовой ячейке каскадного многоуровневого преобразователя.

Варианты осуществления, представленные здесь, могут предпочтительно использоваться во множе-

стве приложений, в которых применяются регулируемые преобразователи тока. Примеры таких приложений могут включать в себя, без ограничения, схемы силовой электроники, содержащие электромагниты для плазменных реакторов, включая полоидальные и тороидальные возбуждающие магниты (индукторы) Токамака и равновесные и подстроечные магниты реакторов конфигурации обратного поля (FRC); ускорительные магниты линейных ускорителей (LINAC); электродвигатели любого типа и любого класса мощности, включая PMSM и коммутируемые реактивные электродвигатели (SRM) с множеством фаз; соединенные с сетью системы накопления энергии; STATCOM для компенсации реактивной мощности, фильтрации высоких гармоник тока и стабилизации напряжения; и соединенные с сетью фотогальванические системы.

Другие системы, способы, признаки и преимущества примерных вариантов осуществления будут или станут очевидны специалисту в данной области техники после изучения следующих чертежей и подробного описания. Должно быть понятно, что "двух-квадрантный" и "2-квадрантный" используются здесь взаимозаменяемо. Должно быть понятно, что "четырёх-квадрантный" и "4-квадрантный" используются здесь взаимозаменяемо.

Краткое описание чертежей

Детали примерных вариантов осуществления, включая структуру и функционирование, можно понять отчасти на основе изучения прилагаемых чертежей, на которых одинаковые ссылочные позиции относятся к одинаковым частям. Компоненты на чертежах представлены не обязательно в масштабе, вместо этого упор сделан на иллюстрации принципов раскрытия. Кроме того, все иллюстрации предназначены для передачи концепций, где относительные размеры, формы и другие детальные атрибуты могут быть проиллюстрированы схематично, а не буквально или точно.

Фиг. 1А иллюстрирует схематичное изображение примерной многоуровневой многоквадрантной системы в соответствии с вариантами осуществления настоящего раскрытия.

Фиг. 1В иллюстрирует примерную ячейку примерной девятиуровневой четырехквадрантной системы в соответствии с вариантами осуществления настоящего раскрытия.

Фиг. 2А иллюстрирует схематичное изображение примерной многоуровневой многоквадрантной системы в соответствии с вариантами осуществления настоящего раскрытия.

Фиг. 2В иллюстрирует примерную ячейку примерной девятиуровневой двухквадрантной системы в соответствии с вариантами осуществления настоящего раскрытия.

Фиг. 3 иллюстрирует примерный селектор уровня напряжения в соответствии с вариантами осуществления настоящего раскрытия.

Фиг. 4А иллюстрирует примерное управление током по времени в соответствии с вариантами осуществления настоящего раскрытия.

Фиг. 4В иллюстрирует примерные опорный и действительный токи по времени в соответствии с вариантами осуществления настоящего раскрытия.

Фиг. 4С иллюстрирует примерное выходное напряжение преобразователя по времени в соответствии с вариантами осуществления настоящего раскрытия.

Фиг. 5 иллюстрирует функциональную диаграмму многоуровневого многоквадрантного гистерезисного контроллера тока с балансировкой напряжения DC и вращением (поворотом) нулевого состояния в соответствии с вариантами осуществления настоящего раскрытия.

Фиг. 6 иллюстрирует примерный блок поворота/балансировки ячеек в соответствии с вариантами осуществления настоящего раскрытия.

Фиг. 7 иллюстрирует примерный оценщик di/dt в соответствии с вариантами осуществления настоящего раскрытия.

Фиг. 8А иллюстрирует функциональную диаграмму примерного блока $-0VDC$ поворота в соответствии с вариантами осуществления настоящего раскрытия.

Фиг. 8В иллюстрирует функциональную диаграмму примерного блока $+0VDC$ поворота в соответствии с вариантами осуществления настоящего раскрытия.

Фиг. 9А иллюстрирует функциональную диаграмму примерного блока $+1VDC$ поворота в соответствии с вариантами осуществления настоящего раскрытия.

Фиг. 9В иллюстрирует функциональную диаграмму примерного блока $-1VDC$ поворота в соответствии с вариантами осуществления настоящего раскрытия.

Фиг. 10А иллюстрирует примерный генератор $0VDC$ поворота в соответствии с вариантами осуществления настоящего раскрытия.

Фиг. 10В иллюстрирует примерный генератор $1VDC$ поворота в соответствии с вариантами осуществления настоящего раскрытия.

Фиг. 10С иллюстрирует примерный генератор $2VDC$ поворота в соответствии с вариантами осуществления настоящего раскрытия.

Фиг. 10D иллюстрирует примерный генератор $3VDC$ поворота в соответствии с вариантами осуществления настоящего раскрытия.

Фиг. 10E иллюстрирует примерный генератор $0VDC$ поворота в соответствии с вариантами осуществления настоящего раскрытия.

Фиг. 11А иллюстрирует примерное моделированное управление током по времени в соответствии с вариантами осуществления настоящего раскрытия.

Фиг. 11В иллюстрирует примерные моделированные опорный и действительный токи по времени в соответствии с вариантами осуществления настоящего раскрытия.

Фиг. 11С иллюстрирует примерное моделированное выходное напряжение преобразователя по времени в соответствии с вариантами осуществления настоящего раскрытия.

Фиг. 12 иллюстрирует примерные напряжения на накопительных элементах ячеек в соответствии с вариантами осуществления настоящего раскрытия.

Фиг. 13А иллюстрирует выходное напряжение четырех примерных ячеек в соответствии с вариантами осуществления настоящего раскрытия.

Фиг. 13В иллюстрирует результирующее выходное напряжение девятиуровневого преобразователя в соответствии с вариантом осуществления, изображенным на фиг. 13А.

Фиг. 14А иллюстрирует управляющие сигналы на переключающих элементах примерных ячеек в соответствии с вариантами осуществления настоящего раскрытия.

Фиг. 14В иллюстрирует увеличенное временное окно сигналов, показанных на фиг. 14А.

Фиг. 15А, 15В, 15С и 15D иллюстрируют примерные моделированные результаты для электромагнита, приводимого в действие посредством многоуровневого каскадного преобразователя, содержащего однофазный девятиуровневый 2-квадрантный преобразователь в соответствии с вариантами осуществления настоящего раскрытия; фиг. 15А иллюстрирует примерные моделированные токи магнита по времени; фиг. 15В иллюстрирует примерные моделированные выходные напряжения PSU по времени; фиг. 15С иллюстрирует примерные моделированные сигналы ошибки управления по времени; фиг. 15D иллюстрирует примерное моделированное напряжение DCL ячеек по времени.

Фиг. 15Е, 15F, 15G и 15H иллюстрируют примерные экспериментальные результаты для электромагнита, приводимого в действие посредством многоуровневого каскадного преобразователя, содержащего однофазный девятиуровневый 2-квадрантный преобразователь в соответствии с вариантами осуществления настоящего раскрытия; фиг. 15Е иллюстрирует примерные экспериментальные результаты для тока магнита по времени; фиг. 15F иллюстрирует примерные экспериментальные результаты для выходных напряжений PSU по времени; фиг. 15G иллюстрирует примерные экспериментальные результаты для сигналов ошибки управления по времени; фиг. 15H иллюстрирует примерные экспериментальные результаты для напряжения DCL ячеек по времени.

Фиг. 16А, 16В и 16С иллюстрируют примерные моделированные результаты для электромагнита, приводимого в действие посредством многоуровневого каскадного преобразователя, содержащего однофазный семиуровневый 4-квадрантный преобразователь в соответствии с вариантами осуществления настоящего раскрытия; фиг. 16А иллюстрирует примерные моделированные действительный и опорный токи по времени; фиг. 16В иллюстрирует примерные моделированные сигналы ошибки управления по времени; фиг. 16С иллюстрирует примерные моделированные выходные напряжения PSU по времени.

Фиг. 16D иллюстрирует примерные экспериментальные результаты для действительного и опорного токов магнита, сигналов ошибки управления и выходных напряжений PSU по времени для электромагнита, приводимого в действие многоуровневым каскадным преобразователем, содержащим однофазный семиуровневый 4-квадрантный преобразователь в соответствии с вариантами осуществления настоящего раскрытия.

Фиг. 17 иллюстрирует схематичное изображение коммутируемого реактивного электродвигателя, приводимого в действие посредством трех независимых девятиуровневых 2-квадрантных многоуровневых преобразователей в соответствии с вариантами осуществления настоящего раскрытия.

Фиг. 18А, 18В, 18С и 18D иллюстрируют примерные моделированные результаты для коммутируемого реактивного электродвигателя, приводимого в действие посредством трех независимых девятиуровневых 2-квадрантных многоуровневых преобразователей в соответствии с вариантами осуществления настоящего раскрытия; фиг. 18А иллюстрирует примерные моделированные фазные потокосцепления по времени; фиг. 18В иллюстрирует примерные моделированные фазные токи по времени; фиг. 18С иллюстрирует примерный моделированный крутящий момент по времени; фиг. 18D иллюстрирует примерную моделированную скорость двигателя по времени.

Фиг. 19А, 19В, 19С и 19D иллюстрируют примерные моделированные результаты для коммутируемого реактивного электродвигателя, приводимого в действие посредством трех независимых девятиуровневых 2-квадрантных многоуровневых преобразователей в соответствии с вариантами осуществления настоящего раскрытия; фиг. 19А иллюстрирует примерные моделированные фазные потокосцепления по времени; фиг. 19В иллюстрирует примерные моделированные фазные токи по времени; фиг. 19С иллюстрирует примерный моделированный крутящий момент по времени; фиг. 19D иллюстрирует примерную моделированную скорость двигателя по времени.

Фиг. 20А, 20В, 20С, 20D и 20Е иллюстрируют примерные моделированные результаты для коммутируемого реактивного электродвигателя, приводимого в действие посредством трех независимых девятиуровневых 2-квадрантных многоуровневых преобразователей в соответствии с вариантами осуществления настоящего раскрытия; фиг. 20А, 20В, 20С и 20D иллюстрируют примерные моделированные вы-

ходные напряжения для отдельных ячеек по времени; фиг. 20Е иллюстрирует примерное моделированное выходное напряжение преобразователя по времени.

Следует отметить, что элементы с подобными структурами или функциями, как правило, представлены одинаковыми ссылочными позициями для иллюстрации на всех чертежах. Следует также отметить, что чертежи предназначены только для облегчения описания предпочтительных вариантов осуществления изобретения.

Подробное описание

Следующие варианты осуществления описаны подробно, чтобы позволить специалистам в данной области техники реализовать и использовать различные варианты осуществления настоящего раскрытия. Следует понимать, что другие варианты осуществления будут очевидны на основе настоящего раскрытия и что система, процесс или изменения могут быть выполнены без отклонения от сущности и объема настоящих вариантов осуществления.

В последующем описании многочисленные конкретные подробности приведены, чтобы обеспечить полное понимание настоящих вариантов осуществления. Однако будет очевидно, что настоящие варианты осуществления могут быть практически реализованы без этих конкретных деталей. В целях повышения ясности некоторые хорошо известные схемы, конфигурации системы и этапы процесса могут не описываться детально.

Чертежи, показывающие варианты осуществления настоящего раскрытия являются полусхематичными и представлены не в масштабе, и, в частности, некоторые из размеров предназначены для ясности изложения и показаны увеличенными на чертежах.

Фиг. 1А иллюстрирует схематичное изображение примерной многоуровневой многоквadrантной системы 100 силовой электроники в соответствии с вариантами осуществления настоящего раскрытия. Примерный четырехквadrантный девятиуровневый однофазный каскадный преобразователь 107 имеет емкостные накопительные элементы и систему 101 управления и соединен с нагрузкой 106, такой как, например, однофазная резистивно-индуктивная нагрузка, как показано. Нагрузка 106 может включать в себя электромагниты, электроприводы и тому подобное. Функции системы 101 управления могут быть реализованы с использованием программных или аппаратных процессоров, включая программные процедуры, аппаратные компоненты или их комбинации.

В вариантах осуществления преобразователь 107 с емкостными накопительными элементами содержит четыре (4) последовательно соединенные ячейки 102, 103, 104 и 105. В вариантах осуществления каждая из последовательно соединенных ячеек 102, 103, 104 и 105 представляет H-мостовой преобразователь, имеющий, как показано на фиг. 1В в отношении примерной ячейки 102, четыре (4) двунаправленных переключателя 110, 111, 112 и 113 (такие как, например, IGBT или MOSFET с диодом свободного хода (безынерционным диодом)) и конденсатор 114. Все четыре конденсатора 114 преобразователя 107 изолированы друг от друга и могут быть соединены с любым индивидуально изолированным преобразователем AC/DC или DC/DC (не показано на чертеже). В вариантах осуществления, каждая из последовательно соединенных ячеек 102, 103, 104 и 105 включает в себя датчик/передатчик 115 напряжения, который передает сигнал обратной связи напряжения на систему 101 управления соответственно DC-напряжению конденсатора или накопительного элемента 114. Датчик тока/передатчик СТ 116 размещен между преобразователем 107 и нагрузкой 106 и передает сигнал обратной связи тока, соответствующий току (I_{Real}) в нагрузке 106.

Поскольку преобразователь 107 представляет собой четырехквadrантный преобразователь, что означает, что как выходной ток, так и выходное напряжение могут быть положительными или отрицательными в любой комбинации, преобразователь 107 может работать не только в двунаправленном режиме DC/DC, но и в режиме выпрямления или инверсии (обратном режиме). Будет понятно, что в настоящем раскрытии только обратный рабочий режим поясняется в качестве примера. В целях этого обсуждения также предполагается, что преобразователь работает в течение короткого интервала времени, такого как, например, несколько миллисекунд, так что отсутствует дополнительный источник энергии, требуемый для накопительных элементов (конденсаторов) 114, и напряжение на конденсаторах 114 не уменьшается значительно в течение рабочего времени для поддержания полезного тока в нагрузке 106. Тем не менее, нет различия в работе согласно настоящему способу при наличии дополнительных источников энергии, таких как, например, конденсаторы, суперконденсаторы, батареи, топливные ячейки и тому подобное.

Все возможные состояния переключений примерного четырехквadrантного девятиуровневого каскадного преобразователя 107 с соответствующими выходными уровнями напряжения представлены в табл. 1. Только состояния переключения для нечетных переключающих элементов (т.е., S_1 , S_3 , S_5 , S_7 , S_9 , S_{11} , S_{13} и S_{15}) преобразователя 107 представлены в табл. 1. В действительности, во избежание короткого замыкания накопительного элемента или конденсатора 114, только один переключатель в полумосте H-мостового преобразователя может быть включен (ON) (в проводящем режиме) в любой момент времени. Таким образом, управляющие сигналы для четных переключающих элементов (т.е., S_2 , S_4 , S_6 , S_8 , S_{10} , S_{12} , S_{14} и S_{16}) преобразователя 107 могут быть легко получены посредством реверсирования состояний нечетных переключающих элементов того же самого полумоста H-мостового преобразователя. Например, если $S_1=1$ и $S_3=0$, то $S_2=0$ и $S_4=1$.

Нулевое выходное напряжение 0VDC может обеспечиваться, если все ячейки 102, 103, 104 и 105 работают в нулевом состоянии в одно и то же время. Это может быть получено путем шунтирования накопительного элемента или конденсатора 114 путем включения обоих верхних переключателей или обоих нижних переключателей. Например, для ячейки 1 102: S1=1, S3=1, S2=0, S4=0 или S1=0, S3=0, S2=1, S4=1.

Оба уровня напряжения -3VDC и +3VDC могут быть получены с использованием четырех различных комбинаций $\pm 3VDC1$, $\pm 3VDC2$, $\pm 3VDC3$, $\pm 3VDC4$, где последний индекс соответствует номеру ячейки, работающей в нулевом состоянии, обеспечивая нулевое выходное напряжение. В свою очередь, каждое нулевое состояние может кодироваться с использованием двух комбинаций переключений, упомянутых выше. Таким образом, существует восемь возможных комбинаций установки выходного уровня напряжения $\pm 3VDC$.

Аналогично, оба уровня напряжения -2VDC и +2VDC могут быть установлены посредством пяти разных комбинаций $\pm 2VDC12$, $\pm 2VDC13$, $\pm 2VDC14$, $\pm 2VDC23$, $\pm 2VDC24$, в зависимости от того, какие две ячейки работают при напряжении нулевого состояния, где последний индекс соответствует номерам комбинации двух ячеек, работающих в нулевом состоянии, обеспечивая нулевое выходное напряжение. Учитывая двойную возможность обеспечения нулевого состояния, полное число возможных комбинаций для $\pm 2VDC$ равно десяти.

Оба уровня -1VDC и +1VDC напряжения могут быть получены с использованием четырех различных комбинаций $\pm 1VDC1$, $\pm 1VDC2$, $\pm 1VDC3$, $\pm 1VDC4$. Последний индекс соответствует номеру ячейки, работающей на уровне $\pm 1VDC$. Снова каждое нулевое состояние получается двойным образом. Таким образом, подобно уровню $\pm 3VDC$, существует восемь возможных комбинаций обеспечения выходного уровня напряжения $\pm 1VDC$.

Наконец, максимальные уровни напряжения -4VDC и +4VDC могут быть обеспечены на выходе преобразователя, когда все ячейки работают в одно и то же время. Таким образом, существует только одна возможная комбинация состояний переключений для каждого из этих случаев.

Таблица 1. Состояния переключений 9-уровневого 4-квадрантного многоуровневого каскадного преобразователя

Выходное напряжение	Состояния переключений							
	S1	S3	S5	S7	S9	S11	S13	S15
-4VDC	0	1	0	1	0	1	0	1
-3VDC								
-3VDC1	1	1	0	1	0	1	0	1
	0	0	0	1	0	1	0	1
-3VDC2	0	1	1	1	0	1	0	1
	0	1	0	0	0	1	0	1
-3VDC3	0	1	0	1	1	1	0	1
	0	1	0	1	0	0	0	1
-3VDC4	0	1	0	1	0	1	1	1
	0	1	0	1	0	1	0	0
-2VDC								
-2VDC12	1	1	1	1	0	1	0	1
	0	0	0	0	0	1	0	1
-2VDC13	1	1	0	1	1	1	0	1
	0	0	0	1	0	0	0	1
-2VDC14	1	1	0	1	0	1	1	1
	0	0	0	1	0	1	0	0
-2VDC23	0	1	1	1	1	1	0	1
	0	1	0	0	0	0	0	1
-2VDC24	0	1	1	1	0	1	1	1
	0	1	0	0	0	1	0	0
-1VDC								
-1VDC1	0	1	1	1	1	1	1	1
	0	1	0	0	0	0	0	0

-1VDC2	1	1	0	1	1	1	1	1
	0	0	0	1	0	0	0	0
-1VDC3	1	1	1	1	0	1	1	1
	0	0	0	0	0	1	0	0
-1VDC4	1	1	1	1	1	1	0	1
	0	0	0	0	0	0	0	1
0	1	1	1	1	1	1	1	1
	0	0	0	0	0	0	0	0
+1VDC								
+1VDC1	1	0	1	1	1	1	1	1
	1	0	0	0	0	0	0	0
+1VDC2	1	1	1	0	1	1	1	1
	0	0	1	0	0	0	0	0
+1VDC3	1	1	1	1	1	0	1	1
	0	0	0	0	1	0	0	0
+1VDC4	1	1	1	1	1	1	1	0
	0	0	0	0	0	0	1	0
+2VDC								
+2VDC12	1	1	1	1	1	0	1	0
	0	0	0	0	1	0	1	0
+2VDC13	1	1	1	0	1	1	1	0
	0	0	1	0	0	0	1	0
+2VDC14	1	1	1	0	1	0	1	1
	0	0	1	0	1	0	0	0
+2VDC23	1	0	1	1	1	1	1	0
	1	0	0	0	0	0	1	0
+2VDC24	1	0	1	1	1	0	1	1
	1	0	0	0	1	0	0	0
+3VDC								
+3VDC1	1	1	1	0	1	0	1	0
	0	0	1	0	1	0	1	0
+3VDC2	1	0	1	1	1	0	1	0
	1	0	0	0	1	0	1	0
+3VDC3	1	0	1	0	1	1	1	0
	1	0	1	0	0	0	1	0
+3VDC4	1	0	1	0	1	0	1	1
	1	0	1	0	1	0	0	0
+4VDC	1	0	1	0	1	0	1	0

Фиг. 2А иллюстрирует схематичное изображение примерной многоуровневой много-квadrантной системы 200 силовой электроники в соответствии с вариантами осуществления настоящего раскрытия. Примерная система 200 силовой электроники включает в себя двух-квadrантный девятиуровневый однофазный каскадный преобразователь 207, имеющий емкостные накопительные элементы и систему 201 управления, и соединена с нагрузкой 206, такой как, например, однофазная резистивно-индуктивная нагрузка. Функции системы 201 управления могут быть реализованы с использованием программных или аппаратных процессоров, включая программные процедуры, аппаратные компоненты или их комбинации.

В вариантах осуществления двухквadrантный девятиуровневый однофазный каскадный преобразователь 207 с емкостными накопительными элементами дополнительно содержит четыре (4) последовательно соединенные ячейки 202, 203, 204 и 205, где каждая ячейка представляет двухквadrантный H-мостовой преобразователь, как показано на фиг. 2В, с двумя двунаправленными переключателями 210 и 213 (такими как, например, IGBT или MOSFET с диодом свободного хода), двумя диодами 211, 212 и конденсатором 214. Все четыре конденсатора 214 преобразователя 207 изолированы друг от друга и могут быть соединены с любым отдельно изолированным преобразователем AC/DC или DC/DC (не показано на чертеже). Каждая из последовательно соединенных ячеек 202, 203, 204 и 205 включает в себя датчик напряжения/передатчик 215, который передает сигнал обратной связи напряжения на систему 201 управления соответственно напряжению DC конденсатора или накопительного элемента 214. Датчик тока/передатчик СТ 116 размещен между преобразователем 207 и нагрузкой 206 и передает сигнал об-

ратной связи тока, соответствующий току (I_{Real}) в нагрузке 206.

Поскольку преобразователь 207 представляет собой двухквadrантный преобразователь, что означает, что только при положительном выходном токе выходное напряжение может быть положительным или отрицательным, преобразователь 207 может работать только в однонаправленном активном режиме DC/DC или только в пассивном режиме выпрямления (AC/DC). Будет понятно, что рабочий режим DC/DC обсуждается в настоящем раскрытии. В целях настоящего обсуждения также предполагается, что преобразователь работает в течение короткого интервала времени, так что отсутствует дополнительный источник энергии, требуемый для накопительных элементов (конденсаторов) 214, и напряжение на конденсаторах 214 не уменьшается значительно в течение рабочего времени для поддержания желательного тока в нагрузке 206. Тем не менее, не будет различия в операции настоящего способа при наличии дополнительных источников энергии.

Все возможные состояния переключения примерного двух-квadrантного девятиуровневого каскадного преобразователя 207 с соответствующими выходными напряжениями представлены в табл. 2. Состояния переключения для обоих переключающих элементов (т.е., S₁, S₂, S₃, S₄, S₅, S₆, S₇ и S₈) каждой ячейки преобразователя 207 представлены в табл. 2.

Нулевое выходное напряжение 0VDC может обеспечиваться, если все ячейки 202, 203, 204 и 205 работают в нулевом состоянии в одно и то же время. Это может быть получено посредством шунтирования накопительного элемента или конденсатора 214 путем включения верхних или нижних переключателей отдельно. Например, для ячейки 1 202: S₁=1, S₂=0 или S₁=0, S₂=1.

Оба уровня напряжения -3VDC и +3VDC могут быть получены с использованием четырех различных комбинаций ±3VDC1, ±3VDC2, ±3VDC3, ±3VDC4, где последний индекс соответствует числу ячеек, работающих в нулевом состоянии, обеспечивая нулевое выходное напряжение. В свою очередь, каждое нулевое состояние может кодироваться с использованием двух комбинаций переключения, упомянутых выше. Таким образом, существуют восемь возможных комбинаций установки уровня выходного напряжения ±3VDC.

Аналогично, оба уровня напряжения -2VDC и +2VDC могут быть установлены посредством пяти разных комбинаций ±2VDC12, ±2VDC13, ±2VDC14, ±2VDC23, ±2VDC24, в зависимости от того, какие две ячейки работают при напряжении нулевого состояния. Учитывая двойную возможность обеспечения нулевого состояния, полное число возможных комбинаций для ±2VDC равно десяти.

Оба уровня напряжения -1VDC и +1VDC могут быть получены с использованием четырех различных комбинаций ±1VDC1, ±1VDC2, ±1VDC3, ±1VDC4. Последний индекс соответствует номеру ячейки, работающей на уровне ±1VDC. Вновь, каждое нулевое состояние получается двойным образом. Таким образом, как для уровня ±3VDC существует восемь возможных комбинаций обеспечения выходного уровня напряжения ±1VDC.

Наконец, максимальные уровни напряжения -4VDC и +4VDC могут обеспечиваться на выходе преобразователя, когда все ячейки работают в одно и то же время. Таким образом, существует только одна доступная комбинация состояния переключения для каждого из этих случаев.

Таблица 2. Состояния переключений 9-уровневого 2-квadrантного многоуровневого каскадного преобразователя

Выходное напряжение	Состояния переключений							
	S1	S2	S3	S4	S5	S6	S7	S8
-4VDC	0	0	0	0	0	0	0	0
-3VDC								
-3VDC1	1	0	0	0	0	0	0	0
	0	1	0	0	0	0	0	0

-3VDC2	0	0	1	0	0	0	0	0
	0	0	0	1	0	0	0	0
-3VDC3	0	0	0	0	1	0	0	0
	0	0	0	0	0	1	0	0
-3VDC4	0	0	0	0	0	0	1	0
	0	0	0	0	0	0	0	1
-2VDC								
-2VDC12	1	0	1	0	1	0	0	0
	0	1	0	1	0	0	0	0
-2VDC13	1	1	0	0	1	0	0	0
	0	1	0	0	0	1	0	0
-2VDC14	1	1	0	0	0	0	1	0
	0	1	0	0	0	0	0	1
-2VDC23	0	0	1	0	1	0	0	0
	0	0	0	1	0	1	0	0
-2VDC24	0	0	1	0	0	0	1	0
	0	0	0	1	0	0	0	1
-1VDC								
-1VDC1	0	0	1	0	1	0	1	0
	0	0	0	1	0	1	0	1
-1VDC2	1	0	0	0	1	0	1	0
	0	1	0	0	0	1	0	1
-1VDC3	1	0	1	0	0	0	1	0
	0	1	0	1	0	0	0	1
-1VDC4	1	0	1	0	1	0	0	0
	0	1	0	1	0	1	0	0
0	1	0	1	0	1	0	1	0
	0	1	0	1	0	1	0	1
+1VDC								
+1VDC1	1	1	1	0	1	0	1	0
	1	1	0	1	0	1	0	1
+1VDC2	1	0	1	1	1	0	1	0
	0	1	1	1	0	1	0	1
+1VDC3	1	1	1	1	1	1	1	1
	0	1	0	1	1	1	0	1

+1VDC4	1	0	1	0	1	0	1	1
	0	1	0	1	0	1	1	1
+2VDC								
+2VDC12	1	0	1	0	1	1	1	1
	0	1	0	1	1	1	1	1
+2VDC13	1	0	1	1	1	0	1	1
	0	1	1	1	0	1	1	1
+2VDC14	1	0	1	1	1	1	1	0
	0	1	1	1	1	1	0	1
+2VDC23	1	1	1	0	1	0	1	1
	1	1	0	1	0	1	1	1
+2VDC24	1	1	1	0	1	1	1	0
	1	1	0	1	1	1	0	1
+3VDC								
+3VDC1	1	0	1	1	1	1	1	1
	0	1	1	1	1	1	1	1
+3VDC2	1	1	1	0	1	1	1	1
	1	1	0	1	1	1	1	1
+3VDC3	1	1	1	1	1	0	1	1
	1	1	1	1	0	1	1	1
+3VDC4	1	1	1	1	1	1	1	0
	1	1	1	1	1	1	0	1
+4VDC	1	1	1	1	1	1	1	1

Фиг. 3 иллюстрирует примерный модуль 300 селектора уровня напряжения (также называемый селектором состояния переключения) гистерезисного контроллера (см. фиг. 5; 500) системы 101 и 201 управления в соответствии с вариантами осуществления настоящего раскрытия. Как объясняется выше, каждый уровень напряжения четырехквadrантного девятиуровневого каскадного преобразователя 107 или двухквadrантного девятиуровневого каскадного преобразователя 207 может быть получен посредством разных комбинаций переключения четырех силовых ячеек 102-105 и 202-205 соответственно. Однако значительная проблема, которая возникает в многоуровневом четырехквadrантном или двухквadrантном гистерезисном контроллере и на которую направлены варианты осуществления настоящего раскрытия, состоит в идентификации подходящего выходного уровня напряжения в любой момент операции преобразователя на основе сигнала обратной связи тока I_{REAL} .

Селектор 300 уровня напряжения содержит два блока суммирования Sum1 301 и Sum2 307, пять блоков 302, 303, 304, 305, 306 гистерезиса и одну поисковую таблицу 308 для определения уровня напряжения. В вариантах осуществления в первом блоке суммирования Sum1 301 сигнал действительного тока обратной связи I_{REAL} вычитается из опорного тока I_{REF} , и их разность, сигнал ошибки тока I_{ERROR} , вводится на вход всех пяти блоков 302, 303, 304, 305, 306 гистерезиса. Каждый из этих блоков (302, 303, 304, 305, 306) имеет разные настройки для порогов верхней границы (НВ) и нижней границы (ЛВ), как представлено в табл. 3, где ΔI представляет собой предварительно установленное значение максимальной разрешенной ошибки тока. Когда I_{ERROR} достигает соответствующей верхней границы (НВ) блока гистерезиса, выходное значение блока гистерезиса устанавливается в "1" и остается на этом уровне до тех пор, пока I_{ERROR} не пересечет нижнюю границу (ЛВ) блока гистерезиса. Когда I_{ERROR} достигает соответствующей ЛВ блока гистерезиса, выходное значение блока гистерезиса устанавливается в "0", и выход поддерживается на этом уровне, пока I_{ERROR} не достигнет НВ снова. Таким образом, если нижняя и верхняя границы пяти блоков гистерезиса распределены в пределах диапазона между $-\Delta I$ и $+\Delta I$ (как показано в табл. 3), то выход Sum2 307 будет варьироваться от 1 до 6, в зависимости от значения I_{ERROR} . Поисковая таблица 308 используется для определения требуемого выходного уровня напряжения на основе полного значения состояния (выхода Sum2 307) блоков 302-306 гистерезиса и с учетом знака производной di/dt действительного (или опорного) тока. Как обсуждается ниже, знак di/dt может определяться как положительный в момент времени, когда Sum2 307 достигает значения 6, и будет изменяться на отрицательный, когда Sum2 307 становится равен 1.

Таблица 3. Уровни порога тока для блоков гистерезиса

Граница гистерезиса	Порог тока
HB1	$\Delta I/5$
LB1	$-\Delta I/5$
HB2	$2\Delta I/5$
LB2	$-2\Delta I/5$
HB3	$3\Delta I/5$
LB3	$-3\Delta I/5$
HB4	$4\Delta I/5$
LB4	$-4\Delta I/5$
HB5	ΔI
LB5	$-\Delta I$

Следующее обсуждение и связанные чертежи представляют подробное описание принципа переключения между уровнями напряжения в настоящем раскрытом методе многоуровневого многоквadrантного гистерезисного управления на основе результатов моделирования примерной операции девятиуровневого каскадного однофазного преобразователя.

Фиг. 4А иллюстрирует примерное управление током по времени в соответствии с операцией вариантов осуществления настоящего раскрытия. Фиг. 4В иллюстрирует примерные опорный и действительный токи по времени в соответствии с операцией вариантов осуществления настоящего раскрытия. Фиг. 4С иллюстрирует примерное выходное напряжение преобразователя по времени в соответствии с операцией вариантов осуществления настоящего раскрытия.

На фиг. 4В опорный ток I_{REF} и действительный ток I_{REAL} в RL-нагрузке (см. фиг. 1; 106) представлены вместе с пятью положительными (HB1-HB5) и пятью отрицательными (LB1-LB5) границами гистерезиса (см. также табл. 3 и фиг. 4А), равно распределенными между $I_{REF}-\Delta I$ и $I_{REF}+\Delta I$ и отделенными на $\Delta I/5$ друг от друга. Ошибка I_{ERROR} управления током, в качестве разности между I_{REAL} и I_{REF} , и выходное напряжение V_{OUT} преобразователя представлены на фиг. 4А и 4С соответственно.

Исходное состояние V_{OUT} в рассматриваемом временном окне (от 23,06 мс) было установлено ранее посредством системы управления в +4VDC (где VDC=80 В в модели моделирования). На этом уровне напряжения ток I_{REAL} нарастает, и когда I_{ERROR} достигает первой границы LB1 гистерезиса в точке (уровень $-\Delta I/5$ на фиг. 4А), выходное состояние первого блока 302 гистерезиса изменяется с "1" на "0", таким образом, сумма на выходе блока 307 Sum2 уменьшается на один с "6" до "5" (фиг. 3), и в соответствии с поисковой таблицей 308 на фиг. 3 для $di/dt>0$ напряжение V_{OUT} становится +3VDC.

С начала рассматриваемого временного окна до времени t_1 (фиг. 4С), ток I_{REF} имеет положительное значение di/dt и гистерезисный контроллер (см. фиг. 5; 500) должен работать с уровнями напряжения, представленными во втором столбце поисковой таблицы 308 на фиг. 3 ($di/dt>0$). Начиная с t_1 , знак di/dt тока I_{REF} является отрицательным, но гистерезисный контроллер остается работающим как для положительного di/dt до времени t_2 , когда I_{ERROR} достигает пятой границы LB5 гистерезиса, где все из блоков 302, 303, 304, 305 и 306 гистерезиса переходят с "1" на "0", и, таким образом, сумма на выходе блока Sum2 307 уменьшается до "1". Это событие переключает операцию гистерезисного контроллера на первый столбец таблицы 308 для $di/dt<0$. Другими словами, и как было упомянуто выше, знак di/dt может определяться как отрицательный в момент времени (t_2), когда выход блока Sum2 307 достигает значения "1" (и будет изменяться на положительный, когда выход блока Sum2 307 становится равным "6"). Эта логика реализуется в блоке оценщика di/dt (см. фиг. 5; 700), который описывается ниже.

В то время как V_{OUT} находится на своем максимальном отрицательном уровне -4VDC от времени t_2 , ток I_{REAL} снижается (фиг. 4В), и когда он достигает точки F, которая соответствует первой границе HB1 гистерезиса на фиг. 4А, выходное состояние первого блока 302 гистерезиса изменяется с "0" на "1", таким образом, сумма на выходе блока Sum2 307 увеличивается на один с "1" до "2" (фиг. 3). И в соответствии с поисковой таблицей 308 на фиг. 3 для $di/dt<0$, напряжение V_{OUT} становится -3VDC. В точке G, когда I_{REAL} и I_{ERROR} достигают второй границы HB2 гистерезиса, выход блока Sum2 307 увеличивается снова, и V_{OUT} становится -2VDC.

В соответствии с одним вариантом осуществления максимальная ошибка ΔI тока имеет место только в точках, где значение di/dt опорного тока I_{REF} меняет знак. Помимо этих критических точек способ работает таким образом, чтобы минимизировать ошибку I_{ERROR} тока в $\Delta I/5$ настолько быстро, насколько это возможно при данных параметрах нагрузки.

Фиг. 5 иллюстрирует функциональную диаграмму многоуровневого многоквadrантного гистерезисного контроллера 500 тока с балансировкой напряжения DC и поворотом нулевого состояния в соответствии с вариантами осуществления настоящего раскрытия. Контроллер 500 содержит селектор 300 состояния переключения, функции которого были описаны подробно в отношении фиг. 3. Выходной

сигнал блока Sum2 307 на фиг. 3 именуется "уровнем" на фиг. 5. Этот сигнал представляет числовое значение для общего уровня (от 1 до 6) девятиуровневого гистерезисного контроллера 500, который используется дополнительно в способе, чтобы выбирать подходящий уровень выходного напряжения преобразователя 107 и 207 (см. фиг. 1А и 2А).

В соответствии с поисковой таблицей 308 на фиг. 3 знание знака di/dt требуется, чтобы выбрать подходящий уровень выходного напряжения. Как было упомянуто здесь в предыдущих разделах, знак di/dt может определяться как отрицательный в момент, когда "уровень" достигает значения "1", и изменится на положительный, когда "уровень" становится равным "6". Эта логика реализуется в блоке 700 оценщика di/dt , показанном на фиг. 7.

Как обсуждается выше и представлено в табл. 1, существует множество состояний переключений, доступных для каждого уровня напряжения девятиуровневого преобразователя, за исключением $\pm 4V_{DC}$, когда все ячейки участвуют в обеспечении максимального положительного или отрицательного выходного напряжения. Таким образом, решены следующие задачи для управления током в нагрузке, в то же время учитывая, что "уровень" гистерезиса и знак di/dt представляют собой уже известные параметры.

Задача 1: Эта задача, которая основана на напряжениях на конденсаторах 114 и 214 DCL (DC-звена) каждой ячейки, приводит к идентификации, соответственно, ячейки, которую необходимо переключить на некоторый период времени, чтобы обеспечить требуемый выходной уровень напряжения и регулирование выходного тока. Этот способ идентификации обеспечивает балансировку напряжений на конденсаторах (или батареях) 114 и 214 DCL во время операции преобразователя 107 и 207. Когда это обеспечено, энергия, которая накоплена в конденсаторах или батареях 114 и 214 DCL или переносится из или в источник посредством конденсаторов 114 и 214 DCL, равным образом распределяется среди всех ячеек. Это предпочтительное условие выгодным образом обеспечивает наиболее эффективную операцию многоуровневого преобразователя 107 и 207, где каждая ячейка должна быть спроектирована для конкретного температурного профиля полупроводниковых переключателей на основе их рабочих режимов. Эта задача выполняется посредством примерной балансировки напряжения DC или блока 600 поворота/балансировки ячеек (см. фиг. 5) в настоящем способе, и его функциональная диаграмма представлена на фиг. 6.

Задача 2: Для ячейки, идентифицированной посредством блока 600а балансировки напряжения DC, предпочтителен поворот нулевого состояния переключения. Этот поворот обеспечивает при работе распределение энергии между переключателями в конкретной ячейке. Существуют две возможные комбинации переключения для обеспечения нулевого напряжения на выходе ячейки, как показано в табл. 1 (и фиг. 8А и 8В). Способ поворота чередует переключатели, используемые, чтобы обеспечивать нулевое напряжение, с каждым вторым положительным или отрицательным рабочим уровнем ячейки. Этот поворот в два раза уменьшает частоту переключения переключателей по сравнению с частотой выходного напряжения ячейки и всего преобразователя. Имеется четыре блока генератора поворота в настоящем способе для разных уровней выходного напряжения от 0VDC до 3VDC, которые представлены на фиг. 10 (см. 1001-1004).

Фиг. 6 иллюстрирует примерный блок 600 поворота/балансировки ячеек в соответствии с вариантами осуществления настоящего раскрытия. Входы этого блока 600 представляют собой измеренные напряжения VDC1, VDC2, VDC3 и VDC4 на конденсаторах (батареях) 114 и 214 DCL всех четырех ячеек. Выходные сигналы представляют собой номера ячеек (от 1 до 4) с максимальным напряжением VDCmax DCL, минимальным напряжением VDCmin и затем VDCrot3 и VDCrot4, распределяемыми следующим образом: $VDCmin < VDCrot4 < VDCrot3 < VDCmax$. В начале, VDC1 и VDC2 сравниваются друг с другом, и если их разность ΔV_{12} выше или ниже, чем положительный или отрицательный порог блока гистерезиса Hyst 1, то выход этого блока устанавливается в "1" или "0" соответственно, в противном случае он поддерживает свое ранее установленное значение на выходе. Этот порог помогает игнорировать шум определенного уровня в сигнале обратной связи и регулирует, как часто должен происходить поворот ячеек. На основе выходного сигнала Hyst 1, Switch (переключатель) 1 выбирает номер ячейки (1 или 2) с более высоким напряжением VDC, и Switch 5 пропускает свое соответствующее значение напряжения на Sum 3, который сравнивает его с наиболее низким напряжением из VDC3 и VDC4, которые проходят через тот же самый метод сравнения. Таким образом, на выходе контроллера поворота ячеек номера ячеек распределяются в соответствии с их напряжениями VDC как $VDCmin < VDCrot4 < VDCrot3 < VDCmax$. Перед подачей на блоки поворота сигналы VDCmax и VDCmin переназначаются на VDCrot1 и VDCrot2 в блоке балансировки напряжения DC (см. фиг. 5) с учетом знака опорного тока I_{REF} . Если ток I_{REF} является положительным, соответствующим энергии, переносимой от DCL конденсаторов 114 и 214 в нагрузку 106 и 206, то ячейка с максимальным напряжением DCL участвует в повороте всех положительных выходных уровней напряжения (но не в одно и то же время). Это вызовет более быстрый разряд этой ячейки с максимальным напряжением DCL, поскольку при положительном выходном напряжении и положительном токе нагрузки существует только один способ переносить энергию: от DCL конденсаторов 114 и 214 в нагрузку 106 и 206. В то же самое время при положительном выходном токе (или I_{REF}) ячейка с минимальным напряжением DC должна участвовать в

обеспечении только отрицательных выходных уровней напряжения, чтобы заряжать напряжение DCL настолько быстро, насколько это возможно. Таким образом, из-за положительного тока нагрузки, но отрицательного выходного напряжения преобразователя, существует только одно направление для переноса энергии: от нагрузки (реактивной нагрузки) 106 и 206 в DCL конденсаторы (или батареи) 114 и 214.

В соответствии с примерным двухквadrантным многоуровневым вариантом осуществления ячейка с максимальным напряжением DCL участвует в повороте всех положительных выходных уровней напряжения (но не в одно и то же время). Это вызовет более быстрый разряд этой ячейки с максимальным напряжением DCL, поскольку при положительном выходном напряжении и положительном токе нагрузки существует только один способ для переноса энергии: от DCL конденсатора 214 в нагрузку 206. В то же самое время, ячейка с минимальным напряжением DC должна участвовать в обеспечении только отрицательных выходных уровней напряжения, чтобы зарядить свое напряжение DCL настолько быстро, насколько это возможно. То есть, из-за положительного тока нагрузки, но отрицательного выходного напряжения преобразователя, существует только одно направление для переноса энергии: от нагрузки (реактивной нагрузки) 206 в DCL конденсаторы (или батареи) 214.

Фиг. 7 иллюстрирует примерный блок 700 оценщика di/dt в соответствии с вариантами осуществления настоящего раскрытия. Блок 700 оценщика di/dt содержит два цифровых компаратора (Comp 1 701 и Comp 2 702) и RS триггерную схему 703. Оба компаратора 701 и 702 обеспечивают импульсы перехода от "ложно" к "истинно" в моменты, когда сигнал "уровень" равен "6" (Comp 1 701) и "1" (Comp 2 702). Эти нарастающие фронты обнаруживаются посредством RS триггерной схемы 703, которая изменяет свое выходное состояние соответствующим образом: обеспечивая сигнал "истинно" на своем неинвертирующем выходе Q, когда $di/dt > 0$, и сигнал "ложно", когда $di/dt < 0$.

Фиг. 8A иллюстрирует функциональную диаграмму примерного блока 800 -0VDC поворота в соответствии с вариантами осуществления настоящего раскрытия. Фиг. 8B иллюстрирует функциональную диаграмму примерного блока 810 +0VDC поворота в соответствии с вариантами осуществления настоящего раскрытия.

Блок 800-0VDC поворота принимает один управляющий сигнал от блока VDCrot2 балансировки напряжения DC, а также один сигнал Rot -0VDC от генератора 0VDC поворота и обеспечивает управляющие сигналы S1-S16 для переключающих элементов девятиуровневого преобразователя 107 и 207 для выходного напряжения -0VDC, где -0 означает, что уровень 0VDC следует после и/или перед уровнем -VDC. Мультиплексор Switch 1 выбирает одну из четырех разных комбинаций переключающих сигналов от Switches 2-5, на основе входного сигнала VDCrot2, указывая, какая ячейка работает в то же самое время при обеспечении выходного уровня -VDC. Это означает, что поворот нулевого состояния переключения должен выполняться для этой конкретной ячейки (с номером VDCrot2).

Блок 810 +0VDC поворота принимает один управляющий сигнал от блока VDCrot1 балансировки напряжения DC, а также один сигнал Rot +0VDC от генератора 0VDC поворота и обеспечивает управляющие сигналы S1-S16 для переключающих элементов девятиуровневого преобразователя 107 и 207 для выходного напряжения +0VDC, где +0 означает, что уровень 0VDC следует после и/или перед уровнем +VDC. Мультиплексор Switch 1 выбирает одну из четырех разных комбинаций переключающих сигналов от переключателей 2-5, на основе входного сигнала VDCrot1, указывая, какая ячейка работает в одно и то же время при обеспечении выходного уровня +VDC. Это означает, что поворот нулевого состояния переключения должен выполняться для этой конкретной ячейки (с номером VDCrot1).

Для примерного четырех-квadrантного многоуровневого варианта осуществления, входной сигнал Rot +0VDC управляет последовательностью переключения между двумя возможными нулевыми состояниями [1 1] и [0 0] для одной и той же ячейки.

Для примерного двух-квadrантного многоуровневого варианта осуществления, входной сигнал Rot +0VDC управляет последовательностью переключения между двумя возможными нулевыми состояниями [1 0] и [0 1] для одной и той же ячейки.

Фиг. 9A иллюстрирует функциональную диаграмму примерного блока 900 +1VDC поворота в соответствии с вариантами осуществления настоящего раскрытия. Фиг. 9B иллюстрирует функциональную диаграмму примерного блока 910-1VDC поворота в соответствии с вариантами осуществления настоящего раскрытия.

Блок 900 +1VDC поворота имеет более сложную структуру, чем блоки, изображенные на фиг. 8A и 8B. Помимо управляющего сигнала Rot +1VDC, поступающего от блока генератора 1VDC поворота, блок 900 принимает два управляющих сигнала VDCrot1 и VDCrot3 от блока балансировки напряжения DC. Первый сигнал, VDC1rot, используется мультиплексором Switch 1, чтобы устанавливать положительное напряжение на выходе ячейки, номер которой задается этим сигналом. Это может делаться путем обеспечения комбинации [10] переключения для этой ячейки. Другие три ячейки должны обеспечивать нулевое состояние переключения. Если на выходе преобразователя 107 и 207 напряжение изменяется между +0VDC и +1VDC, то сигнал Rot+1VDC всегда представляет собой "истинно" и отсутствует поворот нулевого состояния переключения для других трех ячеек. Если выходное напряжение меняется между +1VDC и +2VDC, то поворот нулевого состояния должен выполняться только для одной конкретной ячейки, которая участвует в формировании уровня +2VDC.

Для примерного четырехквadrантного многоуровневого варианта осуществления входной сигнал Rot +1VDC управляет последовательностью переключения между двумя возможными нулевыми состояниями [1 1] и [0 0] для этой ячейки.

Для примерного двухквadrантного многоуровневого варианта осуществления входной сигнал Rot +1VDC управляет последовательностью переключения между двумя возможными нулевыми состояниями [1 0] и [0 1] для этой ячейки.

Блок 910-1VDC поворота принимает управляющий сигнал Rot-1VDC, поступающий от блока генератора 1VDC поворота, и два управляющих сигнала VDCrot2 и VDCrot3 от блока балансировки напряжения DC. Первый сигнал, VDC2rot, используется мультиплексором Switch 1, чтобы устанавливать отрицательное напряжение на выходе ячейки, номер которой задается этим сигналом. Это может делаться путем обеспечения комбинации [0 1] переключения для этой ячейки. Другие три ячейки должны обеспечивать нулевое состояние переключения. Если на выходе преобразователя 107 и 207 напряжение изменяется между -0VDC и -1VDC, то сигнал Rot-1VDC всегда представляет собой "истинно", и отсутствует поворот нулевого состояния переключения для других трех ячеек. Если выходное напряжение меняется между -1VDC и -2VDC, то поворот нулевого состояния должен выполняться только для одной конкретной ячейки, которая участвует в формировании уровня -2VDC.

Не показанные здесь блоки +2VDC поворота и блоки +3VDC поворота имеют сложную структуру с четырьмя входными сигналами, где три из них VDCrot1, VDCrot2 и VDCrot3 поступают от блока балансировки напряжения DC, и один сигнал поступает либо от генератора 2VDC поворота, либо от генератора 3VDC поворота, который предназначен для управления последовательностью изменения между нулевыми состояниями переключения для конкретной ячейки.

Фиг. 10А иллюстрирует примерный генератор 1001 0VDC поворота в соответствии с вариантами осуществления настоящего раскрытия. Фиг. 10В иллюстрирует примерный генератор 1002 1VDC поворота в соответствии с вариантами осуществления настоящего раскрытия. Фиг. 10С иллюстрирует примерный генератор 1003 2VDC поворота в соответствии с вариантами осуществления настоящего раскрытия. Фиг. 10D иллюстрирует примерный генератор 1004 3VDC поворота в соответствии с вариантами осуществления настоящего раскрытия.

Фиг. 10Е иллюстрирует примерный генератор 0VDC поворота в соответствии с вариантами осуществления настоящего раскрытия.

Каждый из четырех генераторов поворота на фиг. 10А-10Е состоит из четырех цифровых компараторов 1005, 1006, 1008 и 1017, одного элемента 1007 инвертирования, четырех логических элементов И 1009, 1010, 1015 и 1016, двух SR триггерных схем Latch (защелка) 1 1011 и Latch 2 1012 и двух делителей частоты на 2 1013 и 1014. Структура и принцип работы всех блоков генератора поворота является одним и тем же; разницей являются только предварительно установленные значения цифровых компараторов. Последующее представляет собой примерный обзор работы генератора 1001 0VDC поворота. Когда сигнал "di/dt" с выхода оценщика di/dt представляет собой "истинно", компаратор Comp1 1005 установит выход SR триггерной схемы Latch 1 1011 в "истинно", когда сигнал "уровень" равен "3", что соответствует +1VDC выходного уровня напряжения. Другой компаратор Comp2 1006, в положительном di/dt сбрасывает Latch 2, когда сигнал "уровень" равен "2", что соответствует +0VDC выходного уровня напряжения. Другими словами, высокий уровень последовательности импульсов на выходе Latch 1 будет соответствовать напряжению +1VDC на выходе девятиуровневого преобразователя, в то время как его нулевой уровень будет указывать уровень напряжения +0VDC (+0 указывает, что уровень 0VDC следует после и/или перед уровнем +VDC). Наконец, схема, включающая в себя блоки 1013 и 1014 делителей частоты и логический элемент И 1015 и 1016, предназначена, чтобы устанавливать выходной сигнал Rot+ 0VDC в "истинно" с высоким уровнем выхода Latch 1, что происходит при выходном уровне напряжения +1VDC, и поддерживает этот сигнал "истинно", пока не произойдет второй переход от +0VDC к +1VDC. Такой выходной сигнал Rot+ 0VDC используется, чтобы чередовать две возможные комбинации нулевого состояния переключения для ячейки в операции обеспечения уровня напряжения +1VDC. Та же самая операционная логика стоит за сигналом Rot -0VDC, который генерируется посредством того же самого генератора 1001 0VDC поворота, чтобы чередовать две комбинации нулевого состояния переключения для ячейки в операции обеспечения уровня напряжения -1VDC.

Результаты моделирования для многоуровневых каскадных преобразователей в соответствии с вариантами осуществления настоящего раскрытия представлены на фиг. 11-14В.

Фиг. 11А иллюстрирует примерную ошибку управления моделированным током по времени в соответствии с вариантами осуществления настоящего раскрытия. Фиг. 11В иллюстрирует примерные моделированные опорный и действительный токи по времени в соответствии с вариантами осуществления настоящего раскрытия. Фиг. 11С иллюстрирует примерное моделированное выходное напряжение преобразователя по времени в соответствии с вариантами осуществления настоящего раскрытия.

Фиг. 11В иллюстрирует опорный треугольный ток I_{REF} и действительный ток I_{REAL} , который следует I_{REF} с ошибкой I_{ERROR} управления током, представленной на фиг. 11А. Амплитуда опорного тока $I_{REFm}=195$ А. Напряжение на выходе многоуровневого преобразователя, создаваемое посредством раскрытого метода гистерезисного управления, показано на фиг. 11С, где каждый выходной уровень соот-

ветствует напряжению DCL на батарее конденсаторов одной ячейки $V_{DC}=80$ В (и, как показано на фиг. 11С, напряжения DCL всех ячеек балансируются с минимальным предварительно установленным значением ошибки ± 5 В, так что они могут считаться равными). Как можно видеть из формы волны I_{ERROR} , его максимальное значение ограничено предварительно установленным значением $\Delta I=1$ А, и эта максимальная ошибка наблюдается только в точках, где значение di/dt опорного тока I_{REF} изменяет знак (пики треугольной формы волны). Помимо этих критических точек, способ работает таким образом, чтобы минимизировать ошибку I_{ERROR} тока при $\Delta I/5=0,2$ А настолько быстро, насколько это возможно при данных параметрах нагрузки.

Фиг. 12 иллюстрирует примерные напряжения DCL на накопительных элементах (конденсаторах) каждой ячейки в соответствии с вариантами осуществления настоящего раскрытия. В моделированной схеме отсутствует источник поддержки напряжения на конденсаторах. Таким образом, даже если поток мощности переходит назад и вперед от индуктивной нагрузки на конденсаторы (через отдельные ячейки), создавая пульсации напряжения AC на них, DC-компоненты напряжений конденсаторов уменьшаются со временем из-за активных потерь в переключателях и в сопротивлении нагрузки. Это также можно видеть из фиг. 12, где исходное напряжение DCL для всех ячеек составляет $V_{DC}=80$ В, но в конце цикла операции преобразователя это значение уменьшается до 65 В (среднее значение). Более того, ошибка способа балансировки напряжения DC, которая представляет собой максимальную разность между любыми двумя напряжениями DCL в любой момент времени, не превышает предварительно установленное значение 10 В.

Фиг. 13А иллюстрирует выходное напряжение четырех примерных ячеек в соответствии с вариантами осуществления настоящего раскрытия. Фиг. 13В иллюстрирует результирующее выходное напряжение девятиуровневого преобразователя в соответствии с вариантом осуществления, изображенным на фиг. 13А.

Как можно отметить, в любой момент времени только одна ячейка работает в режиме высокочастотного переключения, в то время как другие три ячейки непрерывно обеспечивают положительное, отрицательное или нулевое напряжение на выходах.

Фиг. 14А иллюстрирует управляющие сигналы на переключающих элементах примерных ячеек в соответствии с вариантами осуществления настоящего раскрытия. Фиг. 14В иллюстрирует увеличенное временное окно сигналов, показанных на фиг. 14А.

Отметим, что показаны только сигналы на верхних переключающих элементах ячеек на основе H-моста (S1, S3, S5, S7 и т.д.). Управляющие сигналы на нижних переключающих элементах (S2, S4, S6, S8 и т.д.) могут быть получены путем инвертирования сигналов для верхних элементов. Как можно видеть из чертежей, из-за надлежашего поворота состояния нулевого переключения все переключатели участвуют в операции высокочастотного переключения. Это ведет к равному распределению потерь переключений между переключателями. Более того, частота переключений всех переключателей в два раза меньше, чем частота результирующего напряжения на выходе девятиуровневого преобразователя.

Результаты моделирования и экспериментальные результаты для многоуровневых каскадных преобразователей в соответствии с вариантами осуществления настоящего раскрытия представлены на фиг. 15А-16D. На фиг. 15А-15Н результаты моделирования (фиг. 15А-15D) и экспериментальные результаты (фиг. 15Е-15Н) показаны для однофазного девятиуровневого 2-квadrантного преобразователя, состоящего из 4 ячеек, соединенных последовательно с емкостным накопительным элементом на стороне DC-звена, как изображено на фиг. 2А. Преобразователь работает во взаимосвязи с электромагнитом, что представлено как RL-нагрузка на фиг. 2А, и управляется многоуровневым гистерезисным контроллером тока в соответствии с вариантами осуществления, представленными здесь. Модель моделирования и экспериментальная установка имеют те же самые параметры для накопительных конденсаторов, индукции и сопротивления магнита, а также начального напряжения DC-звена и профиля выходного тока.

Как показано на фиг. 15А, 15В, 15Е и 15F, токи магнитов и выходные напряжения PSU являются идентичными за исключением высокочастотных выбросов в форме волны экспериментального напряжения, которые были вызваны паразитными параметрами силовых кабелей между PSU и электромагнитом и не моделировались. Как показано на фиг. 15С и 15G, сигналы ошибки управления для случаев моделирования и для экспериментальных случаев являются почти идентичными, и их пиковые значения не превышают 3 А (1,5% максимального значения). Как показано на фиг. 15D и 15Н, поведение разряда накопительного конденсатора также идентично для результатов моделирования и экспериментальных результатов.

Фиг. 16А, 16В, 16С и 16D показывают результаты моделирования и экспериментальные результаты однофазного семиуровневого 4-квadrантного преобразователя, состоящего из 3 ячеек, соединенных последовательно с емкостным накопительным элементом на стороне DC-звена, аналогично девятиуровневому преобразователю, изображенному на фиг. 1А. Преобразователь работает во взаимосвязи с электромагнитом, который представлен как RL-нагрузка на фиг. 1А, и управляется посредством многоуровневого гистерезисного контроллера тока в соответствии с вариантами осуществления, представленными здесь. Модель для выполнения моделирования и экспериментальная установка имеют те же самые пара-

метры для накопительных конденсаторов, индукцию и сопротивление магнита, а также начальное напряжение DC-звена и профиль выходного тока.

Как показано на фиг. 16A, 16C и 16D, токи магнита и выходные напряжения PSU являются идентичными за исключением высокочастотных выбросов в форме волны экспериментального напряжения, которые были вызваны паразитными параметрами силовых кабелей между PSU и электромагнитом и не моделировались.

Как показано на фиг. 16B и 16D, сигналы ошибки управления для случаев моделирования и для экспериментальных случаев являются почти идентичными, и их пиковые значения не превышают 100 А (3,3% максимального значения).

Результаты моделирования для многоуровневых каскадных преобразователей согласно вариантам осуществления настоящего раскрытия, используемых во взаимосвязи с коммутируемым реактивным электродвигателем (SRM), представлены на фиг. 18A-20E.

На фиг. 17 представлена схематичная диаграмма 3-фазного 6/4 SRM, приводимого в действие посредством трех независимых девятиуровневых 2-квадрантных многоуровневых преобразователей 207A, 207B и 207C. Применения приводов SRM расширились в последние годы ввиду таких преимуществ как надежная конструкция, внутренне присущая механическая прочность и низкая стоимость, а также свобода от роторных обмоток и постоянных магнитов. Помимо простой конструкции машины привод SRM также имеет присущую ему отказоустойчивость, высокий начальный крутящий момент и высокую эффективность для очень широкой рабочей скорости. Эти признаки делают его потенциально привлекательным для будущих применений с переменной скоростью высокой мощности, таких как тяговые системы, насосы и компрессоры, ветряные турбины и применения в добывающей промышленности. Уровни мощности для этих применений привода расширяются до нескольких мегаватт. Чтобы достичь полного потенциала мультимегаваттной системы привода SRM, рабочие напряжения должны составлять несколько киловольт.

Множество уровней напряжения, доступных от многоуровневого преобразователя в комбинации с предложенным методом многоуровневого гистерезисного управления согласно настоящим вариантам осуществления, позволяют достичь высокого выходного напряжения и гибкого профилирования тока для приводов SRM с дополнительной выгодой от более низких частот переключения и меньших потерь преобразователя и двигателя.

Возвращаясь обратно к фиг. 17, каждый из трех независимых девятиуровневых 2-квадрантных многоуровневых преобразователей 207A, 207B и 207C, подобно преобразователю 207, представленному и обсуждаемому в отношении фиг. 2A и 2B, содержит четыре 2-квадрантных ячейки с батареей или любым другим накопителем или изолированными элементами источника напряжения на стороне DC-звена и соединенные последовательно на выходе. Каждый из трех девятиуровневых преобразователей также управляется посредством отдельной и независимой многоуровневой системы гистерезисного управления током в соответствии с настоящими вариантами осуществления. Таким образом, методология управления, представленная здесь, может использоваться для любого числа фаз SRM (например, 4-фазного 8/6 SRM или 5-фазного и 10/8 SRM) без каких-либо ограничений или дополнительных ограничений.

Фиг. 18A-20E показывают результаты моделирования 60 кВт 3-фазного 6/4 SRM, приводимого в действие посредством трех независимых девятиуровневых 2-квадрантных многоуровневых преобразователей. Фиг. 18A-19D представляют потокосцепления (фиг. 18A и 19A), фазные токи статора (фиг. 18B и 19B), крутящий момент двигателя (фиг. 18C и 19C) и скорость двигателя (фиг. 18D и 19D). Как показано на фиг. 19A и 19B, крутящий момент и скорость двигателя нагружаются в их опорных значениях 100 Нм и 1800 об./мин соответственно, после 0,5 с работы. Фазные токи, как и крутящий момент, свободны от высокочастотных пульсаций, как показано на фиг. 19B и 19C соответственно, ввиду адаптивной операции методологии многоуровневого гистерезисного управления, представленной здесь, которая устанавливает и коммутирует низкие уровни напряжения ячеек в соответствии с опорными фазовыми токами и мгновенными значениями потокосцепления. Выходные напряжения всех ячеек одного преобразователя, как и его полное выходное напряжение, прикладываемое к фазе SRM, изображены на фиг. 20A-20E. Как показано на фиг. 20E, каждый уровень напряжения на выходе многоуровневого преобразователя соответствует напряжению DC-звена накопительного элемента одной ячейки $V_{DC}=50$ В. Как показано на фиг. 20A-20D, в любой момент времени, только одна ячейка работает в режиме высокочастотного переключения, в то время как другие три ячейки непрерывно обеспечивают положительное, отрицательное или нулевое напряжение на выходах.

Методология гистерезисного управления, представленная здесь, обеспечивает возможность управления фазными токами SRM с высоким допуском и низкой ошибкой управления в полном диапазоне скорости.

Процессоры систем управления и контроллеров настоящего раскрытия могут быть выполнены с возможностью выполнять вычисления и анализ, описанные в настоящем раскрытии, и могут включать в себя или быть коммуникативно связанными с одной или несколькими памятьми, включающими в себя некрайневременный считываемый компьютером носитель. Это может включать в себя систему на основе процессора или на основе микропроцессора, включая системы, использующие микроконтроллеры, ком-

пьютеры с сокращенным набором команд (RISC), специализированные интегральные схемы (ASIC), логические схемы и любую другую схему или процессор, способные исполнять функции, описанные в настоящем документе. Приведенные выше примеры являются только иллюстративными и, таким образом, не предназначены, чтобы ограничивать каким-либо образом определение и/или значение термина "процессор" или "компьютер".

Функции процессора могут быть реализованы с использованием программных процедур, аппаратных компонентов или их комбинации. Аппаратные компоненты могут быть реализованы с использованием различных технологий, включая, например, интегральные схемы или дискретные электронные компоненты. Процессорный блок, как правило, включает в себя считываемое/записываемое устройство памяти и, как правило, также включает в себя аппаратные средства и/или программное обеспечение для записи и/или считывания устройства памяти.

Процессоры могут включать в себя вычислительное устройство, устройство ввода, блок отображения и интерфейс, например, для доступа в Интернет. Компьютер или процессор может включать в себя микропроцессор. Микропроцессор может быть соединен с коммуникационной шиной. Компьютер или процессор может также включать в себя память. Память может включать в себя память с произвольным доступом (RAM) и постоянную память (ROM). Компьютер или процессор могут также включать в себя устройство хранения, которое может представлять собой жесткий диск или съемный накопитель, такой как, например, накопитель на оптическом диске и тому подобное. Устройство хранения может представлять собой другие аналогичные средства для загрузки компьютерных программ или других инструкций в компьютер или процессор.

Процессор исполняет набор инструкций, которые хранятся в одном или нескольких элементах хранения, чтобы обрабатывать входные данные. Элементы хранения могут также хранить данные или другую информацию, как это желательно или необходимо. Элемент хранения может быть в форме источника информации или физического элемента памяти в машине обработки.

Набор инструкций может включать в себя различные команды, которые инструктируют процессоры в качестве машины обработки, чтобы выполнять конкретные операции, такие как способы и процессы различных вариантов осуществления описанного здесь предмета. Набор инструкций может быть в форме программ программного обеспечения. Программное обеспечение может быть в различных формах, таких как системное программное обеспечение или прикладное программное обеспечение. Кроме того, программное обеспечение может быть в форме совокупности отдельных программ или модулей, программного модуля в более крупной программе или части программного модуля. Программное обеспечение также может включать в себя модульное программирование в форме объектно-ориентированного программирования. Обработка входных данных с помощью машины обработки может осуществляться в ответ на команды пользователя или в ответ на результаты предыдущей обработки или в ответ на запрос, сделанный другой машинной обработкой.

Как использовано в данном описании, термины "программное обеспечение" и "микропрограммное обеспечение" могут быть взаимозаменяемыми и включают в себя любую компьютерную программу, сохраненную в памяти для исполнения компьютером, включая память RAM, память ROM, память EEPROM и энергонезависимую память RAM (NVRAM). Вышеуказанные типы памяти являются только примерами и, таким образом, не ограничивают типы памяти, используемой для хранения компьютерной программы.

Варианты осуществления настоящего раскрытия направлены на многоквadrанный многоуровневый каскадный преобразователь, соединяемый с нагрузкой. В вариантах осуществления многоквadrанный многоуровневый каскадный преобразователь содержит множество ячеек, соединенных последовательно. В вариантах осуществления каждая ячейка из множества ячеек представляет N-мостовой преобразователь и содержит множество двунаправленных переключателей и накопительный элемент. В вариантах осуществления многоквadrанный многоуровневый каскадный преобразователь дополнительно содержит систему гистерезисного управления током, связанную с множеством ячеек. В вариантах осуществления система управления выполнена с возможностью управлять одним или несколькими из формы и уровня тока в нагрузке.

В вариантах осуществления многоквadrанный многоуровневый каскадный преобразователь дополнительно содержит четыре (4) квадранта и девять (9) выходных уровней. В вариантах осуществления многоквadrанный многоуровневый каскадный преобразователь дополнительно содержит четыре (4) ячейки, соединенные последовательно, и причем каждая ячейка представляет четырехквadrанный N-мостовой преобразователь. В вариантах осуществления каждая ячейка из множества ячеек содержит четыре (4) двунаправленных переключателя и накопительный элемент.

В вариантах осуществления многоквadrанный многоуровневый каскадный преобразователь дополнительно содержит два (2) квадранта и девять (9) выходных уровней. В вариантах осуществления многоквadrанный многоуровневый каскадный преобразователь дополнительно содержит четыре (4) ячейки, соединенные последовательно, и причем каждая ячейка представляет двухквadrанный N-мостовой преобразователь. В вариантах осуществления каждая ячейка из множества ячеек содержит два (2) двунаправленных переключателя, два (2) диода и накопительный элемент.

В вариантах осуществления каждый двунаправленный переключатель содержит IGBT или MOSFET с диодом свободного хода.

В вариантах осуществления изолированный преобразователь представляет собой один из изолированного преобразователя AC/DC или изолированного преобразователя DC/AC.

В вариантах осуществления электрическая мощность может переноситься от каждой ячейки из множества ячеек в нагрузку. В вариантах осуществления электрическая мощность может переноситься от нагрузки в каждую ячейку из множества ячеек в случае реактивной или регенеративной нагрузки.

В вариантах осуществления нагрузка представляет собой одно из однофазной или многофазной резистивной и индуктивной нагрузки, или чисто реактивной нагрузки, или любой тип регенеративной нагрузки.

В вариантах осуществления система управления дополнительно выполнена с возможностью вызывать перенос электрической мощности от элементов накопления энергии силовых ячеек в нагрузку.

В вариантах осуществления система управления дополнительно выполнена с возможностью восстанавливать энергию обратно в накопительные элементы, когда нагрузка представляет собой реактивную или регенеративную нагрузку.

В вариантах осуществления система управления дополнительно выполнена с возможностью балансировать напряжения на элементах накопления энергии.

В вариантах осуществления баланс напряжений включает в себя выбор элементов накопления энергии с минимальным и максимальным напряжениями и определение, следует ли выводить энергию от выбранного элемента накопления энергии.

В вариантах осуществления баланс напряжений включает в себя определение, следует ли выводить энергию от выбранного элемента накопления энергии в нагрузку или вводить энергию от нагрузки в выбранный элемент накопления энергии, когда нагрузка представляет собой реактивную или регенеративную нагрузку.

В вариантах осуществления система управления дополнительно выполнена с возможностью минимизировать коммутацию переключающих элементов через поворот нулевого переключения.

В вариантах осуществления накопительный элемент представляет собой конденсатор.

В вариантах осуществления система управления включает в себя один или несколько процессоров, связанных с некратковременной памятью, содержащей множество инструкций, которые при исполнении побуждают один или несколько процессоров управлять одним или несколькими из формы и уровня тока в нагрузке.

В вариантах осуществления множество инструкций при исполнении побуждают один или несколько процессоров управлять выходным уровнем напряжения преобразователя как функцию уровня тока в нагрузке, опорного тока и ошибки тока, равной разности между уровнем тока в нагрузке и опорным током.

В вариантах осуществления множество инструкций при исполнении побуждают один или несколько процессоров определять напряжение на накопительном элементе для каждой ячейки из множества ячеек, выбирать ячейку из множества ячеек на основе напряжений на накопительных элементах множества ячеек и периодически переключать выбранную ячейку, чтобы обеспечивать требуемый выходной уровень напряжения и регулировку выходного тока.

В вариантах осуществления множество инструкций при исполнении дополнительно побуждают один или несколько процессоров выводить энергию от выбранной ячейки в реактивную или регенеративную нагрузку.

В вариантах осуществления множество инструкций при исполнении дополнительно побуждают один или несколько процессоров выводить энергию от реактивной или регенеративной нагрузки в выбранную ячейку.

В вариантах осуществления множество инструкций при исполнении побуждают один или несколько процессоров обеспечивать нулевое напряжение для первого положительного/отрицательного рабочего уровня ячейки с использованием первого поднабора множества двунаправленных переключателей и обеспечивать нулевое напряжение для второго положительного/отрицательного рабочего уровня ячейки с использованием второго поднабора множества двунаправленных переключателей. В вариантах осуществления первый поднабор отличается от второго поднабора. В вариантах осуществления второй положительный/отрицательный рабочий уровень ячейки представляет собой непосредственно последующий первый положительный/отрицательный рабочий уровень ячейки.

В вариантах осуществления множество инструкций при исполнении побуждают один или несколько процессоров вычитать действительный сигнал тока обратной связи I_{REAL} из опорного сигнала тока I_{REF} , чтобы сформировать сигнал ошибки тока I_{ERROR} .

В вариантах осуществления множество инструкций при исполнении побуждают один или несколько процессоров вводить сигнал ошибки тока I_{ERROR} в каждый блок гистерезиса из множества блоков гистерезиса. В вариантах осуществления каждый блок гистерезиса из множества блоков гистерезиса имеет настройку порога верхней границы (HB) и порога нижней границы (LB) иную, чем другие блоки гистерезиса из множества блоков гистерезиса.

В вариантах осуществления множество инструкций при исполнении побуждают один или несколько процессоров для каждого блока гистерезиса из множества блоков гистерезиса устанавливать выходное значение блока гистерезиса в "1", когда I_{ERROR} достигает порога верхней границы (НВ) блока гистерезиса, поддерживать выходное значение блока гистерезиса на "1", пока I_{ERROR} не достигнет порога нижней границы (ЛВ) блока гистерезиса, и устанавливать выходное значение блока гистерезиса в "0", когда I_{ERROR} достигает порога нижней границы (ЛВ) блока гистерезиса.

В вариантах осуществления множество инструкций при исполнении побуждают один или несколько процессоров суммировать выходные значения всех блоков гистерезиса из множества блоков гистерезиса, чтобы сформировать полное значение состояния.

В вариантах осуществления множество инструкций при исполнении побуждают один или несколько процессоров выбирать требуемый выходной уровень напряжения из поисковой таблицы как функцию полного значения состояния.

В вариантах осуществления выбор требуемого выходного напряжения представляет собой функцию полного значения состояния и знак производной di/dt тока.

В вариантах осуществления производная тока представляет собой одно из действительного или опорного.

В вариантах осуществления знак производной di/dt тока определяется как положительный в момент времени, когда полное значение состояния достигает значения шесть (6).

В вариантах осуществления знак производной di/dt тока определяется как отрицательный в момент времени, когда полное значение состояния достигает значения один (1).

Варианты осуществления настоящего раскрытия направлены на способ балансировки напряжений на множестве ячеек многоквadrантного многоуровневого каскадного преобразователя. В вариантах осуществления способ содержит для каждой ячейки из множества ячеек, определение напряжения на накопительном элементе ячейки. В вариантах осуществления способ дополнительно содержит выбор, на основе напряжений на накопительных элементах множества ячеек, выбранной ячейки из множества ячеек. В вариантах осуществления способ дополнительно содержит повторное переключение выбранной ячейки для обеспечения требуемого выходного уровня напряжения и регулировки выходного тока.

В вариантах осуществления способ дополнительно содержит выведение энергии от выбранной ячейки в реактивную или регенеративную нагрузку.

В вариантах осуществления способ дополнительно содержит выведение энергии от реактивной или регенеративной нагрузки в выбранную ячейку.

В вариантах осуществления накопительные элементы представляют собой конденсаторы.

Варианты осуществления настоящего раскрытия направлены на способ распределения энергии среди множества двунаправленных переключателей ячейки из множества ячеек в многоквadrантном многоуровневом каскадном преобразователе. В вариантах осуществления способ содержит использование первого поднабора множества двунаправленных переключателей, чтобы обеспечивать нулевое напряжение для первого положительного/отрицательного рабочего уровня ячейки, и использование второго поднабора множества двунаправленных переключателей, чтобы обеспечивать нулевое напряжение для второго положительного/отрицательного рабочего уровня ячейки. В вариантах осуществления первый поднабор отличается от второго поднабора. В вариантах осуществления второй положительный/отрицательный рабочий уровень ячейки представляет собой непосредственно последующий первый положительный/отрицательный рабочий уровень ячейки.

Варианты осуществления настоящего раскрытия направлены на способ выбора требуемого выходного уровня напряжения многоквadrантного многоуровневого каскадного преобразователя. В вариантах осуществления способ содержит вычитание действительного сигнала тока обратной связи I_{REAL} из опорного сигнала тока I_{REF} , чтобы сформировать сигнал ошибки тока I_{ERROR} . В вариантах осуществления способ дополнительно содержит введение сигнала ошибки тока I_{ERROR} в каждый блок гистерезиса из множества блоков гистерезиса. В вариантах осуществления каждый блок гистерезиса из множества блоков гистерезиса имеет настройку порога верхней границы (НВ) и порога нижней границы (ЛВ) иную, чем другие блоки гистерезиса из множества блоков гистерезиса.

В вариантах осуществления способ дополнительно содержит для каждого блока гистерезиса из множества блоков гистерезиса, когда I_{ERROR} достигает порога верхней границы (НВ) блока гистерезиса, установку выходного значения блока гистерезиса в "1".

В вариантах осуществления способ дополнительно содержит поддержание выходного значения блока гистерезиса на "1", пока I_{ERROR} не достигнет порога нижней границы (ЛВ) блока гистерезиса.

В вариантах осуществления способ дополнительно содержит, когда I_{ERROR} достигает порога нижней границы (ЛВ) блока гистерезиса, установку выходного значения блока гистерезиса в "0".

В вариантах осуществления способ дополнительно содержит суммирование выходных значений всех блоков гистерезиса из множества блоков гистерезиса, чтобы сформировать полное значение состояния.

В вариантах осуществления способ дополнительно содержит выбор, из поисковой таблицы на основе полного значения состояния, требуемого выходного уровня напряжения.

В вариантах осуществления выбор требуемого выходного напряжения основан на полном значении состояния и знаке производной di/dt тока.

В вариантах осуществления производная тока представляет собой одно из действительного или опорного.

В вариантах осуществления знак производной di/dt тока определяется как положительный в момент времени, когда полное значение состояния достигает значения шесть (6).

В вариантах осуществления знак производной di/dt тока определяется как отрицательный в момент времени, когда полное значение состояния достигает значения один (1).

Все признаки, элементы, компоненты, функции и этапы, описанные в связи с любым вариантом осуществления, предложенным в настоящем документе, подразумеваются свободно комбинируемыми и заменяемыми таковыми из любого другого варианта осуществления. Если некоторый признак, элемент, компонент, функция или этап описан в отношении только одного варианта осуществления, то следует понимать, что этот признак, элемент, компонент, функция или этап может использоваться с любым другим вариантом осуществления, описанным в настоящем документе, если только явно не указано иное. Таким образом, настоящая абзац служит в качестве предшествующего обоснования и письменной поддержки для введения пунктов формулы изобретения, в любое время, которые комбинируют признаки, элементы, компоненты, функции и этапы из различных вариантов осуществления или которые заменяют признаки, элементы, компоненты, функции и этапы из одного варианта осуществления таковыми из других, даже если последующее описание явно не указывает, в конкретном случае, что такие комбинации или замены возможны. Выражать перечисление каждой возможной комбинации и замены является чрезмерно обременительным, особенно с учетом того, что допустимость каждой такой комбинации и замены будет легко понятна для специалистов в данной области техники на основе изучения настоящего описания.

Во многих случаях объекты описаны здесь как связанные с другими объектами. Следует понимать, что термины "связанный" и "соединенный" или любая из их форм используются здесь взаимозаменяемым образом и в обоих случаях являются родовыми для прямой связи двух объектов без каких-либо существенных, например паразитных промежуточных объектов, и для опосредованной связи двух объектов с одним или несколькими существенными промежуточными объектами. Если объекты показаны как непосредственно связанные друг с другом или описаны как связанные друг с другом без описания какого-либо промежуточного объекта, следует понимать, что эти объекты также могут быть опосредованно связанными между собой, если только контекст явно не предписывает иное.

В то время как варианты осуществления допускают различные модификации и альтернативные формы, конкретные их примеры показаны на чертежах и описаны здесь подробно. Однако следует понимать, что эти варианты осуществления не должны быть ограничены конкретной раскрытой формой, а наоборот, эти варианты осуществления должны охватывать все модификации, эквиваленты и альтернативы, попадающие в пределы сущности раскрытия. Кроме того, любые признаки, функции, этапы или элементы вариантов осуществления могут излагаться или добавляться в формулу изобретения, как и негативные ограничения, которые определяют объем пунктов формулы изобретения признаками, функциями, этапами или элементами, которые не находятся в пределах этого объема.

ФОРМУЛА ИЗОБРЕТЕНИЯ

1. Многоквadrантный многоуровневый каскадный преобразователь, соединяемый с нагрузкой, содержащий

множество ячеек, соединенных последовательно,

причем каждая ячейка из множества ячеек представляет H-мостовой преобразователь и содержит множество двунаправленных переключателей и накопительный элемент; и

систему гистерезисного управления током, связанную с множеством ячеек, причем система управления выполнена с возможностью управлять одним или более из формы и уровня тока в нагрузке и определять сигнал ошибки тока I_{ERROR} на основании сравнения действительного сигнала тока обратной связи I_{REAL} и опорного сигнала тока I_{REF} ;

формировать полное значение состояния на основании сигнала ошибки тока I_{ERROR} ;

выбирать требуемое выходное напряжение преобразователя на основании полного значения состояния, причем требуемое выходное напряжение компенсирует сигнал ошибки тока I_{ERROR} ; и

выбирать состояния переключения для множества двунаправленных переключателей множества ячеек частично на основании выбранного требуемого выходного напряжения.

2. Преобразователь по п.1, содержащий четыре (4) квадранта и девять (9) выходных уровней.

3. Преобразователь по п.2, содержащий четыре (4) ячейки, соединенные последовательно, и причем каждая ячейка представляет четырехквadrантный H-мостовой преобразователь.

4. Преобразователь по п.3, причем каждая ячейка из множества ячеек содержит четыре (4) двунаправленных переключателя и накопительный элемент.

5. Преобразователь по п.1, содержащий два (2) квадранта и девять (9) выходных уровней.

6. Преобразователь по п.5, содержащий четыре (4) ячейки, соединенные последовательно, и причем каждая ячейка представляет двухквadrантный H-мостовой преобразователь.

7. Преобразователь по п.6, причем каждая ячейка из множества ячеек содержит два (2) двунаправленных переключателя, два (2) диода и накопительный элемент.

8. Преобразователь по п.1, причем каждый двунаправленный переключатель содержит IGBT или MOSFET с диодом свободного хода.

9. Преобразователь по п.1, причем изолированный преобразователь представляет собой одно из изолированного преобразователя AC/DC или изолированного преобразователя DC/AC.

10. Преобразователь по п.1, причем электрическая мощность может переноситься от каждой ячейки из множества ячеек в нагрузку и причем электрическая мощность может переноситься от нагрузки в каждую ячейку из множества ячеек в случае реактивной или регенеративной нагрузки.

11. Преобразователь по пп.1-10, причем нагрузка представляет собой одно из однофазной или многофазной резистивной и индуктивной нагрузки, или чисто реактивной нагрузки, или любого типа регенеративной нагрузки.

12. Преобразователь по п.11, причем система управления дополнительно выполнена с возможностью вызывать перенос электрической мощности от элементов накопления энергии силовых ячеек в нагрузку.

13. Преобразователь по п.12, причем система управления дополнительно выполнена с возможностью восстанавливать энергию обратно в накопительные элементы, когда нагрузка представляет собой реактивную или регенеративную нагрузку.

14. Преобразователь по п.12, причем система управления дополнительно выполнена с возможностью балансировать напряжения на элементах накопления энергии.

15. Преобразователь по п.14, причем баланс напряжений включает в себя выбор элементов накопления энергии с минимальным и максимальным напряжениями и определение, следует ли выводить энергию от выбранного элемента накопления энергии.

16. Преобразователь по п.15, причем баланс напряжений включает в себя определение, следует ли выводить энергию от выбранного элемента накопления энергии в нагрузку или вводить энергию от нагрузки в выбранный элемент накопления энергии, когда нагрузка представляет собой реактивную или регенеративную нагрузку.

17. Преобразователь по п.12, причем система управления дополнительно выполнена с возможностью минимизировать коммутацию переключающих элементов через поворот нулевого переключения.

18. Преобразователь по п.1, причем накопительный элемент представляет собой конденсатор.

19. Преобразователь по пп.1-18, причем система управления включает в себя один или несколько процессоров, связанных с некрatковременной памятью, содержащей множество инструкций, которые при исполнении побуждают один или несколько процессоров управлять одним или более из формы и уровня тока в нагрузке.

20. Преобразователь по п.19, причем множество инструкций при исполнении побуждают один или несколько процессоров управлять выходным уровнем напряжения преобразователя в зависимости от уровня тока в нагрузке, опорного тока и ошибки тока, равной разности между уровнем тока в нагрузке и опорным током.

21. Преобразователь по п.19, причем множество инструкций при исполнении побуждают один или несколько процессоров

определять напряжение на накопительном элементе для каждой ячейки из множества ячеек;

выбирать ячейку из множества ячеек на основе напряжений на накопительных элементах множества ячеек и

повторно переключать выбранную ячейку, чтобы обеспечивать требуемый выходной уровень напряжения и регулировку выходного тока.

22. Преобразователь по п.21, причем множество инструкций при исполнении дополнительно побуждают один или несколько процессоров выводить энергию от выбранной ячейки в реактивную или регенеративную нагрузку.

23. Преобразователь по п.21, причем множество инструкций при исполнении дополнительно побуждают один или несколько процессоров выводить энергию от реактивной или регенеративной нагрузки в выбранную ячейку.

24. Преобразователь по п.19, причем множество инструкций при исполнении побуждают один или несколько процессоров

обеспечивать нулевое напряжение для первого положительного/отрицательного рабочего уровня ячейки с использованием первого поднабора множества двунаправленных переключателей и

обеспечивать нулевое напряжение для второго положительного/отрицательного рабочего уровня ячейки с использованием второго поднабора множества двунаправленных переключателей;

причем первый поднабор отличается от второго поднабора и причем второй положительный/отрицательный рабочий уровень ячейки непосредственно следует за первым положительным/отрицательным рабочим уровнем ячейки.

25. Преобразователь по п.19, причем множество инструкций при исполнении побуждает один или несколько процессоров

вычитать действительный сигнал тока обратной связи I_{REAL} из опорного сигнала тока I_{REF} , чтобы формировать сигнал ошибки тока I_{ERROR} ;

вводить сигнал ошибки тока I_{ERROR} в каждый блок гистерезиса из множества блоков гистерезиса, причем каждый блок гистерезиса из множества блоков гистерезиса имеет настройку порога верхней границы (НВ) и порога нижней границы (ЛВ) иную, чем другие блоки гистерезиса из множества блоков гистерезиса;

для каждого блока гистерезиса из множества блоков гистерезиса

устанавливать выходное значение блока гистерезиса в "1", когда I_{ERROR} достигает порога верхней границы (НВ) блока гистерезиса;

поддерживать выходное значение блока гистерезиса на "1", пока I_{ERROR} не достигнет порога нижней границы (ЛВ) блока гистерезиса; и

устанавливать выходное значение блока гистерезиса в "0", когда I_{ERROR} достигает порога нижней границы (ЛВ) блока гистерезиса;

суммировать выходные значения всех блоков гистерезиса из множества блоков гистерезиса, чтобы сформировать полное значение состояния;

выбирать требуемый выходной уровень напряжения из поисковой таблицы в зависимости от полного значения состояния.

26. Преобразователь по п.25, причем выбор требуемого выходного напряжения представляет собой функцию полного значения состояния и знака производной di/dt тока.

27. Преобразователь по п.26, причем производная тока представляет собой одно из действительного или опорного.

28. Преобразователь по п.26, причем знак производной di/dt тока определяется как положительный в момент времени, когда полное значение состояния достигает значения шесть (6).

29. Преобразователь по п.26, причем знак производной di/dt тока определяется как отрицательный в момент времени, когда полное значение состояния достигает значения один (1).

30. Преобразователь по п.1, причем, чтобы формировать полное значение состояния, представляющее требуемое выходное напряжение преобразователя, которое компенсирует сигнал ошибки тока I_{ERROR} , система управления выполнена с возможностью

оценивать, пересекает ли сигнал ошибки тока I_{ERROR} множество пороговых значений тока; и

формировать полное значение состояния на основании количества множества пересеченных пороговых значений тока.

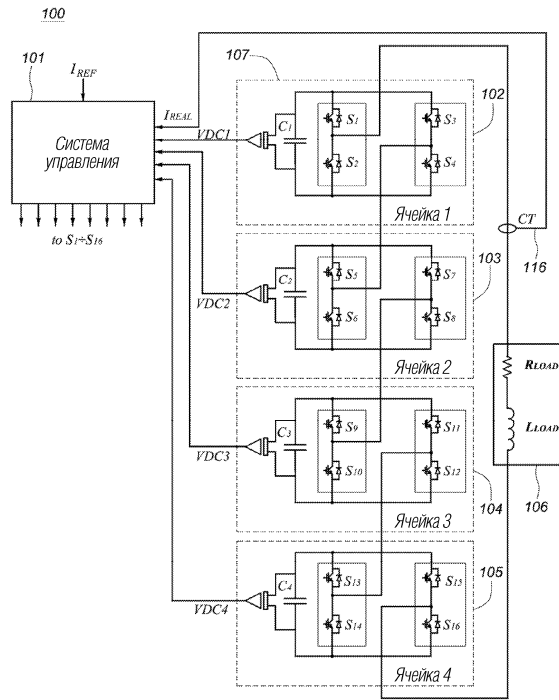
31. Преобразователь по п.30, причем система управления дополнительно выполнена с возможностью выбирать требуемое выходное напряжение на основании полного значения состояния и, по меньшей мере, полярности производной тока (di/dt).

32. Преобразователь по п.31, причем преобразователь выполнен с возможностью выбирать требуемое выходное напряжение из дискретного набора выходных напряжений, соответствующих количеству ячеек, соединенных последовательно.

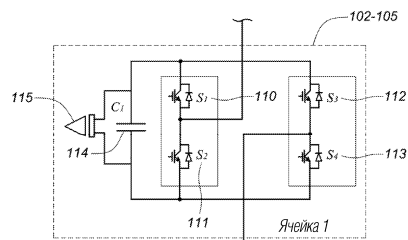
33. Преобразователь по п.31, причем система управления содержит блок оценки, выполненный с возможностью оценивать полярность производной тока (di/dt) на основании полного значения состояния.

34. Преобразователь по п.30, причем множество пороговых значений тока содержит множество верхних пороговых значений тока и множество нижних пороговых значений тока и причем система управления содержит много блоков гистерезиса, каждый блок гистерезиса ассоциирован с отличным значением из множества верхних пороговых значений тока и отличным значением из множества нижних пороговых значений тока.

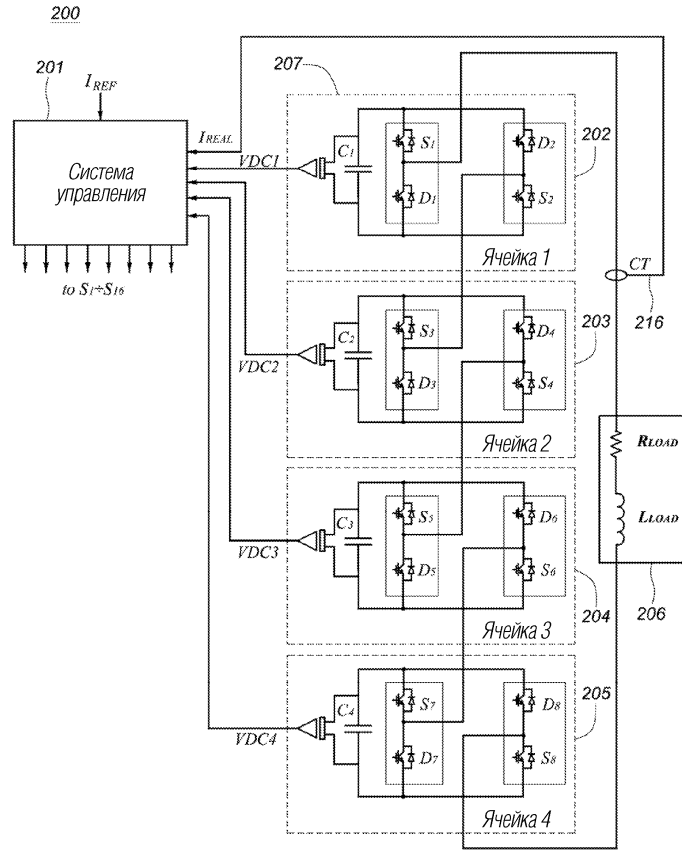
35. Преобразователь по п.34, причем каждый блок гистерезиса выполнен с возможностью выводить первый сигнал, если пересечено ассоциированное верхнее пороговое значение тока, и второй сигнал, если пересечено ассоциированное нижнее пороговое значение тока, причем первый и второй сигналы отличаются.



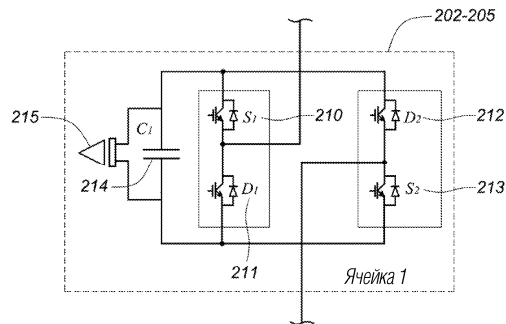
Фиг. 1А



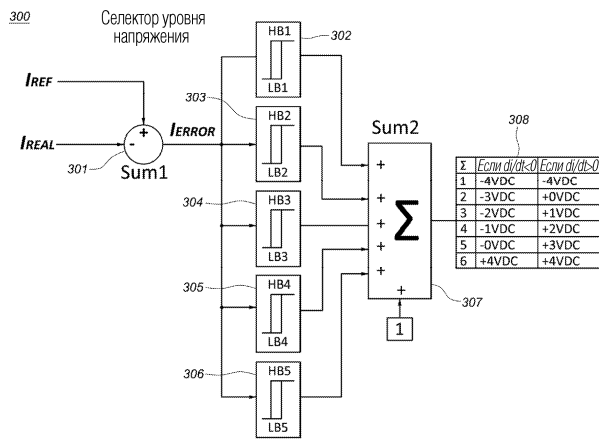
Фиг. 1В



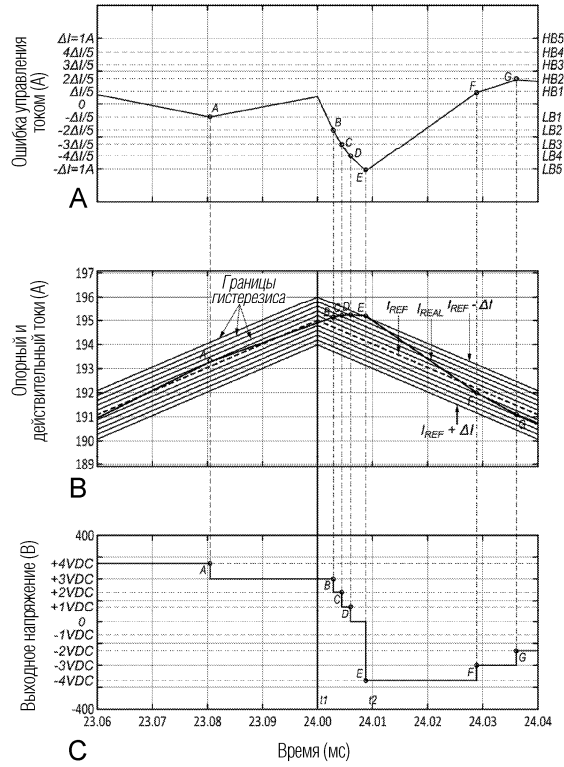
Фиг. 2А



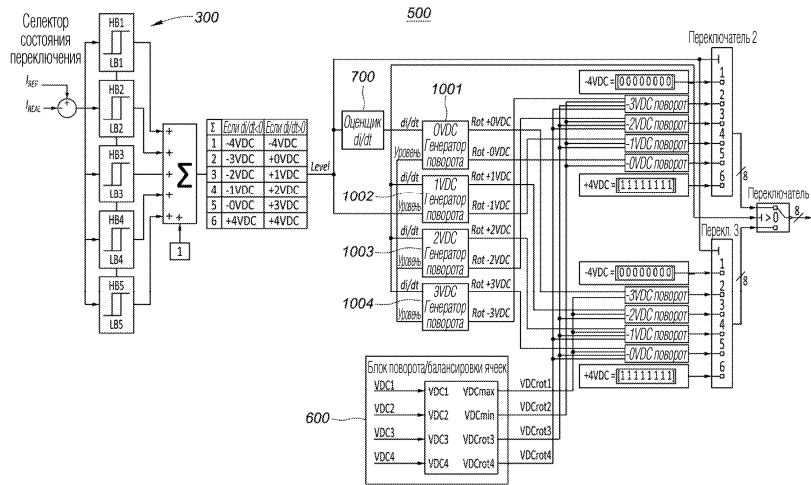
Фиг. 2В



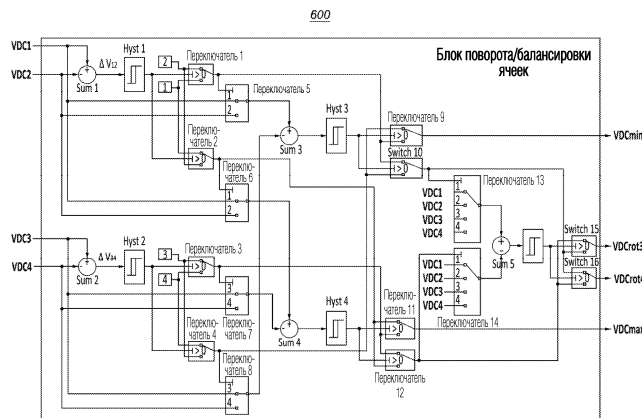
Фиг. 3



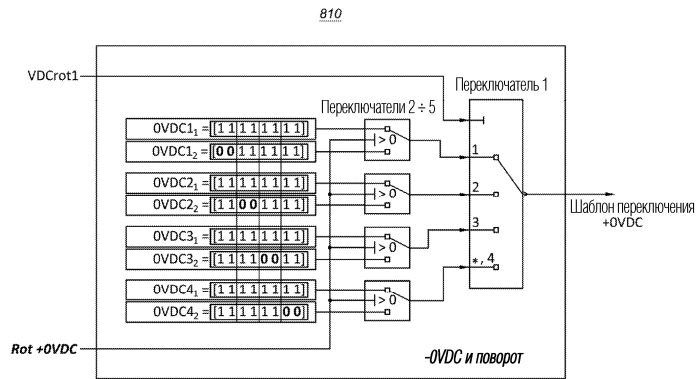
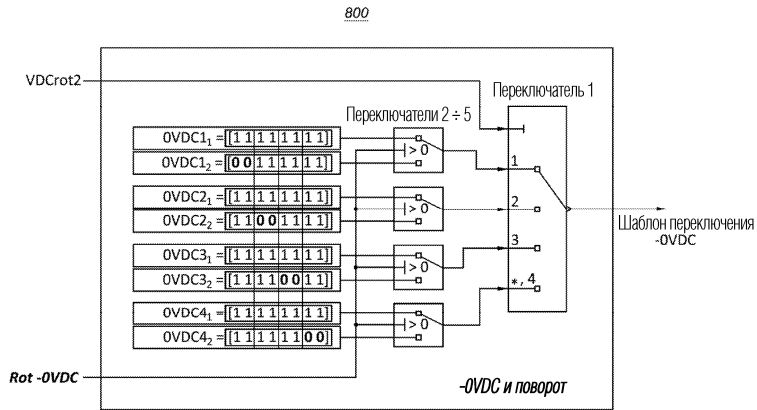
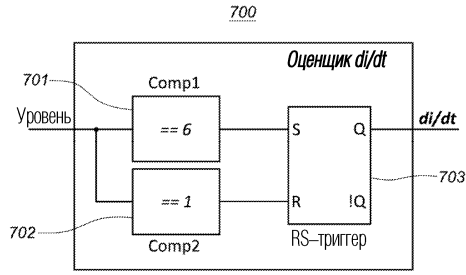
Фиг. 4

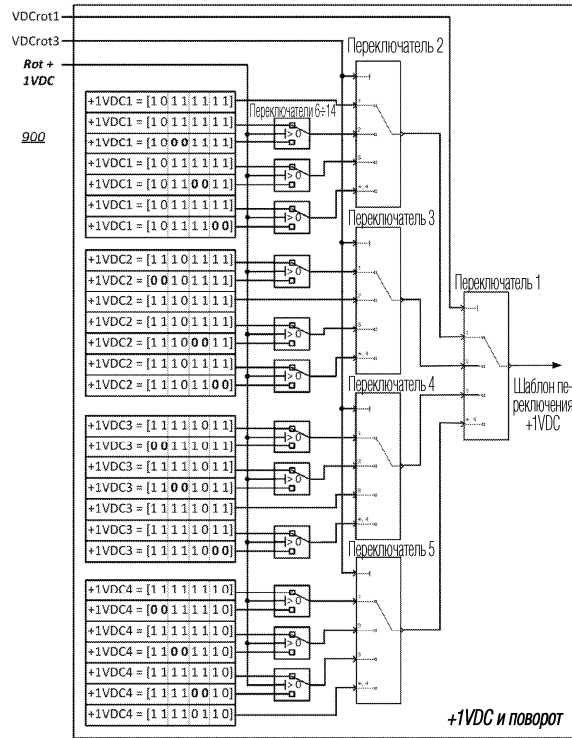


Фиг. 5

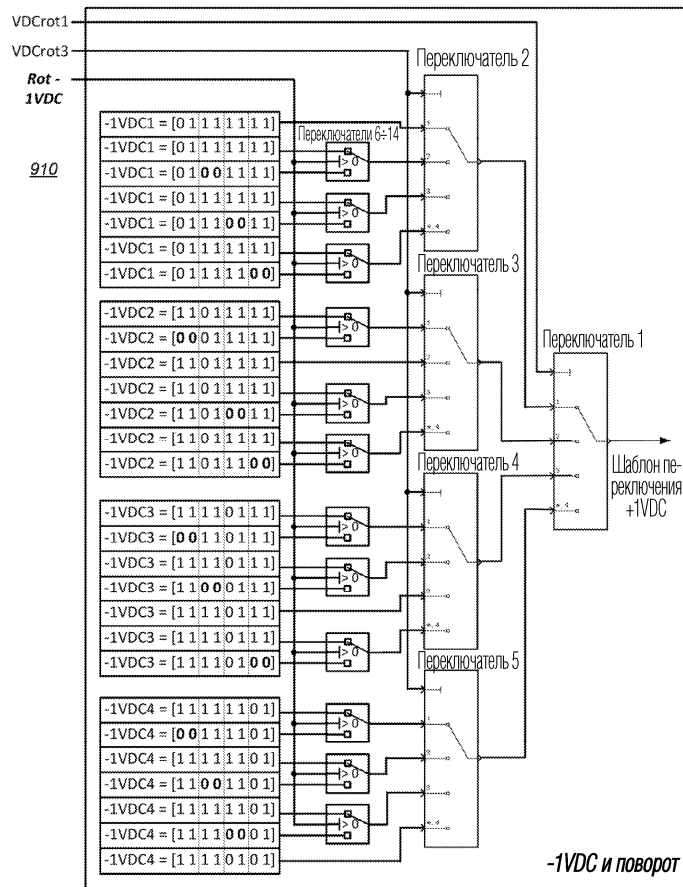


Фиг. 6

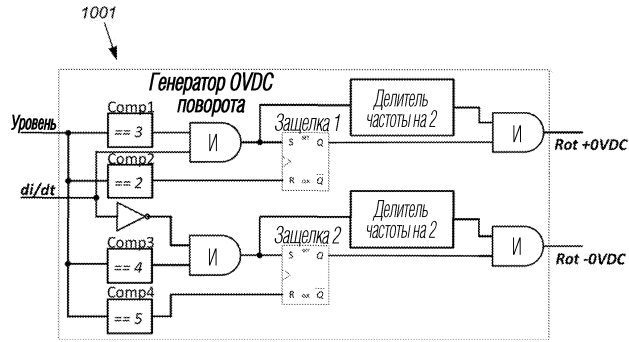




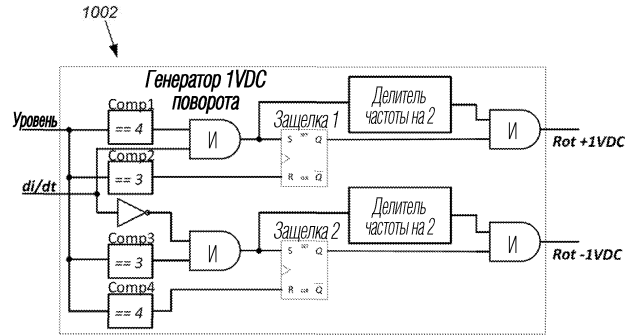
Фиг. 9А



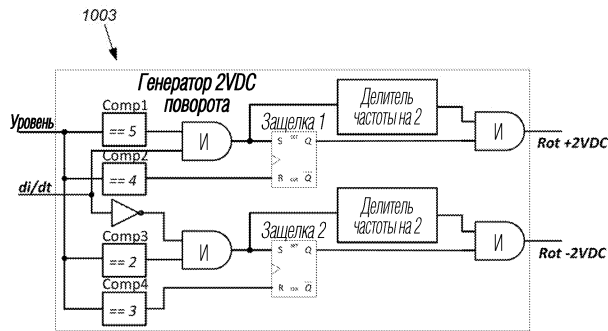
Фиг. 9В



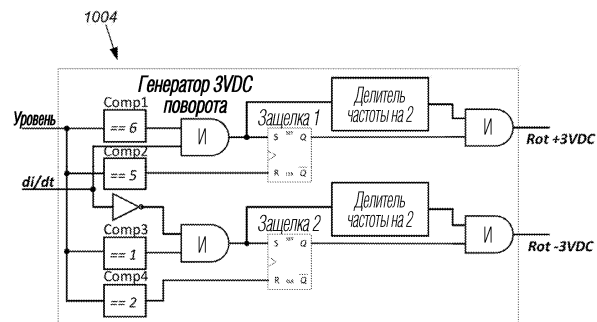
Фиг. 10А



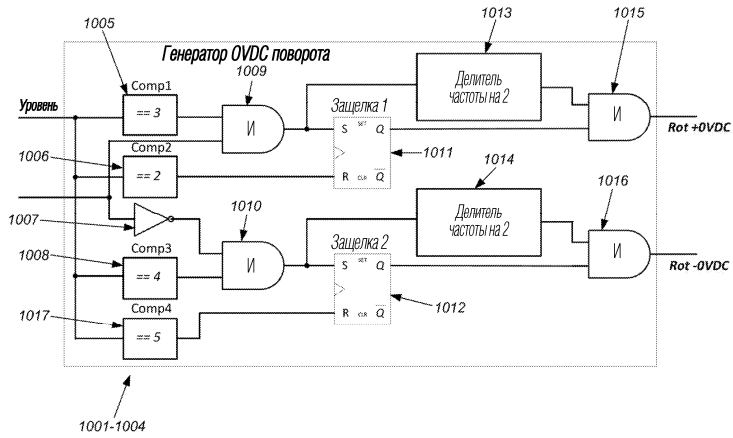
Фиг. 10В



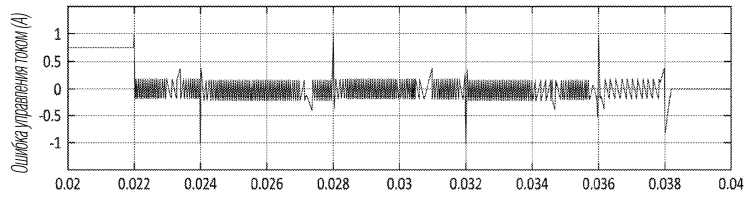
Фиг. 10С



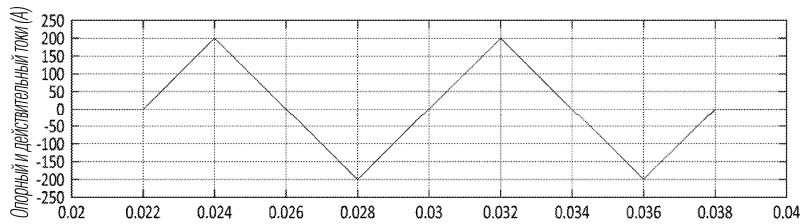
Фиг. 10D



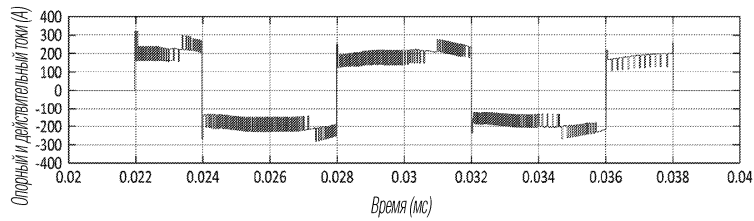
Фиг. 10Е



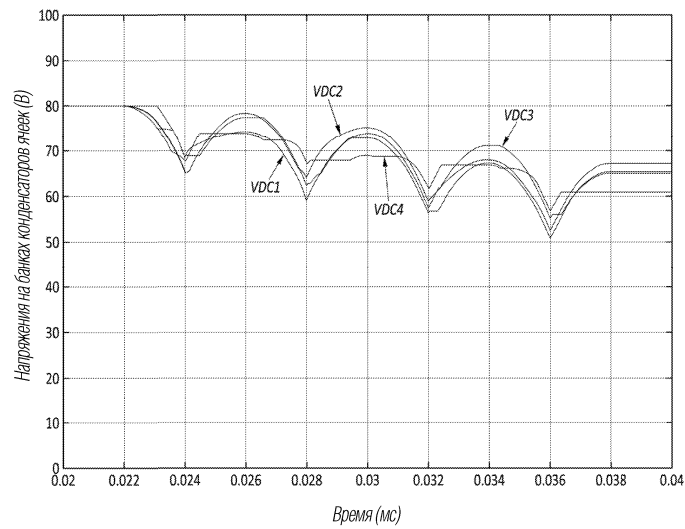
Фиг. 11А



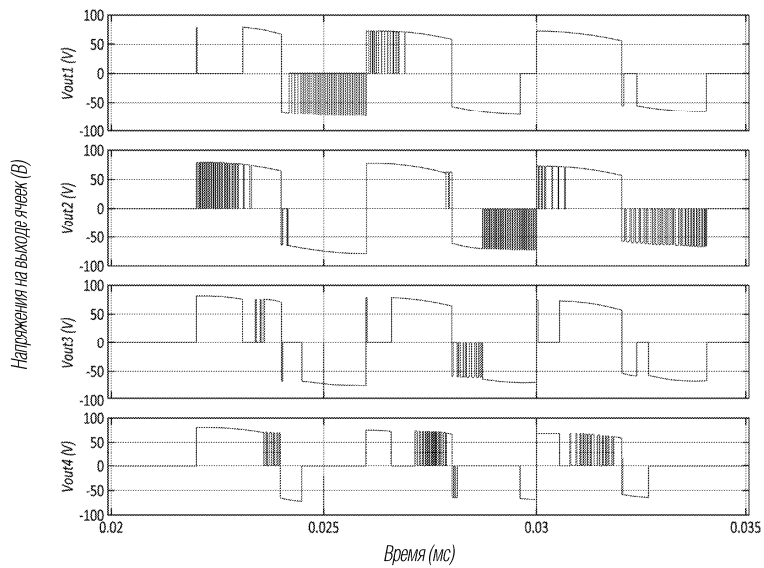
Фиг. 11В



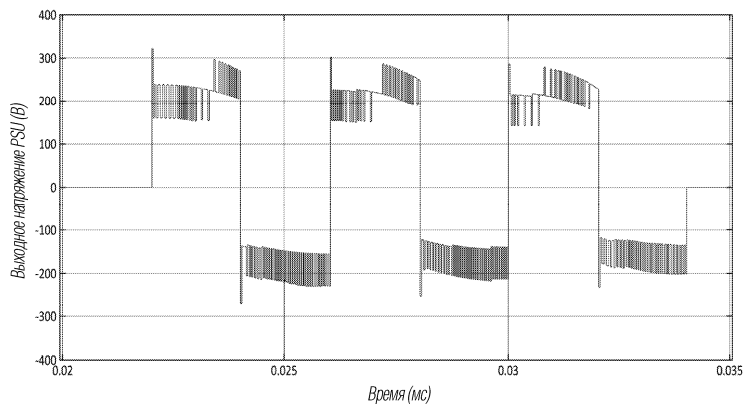
Фиг. 11С



Фиг. 12

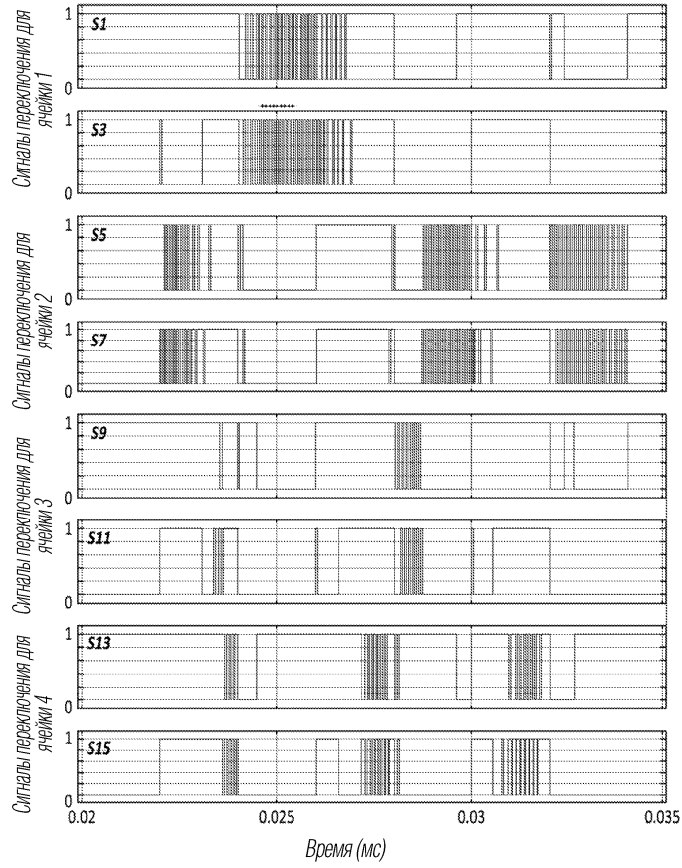


Фиг. 13А

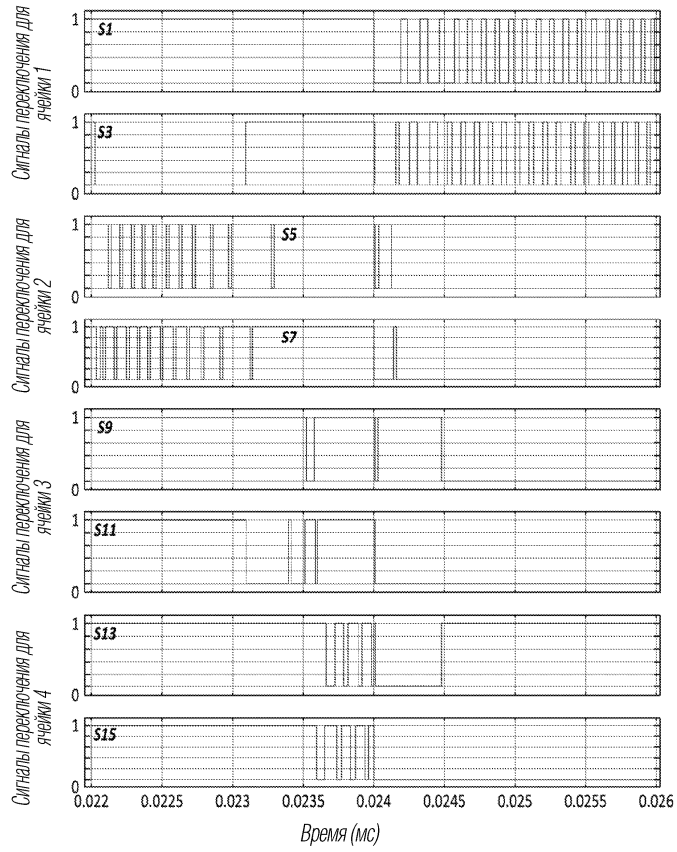


Фиг. 13В

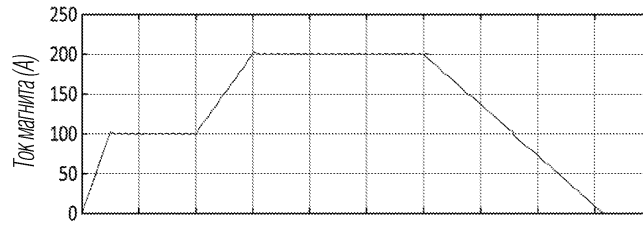
040288



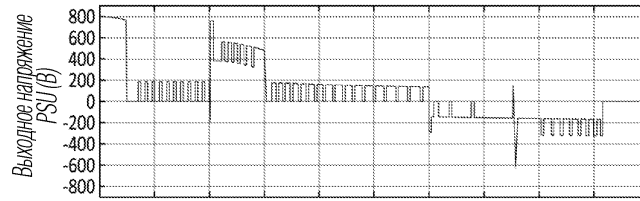
Фиг. 14А



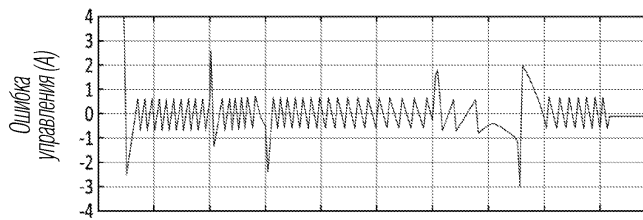
Фиг. 14В



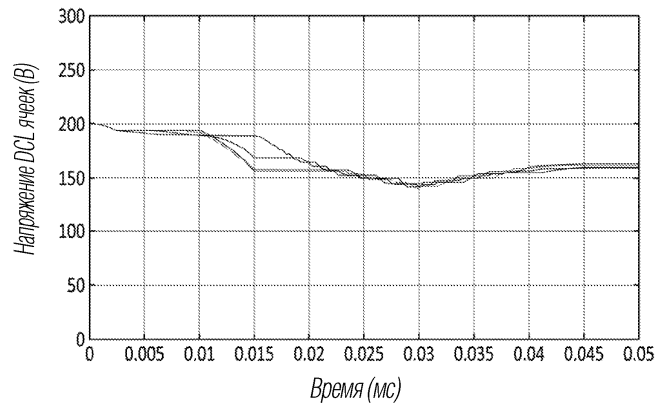
Фиг. 15А



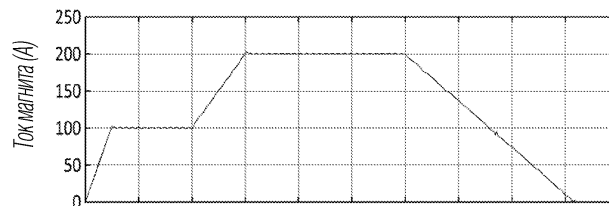
Фиг. 15В



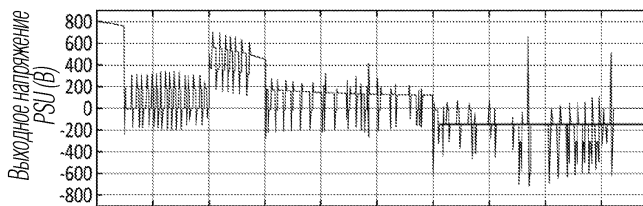
Фиг. 15С



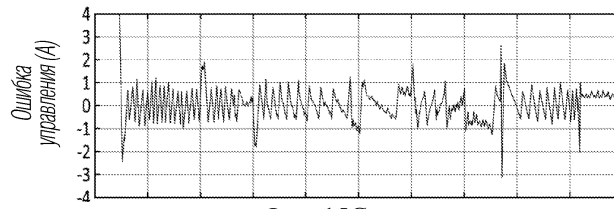
Фиг. 15D



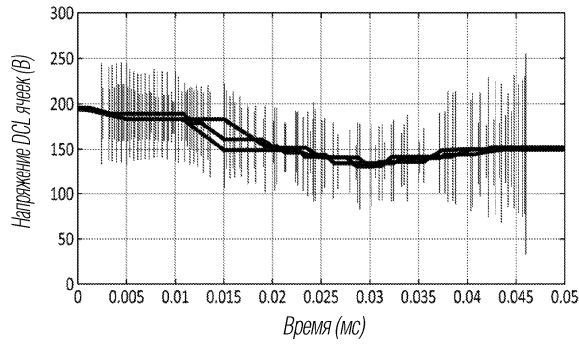
Фиг. 15E



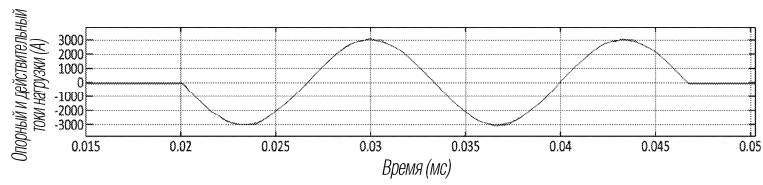
Фиг. 15F



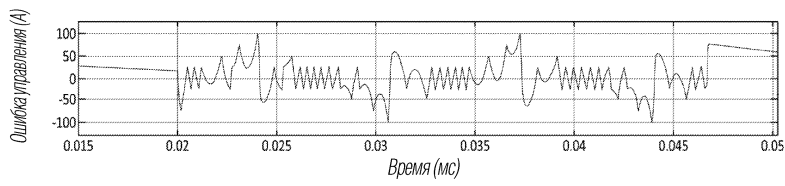
Фиг. 15G



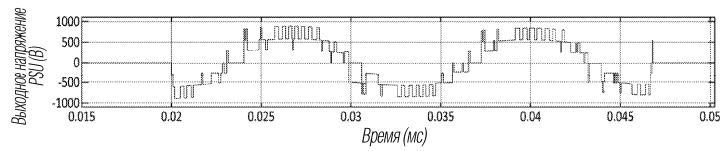
Фиг. 15H



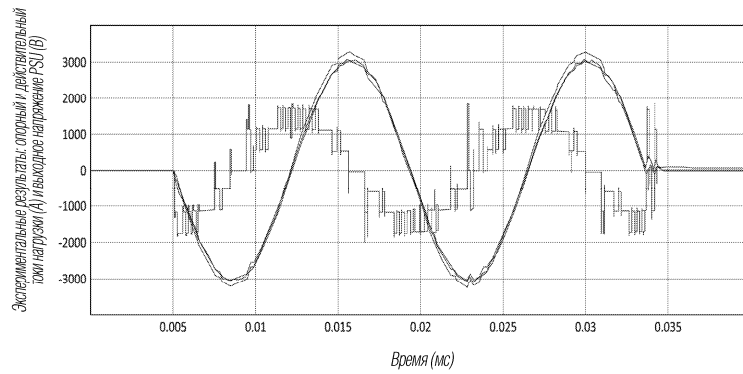
Фиг. 16А



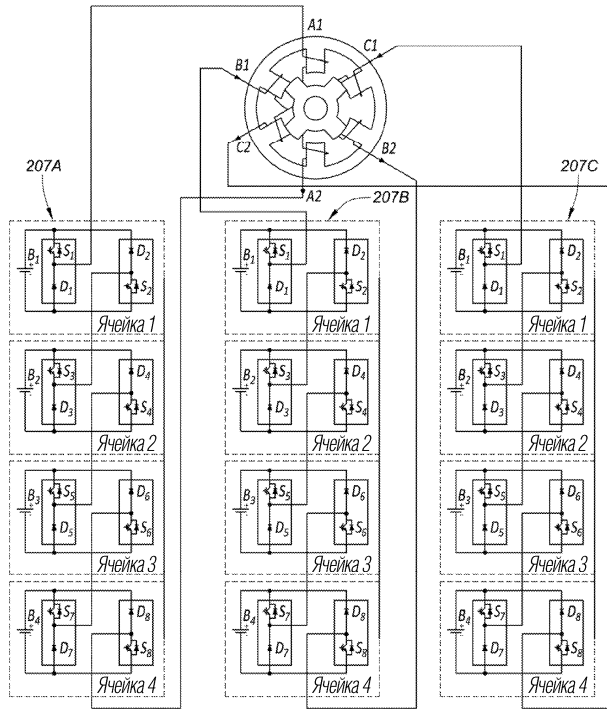
Фиг. 16В



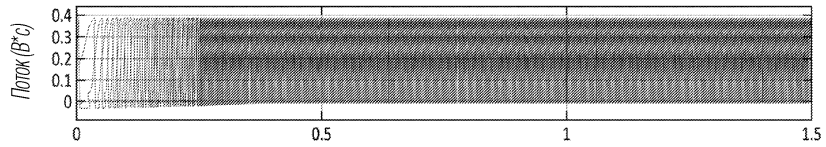
Фиг. 16С



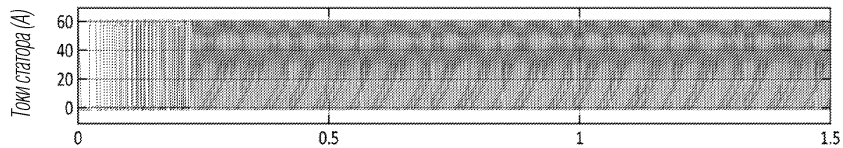
Фиг. 16D



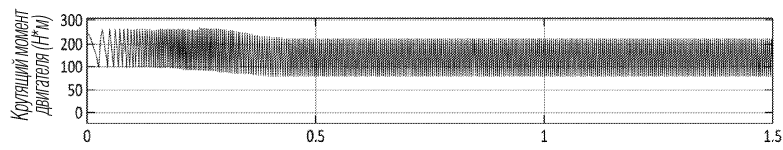
Фиг. 17



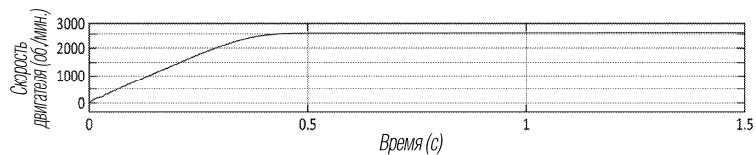
Фиг. 18А



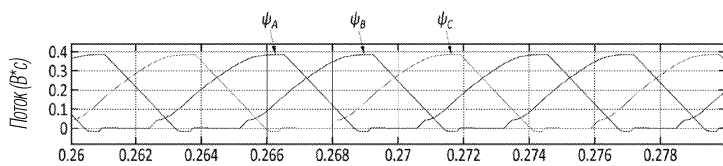
Фиг. 18В



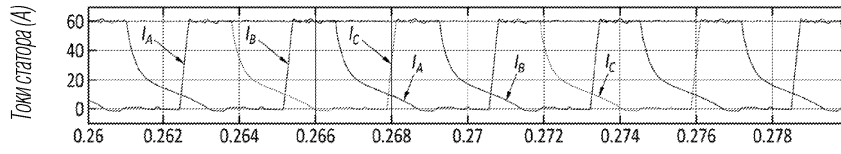
Фиг. 18С



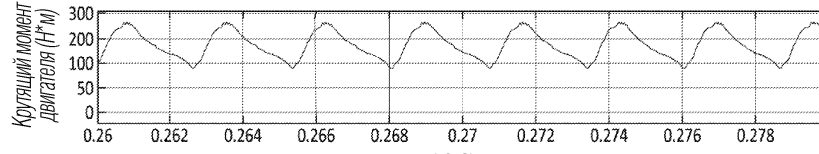
Фиг. 18D



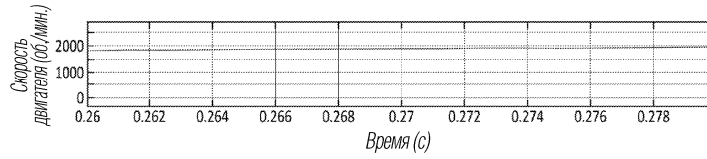
Фиг. 19А



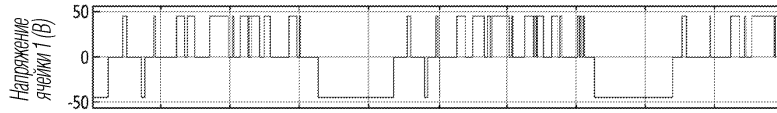
Фиг. 19В



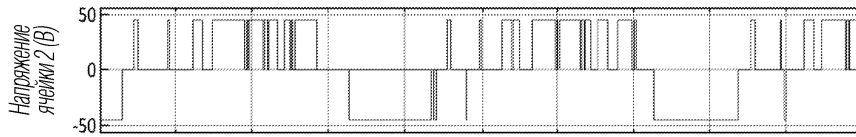
Фиг. 19С



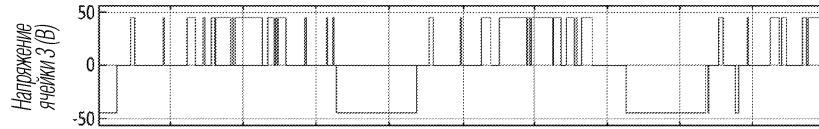
Фиг. 19D



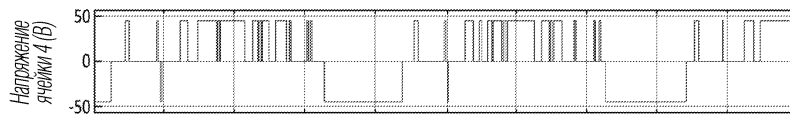
Фиг. 20А



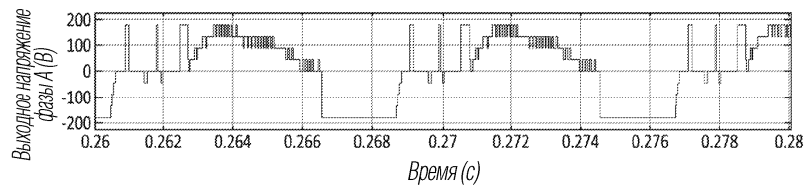
Фиг. 20В



Фиг. 20С



Фиг. 20D



Фиг. 20E

