

(19)



Евразийское
патентное
ведомство

(11) 037756

(13) B1

(12) ОПИСАНИЕ ИЗОБРЕТЕНИЯ К ЕВРАЗИЙСКОМУ ПАТЕНТУ

(45) Дата публикации и выдачи патента
2021.05.18

(21) Номер заявки
202090576

(22) Дата подачи заявки
2012.05.18

(51) Int. Cl. H03M 13/27 (2006.01)
H03M 13/19 (2006.01)

(54) МОДУЛЬ ПАРАЛЛЕЛЬНОГО ПЕРЕМЕЖЕНИЯ БИТОВ

(31) 11004124.1

(32) 2011.05.18

(33) EP

(43) 2020.06.30

(62) 201991080; 2012.05.18

(71)(73) Заявитель и патентовладелец:
ПАНАСОНИК КОРПОРЕЙШН (JP)

(72) Изобретатель:
Петров Михаил (DE)

(74) Представитель:
Медведев В.Н. (RU)

(56) WO-A1-2010024914
WO-A1-2009116204
JP-A-2008125085
US-B2-8171374
RU-C2-2450442

(57) Этот способ перемежения битов выполняет перестановку битов для слов QC-LDPC-кода, состоящих из N циклических блоков из Q битов, и сегментирует упомянутые обработанные кодовые слова на несколько слов созвездия, состоящих из M битов. Кодовые слова сегментируются на F×N/M секций свертки, и каждое слово созвездия ассоциируется с одной из F×N/M секций свертки. Обработка перестановки битов выполняется таким образом, что слова созвездия состоят из F битов из каждого из M/F различных циклических блоков в ассоциированной секции свертки.

037756 B1

037756 B1

037756

B1

Область техники, к которой относится изобретение

Настоящее раскрытие сущности относится к области техники цифровой связи, а более конкретно, к модулю перемежения битов для системы кодирования и модуляции с перемежением битов с квазициклическими кодами разреженного контроля по четности.

Уровень техники

В последние годы системы кодирования и модуляции с перемежением битов (в дальнейшем в этом документе, ВИСМ) использованы в области техники цифровой связи (см., например, непатентный документ 1).

ВИСМ-системы, в общем, включают выполнение трех этапов.

- (1) Кодирование блоков данных в кодовые слова с использованием, например, квазициклического кода разреженного контроля по четности (в дальнейшем в этом документе, QC-LDPC) и т.п.
- (2) Выполнение перемежения битов для битов каждого кодового слова.
- (3) Разделение каждого кодового слова с перемежением битов на слова созвездия, имеющие число битов созвездия, и преобразование слов созвездия в созвездия.

Список библиографических ссылок. Патентные документы

Патентный документ 1.

ETSI EN 302 755 V1.2.1 (DVB-T2-стандарты).

Сущность изобретения. Техническая задача

Типично, требуется эффективность при перемежении, применяемом к кодовым словам квазициклических кодов разреженного контроля по четности.

Настоящее раскрытие сущности направлено на предоставление способа перемежения, обеспечивающего применение эффективного перемежения к кодовым словам квазициклических кодов разреженного контроля по четности.

Решение задачи

Чтобы достичь вышеуказанной цели, способ перемежения битов для системы связи с использованием квазициклических кодов разреженного контроля по четности содержит: этап приема для приема кодового слова квазициклических кодов разреженного контроля по четности, состоящих из N циклических блоков, каждый из которых включает в себя Q битов; этап перестановки битов для применения процесса перестановки битов к кодовому слову таким образом, чтобы переставлять биты в кодовом слове; и этап разделения для разделения кодового слова, после процесса перестановки битов, на множество слов созвездия, причем каждое из слов созвездия состоит из M битов и указывает одну из 2^M точек созвездия в предварительно определенном созвездии, при этом до процесса перестановки битов, кодовое слово разделяется на $F \times N/M$ секций свертки, при этом F является целым числом, большим единицы, причем каждая из секций свертки включает в себя M/F циклических блоков, и каждое из слов созвездия ассоциировано с одной из $F \times N/M$ секций свертки, и на этапе перестановки битов, процесс перестановки битов применяется таким образом, что M битов в каждом из слов созвездия включают в себя F битов из каждого из M/F различных циклических блоков в данной секции свертки, ассоциированной с данным словом созвездия, и таким образом, что все биты в данной секции свертки преобразуются только в Q/F слов созвездия, ассоциированных с данной секцией свертки.

Преимущества изобретения

Способ перемежения битов согласно настоящему изобретению обеспечивает применение эффективного перемежения к кодовым словам квазициклических кодов разреженного контроля по четности.

Краткое описание чертежей

Фиг. 1 является блок-схемой, показывающей конфигурацию передающего устройства, которое включает в себя типичный ВИСМ-кодер.

Фиг. 2 иллюстрирует пример матрицы контроля по четности для квазициклических кодов разреженного контроля по четности, имеющих скорость кодирования $1/2$.

Фиг. 3 иллюстрирует пример матрицы контроля по четности для квазициклических кодов разреженного контроля по четности с повторением и накоплением, имеющих скорость кодирования $2/3$.

Фиг. 4 иллюстрирует матрицу контроля по четности для квазициклических кодов разреженного контроля по четности с повторением и накоплением по фиг. 3 после перестановки строк.

Фиг. 5 иллюстрирует матрицу контроля по четности для квазициклических кодов разреженного контроля по четности с повторением и накоплением по фиг. 3 после перестановки строк и перестановки четности.

Фиг. 6 описывает различные уровни устойчивости битов, кодированных в восьми РАМ-символах.

Фиг. 7 является блок-схемой, показывающей конфигурацию типичного модуля перемежения битов, в которой циклический коэффициент Q равен 8, число циклических блоков на каждое кодовое слово N разреженного контроля по четности равно 12, а число битов на каждое созвездие M равно 4.

Фиг. 8А является блок-схемой, показывающей конфигурацию DVB-T2-модулятора, используемого в DVB-T2-стандарте, а фиг. 8В является блок-схемой, показывающей конфигурацию ВИСМ-кодера для DVB-T2-модулятора по фиг. 8А.

Фиг. 9А иллюстрирует процесс записи для битов кодового слова в 16 кбит (т.е. LDPC-кода, в котором длина кодовых LDPC-слов составляет 16200 битов), выполняемый посредством модуля перемежения столбцов и строк, имеющего двенадцать столбцов, а фиг. 9В иллюстрирует процесс считывания для битов кодового слова, записанного способом, указываемым посредством фиг. 9А, выполняемый посредством модуля перемежения столбцов и строк.

Фиг. 10А иллюстрирует процесс записи для битов кодового слова в 16 кбит, выполняемый посредством модуля перемежения столбцов и строк, имеющего восемь столбцов, а фиг. 10В иллюстрирует процесс считывания для битов кодового слова, записанного способом, указываемым посредством фиг. 10А, выполняемый посредством модуля перемежения столбцов и строк.

Фиг. 11 является блок-схемой, показывающей конфигурацию демультиплексора из битов в ячейки, используемого для кодов в 16 кбит 16-QAM в DVB-T2-стандарте.

Фиг. 12 является блок-схемой, показывающей конфигурацию демультиплексора из битов в ячейки, используемого для кодов в 64 кбит 64-QAM в DVB-T2-стандарте.

Фиг. 13 является блок-схемой, показывающей конфигурацию демультиплексора из битов в ячейки, используемого для кодов в 16 кбит 256-QAM в DVB-T2-стандарте.

Фиг. 14 иллюстрирует проблему, возникающую для кодов в 16 кбит с модулем восьмистолбцового перемежения битов по DVB-T2-стандарту.

Фиг. 15 иллюстрирует проблему, возникающую для кодов в 16 кбит с модулем двенадцатистолбцового перемежения битов по DVB-T2-стандарту.

Фиг. 16 иллюстрирует проблему, возникающую для кодов в 16 кбит с модулем восьмистолбцового перемежения битов по DVB-T2-стандарту, когда применяется "закручивание" столбцов.

Фиг. 17 иллюстрирует проблему, возникающую для кодов в 16 кбит с модулем двенадцатистолбцового перемежения битов по DVB-T2-стандарту, когда применяется "закручивание" столбцов.

Фиг. 18А и 18В, соответственно, иллюстрируют первое и второе условие, обнаруженные авторами изобретения, обеспечивающие предоставление очень эффективного модуля перемежения.

Фиг. 19 иллюстрирует функцию преобразования посредством модуля перемежения, связанного с вариантом осуществления.

Фиг. 20 является блок-схемой, показывающей конфигурацию модуля перемежения, связанного с вариантом осуществления.

Фиг. 21А является блок-схемой, показывающей конфигурацию модуля перестановки секций, выполняющего перестановку секций, проиллюстрированную на фиг. 20, а фиг. 21В иллюстрирует функцию преобразования модуля перестановки секций, показанного на фиг. 21А.

Фиг. 22А является блок-схемой, показывающей альтернативную конфигурацию модуля перестановки секций, выполняющего перестановку секций, проиллюстрированную на фиг. 20, а фиг. 22В иллюстрирует функцию преобразования модуля перестановки секций, показанного на фиг. 22А.

Фиг. 23 является блок-схемой, показывающей конфигурацию модуля перемежения, связанного с другим вариантом осуществления.

Фиг. 24 является блок-схемой, показывающей конфигурацию модуля перемежения битов, показанного на фиг. 23.

Фиг. 25 является блок-схемой, показывающей конфигурацию передающего устройства, связанного с дополнительным вариантом осуществления.

Фиг. 26 является блок-схемой, показывающей конфигурацию ВИСМ-кодера, связанного с дополнительным вариантом осуществления.

Фиг. 27 является блок-схемой, показывающей конфигурацию приемного устройства, включающего в себя неитеративный ВИСМ-декодер, связанный с дополнительным вариантом осуществления.

Фиг. 28 является блок-схемой, показывающей конфигурацию приемного устройства, включающего в себя итеративный ВИСМ-декодер, связанный с дополнительным вариантом осуществления.

Фиг. 29 является блок-схемой, показывающей конфигурацию итеративного ВИСМ-декодера, связанного с дополнительным вариантом осуществления.

Фиг. 30 иллюстрирует пример циклических блоков, включенных и исключенных из обработки модуля параллельного перемежения.

Фиг. 31А и 31В, соответственно, иллюстрируют первое и второе условие, обнаруженные авторами изобретения, обеспечивающие предоставление очень эффективного модуля перемежения.

Фиг. 32 является блок-схемой, показывающей конфигурацию модуля перемежения, связанного с другим вариантом осуществления.

Фиг. 33А иллюстрирует функцию преобразования для случая без свертки ($F=1$), а фиг. 33В иллюстрирует функцию преобразования для случая со сверткой ($F=2$).

Фиг. 34А является блок-схемой, показывающей конфигурацию модуля перестановки секций (свертки) для случая без свертки ($F=1$), а фиг. 34В является блок-схемой, показывающей конфигурацию модуля перестановки секций свертки для случая со сверткой ($F=2$).

Фиг. 35 является блок-схемой, показывающей конфигурацию модуля перемежения, связанного с другим вариантом осуществления.

Фиг. 36 является блок-схемой, показывающей конфигурацию модуля перемежения битов, показанного на фиг. 35.

Фиг. 37 является блок-схемой, показывающей конфигурацию передающего устройства, связанного с дополнительным вариантом осуществления.

Фиг. 38 является блок-схемой приемного устройства, включающего в себя неитеративный BICM-декодер, связанный с дополнительным вариантом осуществления.

Фиг. 39 является блок-схемой приемного устройства, включающего в себя итеративный BICM-декодер, связанный с дополнительным вариантом осуществления.

Фиг. 40 иллюстрирует местоположения запоминающего устройства для LLR для свертки с $F=2$ и позиции битов для первого слова созвездия.

Фиг. 41 схематично представляет преобразование блоков созвездия, связанных с гибридными QPSK+16QAM-кодами.

Фиг. 42 является блок-схемой, показывающей конфигурацию модуля перемежения, связанного с другим вариантом осуществления.

Фиг. 43 является блок-схемой, показывающей конфигурацию модуля перемежения, связанного с другим вариантом осуществления.

Подробное описание вариантов осуществления. Исходные данные

Фиг. 1 является блок-схемой, показывающей конфигурацию передающего устройства 100, которое включает в себя типичный кодер на основе принципа кодирования и модуляции с перемежением битов (в дальнейшем в этом документе, BICM). Как показано, передающее устройство 100 включает в себя процессор 110 входного сигнала, BICM-кодер (в свою очередь, включающий в себя кодер 120 на основе разреженного контроля по четности (в дальнейшем в этом документе, LDPC), модуль 130 перемежения битов и модуль 140 преобразования созвездий) и модулятор 150.

Процессор 110 входного сигнала преобразует входной поток битов в блоки предварительно определенной длины. LDPC-кодер 120 кодирует блоки в кодовые слова с использованием LDPC-кодов и затем передает кодовые слова в модуль 130 перемежения битов. Модуль 130 перемежения битов применяет процесс перемежения к каждому кодовому LDPC-слову, а затем разделяет каждое перемеженное кодовое слово на последовательность слов ячейки (т.е. слов созвездия). Модуль 140 преобразования созвездий преобразует каждое слово ячейки (т.е. слово созвездия) в последовательность созвездий (например, с использованием QAM). Общий модулятор 150 на выходе включает в себя все блоки обработки от выхода BICM-кодера до радиочастотного (в дальнейшем в этом документе, RF) усилителя мощности.

LDPC-код является линейным кодом с коррекцией ошибок, который полностью задается посредством матрицы контроля по четности (в дальнейшем в этом документе, PCM). PCM является двоичной разреженной матрицей, которая представляет соединение битов кодового слова (в дальнейшем также называемых "переменными узлами") с битами контроля по четности (в дальнейшем также называемыми "контрольными узлами"). Столбцы и строки PCM надлежащим образом соответствуют переменным узлам и контрольным узлам. В PCM, соединение между переменным узлом и контрольным узлом представляется посредством единичного элемента.

Квазициклические коды разреженного контроля по четности (в дальнейшем в этом документе, QC-LDPC) являются одной вариацией LDPC-кодов. QC-LDPC-коды имеют структуру, которая, в частности, подходит для аппаратной реализации. Фактически, большинство стандартов, используемых сегодня, использует QC-LDPC-коды. PCM QC-LDPC-кода имеет специальную конфигурацию, состоящую из множества циркулянтных матриц.

Циркулянтная матрица является квадратной матрицей, в которой каждая строка является циклическим сдвигом элементов в предыдущей строке и имеет одну, две или более свернутых диагонали. Каждая циркулянтная матрица имеет размер $Q \times Q$. Здесь, Q представляет циклический коэффициент QC-LDPC. Вышеописанная квазициклическая конфигурация дает возможность параллельной обработки Q контрольных узлов, что, безусловно, является полезным для эффективной аппаратной реализации.

Фиг. 2 показывает PCM QC-LDPC-кода, имеющего циклический коэффициент Q в восемь в качестве примера. На фиг. 2, а также на нижеописанных фиг. 3 и 5, самые маленькие квадраты представляют один элемент PCM, причем черные квадраты являются единичными элементами, а все остальные квадраты являются нулевыми элементами. Показанная PCM имеет циркулянтные матрицы с одной или двумя свернутыми диагоналями на каждую. Этот QC-LDPC-код кодирует блок в $8 \times 6 = 48$ битов в кодовое слово в $8 \times 12 = 96$ битов. Соответственно, скорость кодирования QC-LDPC составляет $48/96 = 1/2$. Биты кодового слова разделяются на множество блоков по Q битов каждый. Q битовые блоки в дальнейшем называются "циклическими блоками (или циклическими группами)" для этой взаимосвязи с циклическим коэффициентом Q .

Специальная вариация QC-LDPC-кодов представляет собой квазициклические коды разреженного контроля по четности с повторением и накоплением (в дальнейшем в этом документе, RA QC-LDPC). Известно, что RA QC-LDPC-коды легко декодировать, и, следовательно, они используются во множестве стандартов (например, в DVB-стандартах второго поколения, включающих в себя DVB-S2, DVB-T2 и

DVB-C2). Правая сторона PCM соответствует битам четности. Единичные элементы размещаются в лестничной структуре. Фиг. 3 показывает пример PCM для RA QC-LDPC, имеющего скорость кодирования $2/3$.

Выше и по всему документу, DVB-T является сокращением от наземной цифровой широковещательной передачи видео, DVB-S2 является сокращением от спутниковой цифровой широковещательной передачи видео второго поколения, DVB-T2 является сокращением от наземной цифровой широковещательной передачи видео второго поколения, и DVB-C2 является сокращением от кабельной цифровой широковещательной передачи видео второго поколения.

Посредством применения простой перестановки строк к PCM, показанной на фиг. 3, раскрывается квазициклическая структура RA QC-LDPC-кодов, за исключением части четности, показанной на фиг. 4. Перестановка строк является простым изменением графического представления, не имеющим влияние на задание кода.

Квазициклическая структура части четности PCM передается посредством применения надлежащей перестановки строк только к битам четности PCM, показанной на фиг. 4. Эта технология широко известна в данной области техники и используется в таких стандартах, как DVB-T2, под названием перемежения четности или перестановки четности. Фиг. 5 показывает PCM, полученную в качестве результата применения такой перестановки четности к PCM, показанной на фиг. 4.

Типично, биты кодового LDPC-слова варьируются по значимости, и биты созвездия варьируются по уровню устойчивости. Преобразование битов кодового LDPC-слова в созвездие непосредственно, т.е. без перемежения, приводит к субоптимальной производительности. Таким образом, биты кодового LDPC-слова требуют перемежения до преобразования в созвездия.

С этой целью, модуль 130 перемежения битов предоставляется между LDPC-кодером 120 и модулем 140 преобразования созвездий, как показано на фиг. 1. Посредством тщательного проектирования модуля 130 перемежения битов ассоциирование между битами кодового LDPC-слова и битами, кодированными посредством созвездия, повышается, приводя к повышенной производительности приемного устройства.

Производительность типично измеряется с использованием частоты ошибок по битам (в дальнейшем в этом документе, BER) в качестве функции от отношения "сигнал-шум" (в дальнейшем в этом документе, SNR).

Биты кодового LDPC-слова отличаются, главным образом, по значимости, поскольку не все биты обязательно вовлечены в идентичное число битов контроля по четности. Чем больше битов контроля по четности (контрольных узлов), в которые вовлечен данный бит кодового слова (переменный узел), тем более важный данный бит кодового слова находится в итеративном процессе LDPC-декодирования. Дополнительная причина состоит в том, что каждый из переменных узлов имеет различную связанность с циклами графа Таннера, представляющего LDPC-коды. Следовательно, биты кодового слова, вероятно, должны отличаться по значимости, хотя и вовлечены в идентичное число битов контроля по четности. Эти идеи хорошо понимаются в данной области техники. Как правило, значимость переменных узлов возрастает по мере того, как увеличивается число контрольных узлов, соединенных с ними.

В особом случае QC-LDPC-кодов все биты, включенные в циклический блок Q битов, имеют идентичное число битов контроля по четности, применяемых к ним, и имеют идентичную связанность с циклами графа Таннера. Таким образом, все биты имеют идентичную значимость.

Аналогично, кодированные биты созвездия, как широко известно, имеют разные уровни устойчивости. Например, созвездие квадратурной амплитудной модуляции (в дальнейшем в этом документе, QAM) состоит из двух независимых символов амплитудно-импульсной модуляции (в дальнейшем в этом документе, PAM), причем один символ соответствует вещественной части, а другой символ соответствует мнимой части. Каждый из двух PAM-символов кодирует M битов. Фиг. 6 показывает 8 PAM-символов с использованием кодирования Грея. Как показано, биты, кодированные в каждом PAM-символе, варьируются с точки зрения уровня устойчивости. Отличие по устойчивости является результатом различия расстояния между двумя поднаборами, заданными посредством каждого бита (например, 0 или 1), для каждого из битов. Чем больше расстояние, тем более устойчивым и надежным является бит. Фиг. 6 указывает, что бит b_3 имеет наибольший уровень устойчивости, тогда как бит b_1 имеет наименьший уровень устойчивости.

Таким образом, 16-QAM-созвездие кодирует четыре бита и имеет два уровня устойчивости. Кроме того, 64-QAM-созвездие кодирует шесть битов и имеет три уровня устойчивости. Аналогично, 256-QAM-созвездие кодирует восемь битов и имеет четыре уровня устойчивости.

Далее в настоящем описании используются следующие параметры.

Циклический коэффициент: $Q=8$.

Число циклических блоков на каждое кодовое LDPC-слово: $N=12$.

Число битов на каждое созвездие: $M=4$ (т.е. 16-QAM).

С учетом вышеуказанных параметров, число созвездий, в которые преобразуется каждое кодовое LDPC-слово, равно $Q \times N / M = 24$. Типично, параметры Q и N выбираются так, что $Q \times N$ равно кратному M для всех созвездий, поддерживаемых посредством системы.

Фиг. 7 является блок-схемой, показывающей конфигурацию типичного модуля перемежения, когда применяются вышеуказанные параметры. На фиг. 7, 12 циклических блоков помечаются QB1, ..., QB12, и 24 созвездия помечаются C1, ..., C24. Модуль 710 перемежения битов перемежает 96 битов кодового LDPC-слова.

Традиционный модуль перемежения битов известен из DVB-T2-стандарта (см. ETSI EN 302 755). DVB-T2-стандарт является телевизионным стандартом, представляющим усовершенствования по сравнению с DVB-T-стандартом, и описывает базовую систему передачи второго поколения для цифровой телевизионной широкополосной передачи. DVB-T2-стандарт предоставляет подробности касательно системы канального кодирования и модуляции для услуг широкополосного телевидения и общих данных.

Фиг. 8A является блок-схемой, показывающей структуру модулятора, используемого в DVB-T2-стандарте (т.е. DVB-T2-модулятора). DVB-T2-модулятор 800 включает в себя процессор 810 входного сигнала, BICM-кодер 820, компоновщик 830 кадров и OFDM-формирователь 840.

Процессор 810 входного сигнала преобразует входной поток битов в блоки предварительно определенной длины. BICM-кодер 820 применяет BICM-обработку к входному сигналу. Компоновщик 830 кадров использует входной сигнал из BICM-кодера 820 и т.п., чтобы формировать распределенную структуру кадра в DVB-T2-формате. OFDM-формирователь 840 выполняет добавление пилотных сигналов, применение быстрого преобразования Фурье, вставку защитных интервалов и т.п. для распределенной структуры кадра, а затем выводит передаваемый сигнал в DVB-T2-формате.

BICM, используемый в DVB-T2-стандарте, описывается в главе 6 стандарта ETSI EN 302 755. Вышеуказанный стандарт содержится в данном документе по ссылке и пояснен ниже.

Фиг. 8B является блок-схемой, показывающей структуру BICM-кодера 820 в DVB-T2-модуляторе 800, проиллюстрированном на фиг. 8A. Фиг. 8B опускает внешнее BCH-кодирование, циклический сдвиг по принципу созвездия, модуль перемежения по ячейкам, модуль перемежения по времени и т.п.

BICM-кодер 820 включает в себя LDPC-кодер 821, модуль перемежения битов (в свою очередь, включающий в себя модуль 822 перемежения четности и модуль 823 перемежения столбцов и строк), демультиплексор 824 из битов в ячейки и модуль 825 QAM-преобразования.

LDPC-кодер 821 кодирует блоки в кодовые слова с использованием LDPC-кодов. Модуль перемежения битов (который включает в себя модуль 822 перемежения четности и модуль 823 перемежения столбцов и строк) выполняет перемежение для битов кодовых слов. Демультиплексор 824 из битов в ячейки демультиплексирует перемеженные биты кодовых слов в слова ячейки (слова созвездия). Модуль 825 QAM-преобразования преобразует слова ячейки (слова созвездия) в комплексные QAM-символы. Комплексные QAM-символы также называются "ячейками". Фактически, демультиплексор 824 из битов в ячейки также может считаться частью модуля перемежения битов. В таких случаях может считаться, что BICM-кодер, соответствующий DVB-T2-стандарту, имеет базовую структуру, показанную на фиг. 1.

LDPC-коды, используемые в DVB-T2-стандарте, являются RA QC-LDPC-кодами, имеющими циклический коэффициент $Q=360$. Две длины кодовых слов задаются для DVB-T2-стандарта, одна из которых составляет 16200 битов, а другая составляет 64800 битов. В настоящем документе LDPC-коды с использованием длины кодовых слов 16200 битов упоминаются как коды в 16 кбит (или как LDPC-коды в 16 кбит), а LDPC-коды, имеющие длину кодовых слов 64800 битов, упоминаются как коды в 64 кбит (или как LDPC-коды в 64 кбит). Число циклических блоков на каждое кодовое слово составляет 45 для кодов в 16 кбит и 180 для кодов в 64 кбит. Доступные коды, соответствующие каждой длине блока (длине кодовых слов), приведены в табл. A1-A6 ETSI EN 302 755 для DVB-T2-стандарта.

Модуль перемежения битов используется только для созвездий, больших созвездий квадратурной фазовой манипуляции (в дальнейшем в этом документе, QPSK), и включает в себя модуль 822 перемежения четности, модуль 823 перемежения столбцов и строк и демультиплексор 824 из битов в ячейки. Согласно DVB-T2-стандарту, модуль перемежения битов не включает в себя демультиплексор 824 из битов в ячейки. Тем не менее, настоящий документ связан с перемежением в применении к LDPC-кодам до преобразования созвездий. В связи с этим, демультиплексор 824 из битов в ячейки рассматривается в качестве части модуля перемежения битов.

Модуль 822 перемежения четности выполняет перестановку четности для битов четности каждого кодового слова, с тем чтобы прояснить его квазициклическую структуру, как описано выше (см. фиг. 4 и 5).

Концептуально, модуль 823 перемежения столбцов и строк работает посредством записи битов каждого кодового LDPC-слова по столбцам в матрице модуля перемежения, а затем считывания битов по строкам. Первый бит кодового LDPC-слова записывается первым и считывается первым. После записи и до считывания битов кодового LDPC-слова, модуль 823 перемежения столбцов и строк циклически сдвигает столбцы битов на предварительно определенное число позиций. Это называется "закручиванием столбцов" в DVB-T2-стандарте. Число N_c столбцов и число N_r строк в матрице модуля перемежения приведено в таблице 1 для нескольких размеров созвездия согласно двум вышеуказанным длинам кодовых LDPC-слов.

Таблица 1

Длина кодовых LDPC-слов	Размер созвездия	Число столбцов: N _c	Число строк: N _r
16200	16-QAM	8	2025
	64-QAM	12	1350
	256-QAM	8	2025
64800	16-QAM	8	8100
	64-QAM	12	5400
	256-QAM	16	4050

Число N_c столбцов в два раза превышает число битов на каждое созвездие, за исключением кодов в 16 кбит для 256-QAM-созвездия. Это исключение возникает, поскольку длина кодовых LDPC-слов в 16200 не является кратной 16, т.е. не превышает в два раза число битов на каждое 256-QAM-созвездие.

Процесс записи битов кодовых слов и процесс считывания битов для кодов в 16 кбит, выполняемые посредством модуля 823 перемежения столбцов и строк, проиллюстрированы на фиг. 9А и 9В для двенадцати столбцов и на фиг. 10А и 10В для восьми столбцов. Каждый из небольших квадратов соответствует одному биту кодового LDPC-слова. Затемненный квадрат представляет первый бит кодового LDPC-слова. Стрелки указывают на порядок, в котором биты записываются и считываются из матрицы модуля перемежения. Например, когда матрица модуля перемежения имеет двенадцать столбцов, биты кодового слова в 16 кбит записываются в порядке, приведенном на фиг. 9А, а именно (строка 1, столбец 1), (строка 2, столбец 1), ..., (строка 1350, столбец 1), (строка 1, столбец 2), ..., (строка 1350, столбец 12), затем считываются в порядке, приведенном на фиг. 9В, а именно (строка 1, столбец 1), (строка 1, столбец 2), ..., (строка 1, столбец 12), (строка 2, столбец 1), ..., (строка 1350, столбец 12). Фиг. 9А, 9В, 10А и 10В иллюстрируют процесс "закручивания" столбцов.

До QAM-преобразования демультиплексор 824 из битов в ячейки демультиплексирует кодовые LDPC-слова, чтобы получить множество параллельных потоков битов. Число потоков в два раза превышает число M кодированных битов на каждое QAM-созвездие, т.е. 2×M, за исключением LDPC-кодов в 16 кбит для 256-QAM-созвездия. Для LDPC-кодов в 16 кбит для 256-QAM-созвездия, число потоков равно числу M кодированных битов на каждое QAM-созвездие. M кодированных битов на каждое созвездие упоминаются как одно слово ячейки (слово созвездия). Для LDPC-кодов в 16 кбит число слов ячейки на каждое кодовое слово составляет 16200/M, как представлено ниже.

8100 ячеек для QPSK,
4050 ячеек для 16-QAM,
2700 ячеек для 64-QAM, и
2025 ячеек для 256-QAM.

Согласно табл. 1, приведенной выше, число параллельных потоков равно числу столбцов в модуле перемежения столбцов и строк для созвездий, больших QPSK. Демультиплексоры из битов в ячейки, соответствующие 16-QAM-созвездиям, 64-QAM-созвездиям и 256-QAM-созвездиям для LDPC-кодов в 16 кбит, соответственно, показаны на фиг. 11, 12 и 13. Используемая система обозначений битов является системой обозначений согласно DVB-T2-стандарту.

Как показано на фиг. 11 (и фиг. 12 и 13), демультиплексор 824 из битов в ячейки включает в себя простой демультиплексор 1110 (также 1210, 1310) и модуль 1120 (также 1220, 1320) перестановки после демультиплексирования.

В дополнение к инструктированию простому демультиплексору 1110 (1210, 1310) просто демультиплексировать кодовые LDPC-слова, к которым применено перемежение, демультиплексор 824 из битов в ячейки также инструктирует модуль 1120 перестановки после демультиплексирования (1220, 1320) выполнять перестановку для демультиплексированных параллельных потоков битов.

Тем не менее, когда используется модуль перемежения столбцов и строк (т.е. для 16-QAM-созвездий или больше), перестановка, применяемая к потокам битов, является идентичной перестановке, применяемой к столбцам модуля перемежения столбцов и строк, вследствие равенства числа параллельных потоков битов числу столбцов. Следовательно, перестановка, выполняемая посредством демультиплексора 824 из битов в ячейки, рассматривается в качестве части модуля перемежения битов.

Модуль перемежения битов, используемый в DVB-T2-стандарте, по существу, имеет две проблемы.

Первая проблема состоит в том, что параллелизм нарушается, когда число циклических блоков в кодовом LDPC-слове не является кратным числу столбцов в матрице модуля перемежения битов. Уменьшенный параллелизм приводит к увеличенному времени задержки. Это является, в частности, проблематичным, когда итеративное ВСМ-декодирование используется посредством приемного устройства. Этот случай возникает для нескольких комбинаций длины кодовых LDPC-слов и размера созвездия в DVB-T2-стандарте.

Фиг. 14 и 15 иллюстрируют вышеуказанную ситуацию для случаев, LDPC-кода в 16 кбит, в которых матрица модуля перемежения имеет восемь и двенадцать столбцов, соответственно. Восемь столбцов используются в матрице модуля перемежения для 16-QAM-созвездий и 256-QAM-созвездий. Двена-

дцать столбцов используются в матрице модуля перемежения для 64-QAM-созвездий. На фиг. 14 и 15, сетка представляет кодовое LDPC-слово, небольшие квадраты представляют один бит кодового LDPC-слова, строки соответствуют циклическим блокам, и столбцы соответствуют битам с идентичным битовым индексом в циклическом блоке. Затемненные квадраты представляют восьмой и двенадцатый биты первой строки в матрице модуля перемежения. Для простоты понимания число битов на каждый циклический блок уменьшено с 360 до 72. Тем не менее, это не влияет на понимание.

Вторая проблема состоит в том, что в DVB-T2-стандарте число возможных конфигураций модуля перемежения битов ограничивается посредством числа столбцов в матрице модуля перемежения битов.

Дополнительная проблема модуля перемежения битов по стандарту DVB-T2 состоит в том, что регулярность и параллелизм перестановки нарушаются посредством процесса "закручивания" столбцов. Фиг. 16 и 17, соответственно, иллюстрируют случаи, идентичные случаям фиг. 14 и 15, с добавлением процесса "закручивания" столбцов. Когда матрица модуля перемежения имеет восемь столбцов для LDPC-кодов в 16 кбит, значения "закручивания" столбцов для столбцов модуля перемежения битов по стандарту DVB-T2 представляют собой (0, 0, 0, 1, 7, 20, 20, 21). Аналогично, когда матрица модуля перемежения имеет двенадцать столбцов для LDPC-кодов в 16 кбит, значения "закручивания" столбцов для столбцов модуля перемежения битов по стандарту DVB-T2 представляют собой (0, 0, 0, 2, 2, 2, 3, 3, 3, 6, 7, 7).

Соответственно, требуется модуль перемежения битов, который уменьшает время задержки при повышении параллелизма. Эти свойства являются, в частности, важными при итеративном ВСМ-декодировании.

Изыскания разработчика

Автор изобретения выяснил, в качестве результата длительного экспериментирования, что модуль перемежения, удовлетворяющий следующим двум условиям, является очень эффективным.

Условие 1.

Каждый из M битов каждого созвездия преобразуется в один из M различных циклических блоков кодового LDPC-слова. Это является эквивалентным преобразованию одного бита из M различных циклических блоков кодового LDPC-слова в слово созвездия. Это схематично проиллюстрировано на фиг. 18A.

Условие 2.

Все слова созвездия, преобразованные в M циклических блоков, преобразуются только в этот конкретный циклический блок. Это является эквивалентным преобразованию всех $M \times Q$ битов M различных циклических блоков, каждый из которых состоит из Q битов, точно в Q созвездий. Это схематично проиллюстрировано на фиг. 18B.

Вышеуказанные условия подразумевают, что точно Q созвездий преобразуются в каждый набор из M циклических блоков.

Первый вариант осуществления

Далее описываются подробности модуля перемежения битов (т.е. модуля параллельного перемежения битов), который удовлетворяет условиям 1 и 2, представленным выше. В нижеприведенном описании, если применимо, обработка и модули, выполняющие такую обработку, помечаются идентичными ссылками с номерами.

В настоящем документе, каждая группа из M циклических блоков и каждая группа Q слов созвездия упоминается как секция (или как секция модуля перемежения).

Фиг. 19 и 20 являются блок-схемами, соответственно, иллюстрирующими функцию преобразования модуля перемежения битов, удовлетворяющего условиям 1 и 2 и соответствующего вышеуказанным параметрам (т.е. $Q=8$, $M=4$, $N=12$), и примерную конфигурацию для такого модуля перемежения битов.

На фиг. 19 и 20, кодовые QC-LDPC-слова состоят из $N=12$ циклических блоков, каждый из которых, в свою очередь, состоит из $Q=8$ битов. Каждое из 24 слов созвездия состоит из $M=4$ битов. Каждое слово созвездия указывает одну из $2^M=16$ точек созвездия. Модуль перемежения битов разделяется на $N/M=3$ секции. 24 слова созвездия ассоциируются с одной из трех секций.

Модуль 2000 перемежения битов включает в себя модуль 2010 перестановки битов, который, в свою очередь, включает в себя $N/M (=3)$ модулей 2021, 2022 и 2023 перестановки секций, каждый из которых работает независимо. Тем не менее, вместо предоставления трех модулей перестановки секций, например, может предоставляться один модуль перестановки секций, с тем чтобы выполнять три процесса перестановки секций, описанные ниже, с переключением между ними во времени.

Каждый из модулей (2021, 2022 и 2023) перестановки секций независимо выполняет перестановку секций для 32 битов, составляющих каждый из 4 циклических блоков, так что один бит из каждой четырех циклических блоков (т.е. QB1-QB4, QB5-QB8 и

QB9-QB12) преобразуется в каждую группу из восьми слов созвездия (т.е. C1-C8, C9-C16 и C17-C24).

Условия 1 и 2, описанные выше, обеспечивают то, что модуль перемежения битов может делиться на N/M параллельных секций. Перестановки секций, применяемые к параллельным секциям, могут применять идентичные правила перестановки, могут применять различные правила перестановки или могут

заключать в себе поднабор секций, применяющих идентичные правила перестановки, тогда как другие применяют отличные.

Например, модули перестановки секций могут преобразовывать Q битов циклического блока (каждый из которых имеет идентичную значимость в LDPC-декодировании) в биты, имеющие идентичный битовый индекс (т.е. имеющие идентичный уровень устойчивости) в Q слов созвездия. Для каждого циклического блока Q битов могут быть в последовательном или в переставленном порядке. Второй случай описывается со ссылкой на фиг. 21A и 21B, тогда как первый случай описывается со ссылкой на фиг. 22A и 22B.

Фиг. 21A структурно иллюстрирует модуль перестановки секций по фиг. 20.

Модуль 2101 перестановки секций включает в себя модули 2111-2114 внутренней перестановки циклических блоков и модуль 2131 перестановки столбцов и строк. Вместо предоставления четырех модулей внутренней перестановки циклических блоков, например, один модуль внутренней перестановки циклических блоков может предоставляться и выполнять четыре процесса внутренней перестановки циклических блоков, описанные позднее, с переключением между ними во времени.

Каждый из модулей (2111-2114) внутренней перестановки циклических блоков выполняет внутреннюю перестановку циклических блоков для Q -битовых (8-битовых) циклических блоков (QB1-QB4). Внутренние перестановки циклических блоков, применяемые к циклическим блокам в каждой секции, могут применять идентичные правила перестановки, могут каждый применять различные правила перестановки или могут заключать в себе поднабор секций, применяющих идентичные правила перестановки, тогда как другие применяют отличные правила.

Модуль 2131 перестановки столбцов и строк выполняет перестановку столбцов и строк для каждой группы из $M \times Q$ ($=32$) битов. В частности, модуль 2131 перестановки столбцов и строк записывает $M \times Q$ битов по строкам в матрицу $M \times Q$ (8×4), а затем считывает $M \times Q$ битов по столбцам из нее, за счет этого применяя перестановку столбцов и строк. Перестановка столбцов и строк, применяемая посредством модуля 2131 перестановки столбцов и строк, напоминает перестановку, применяемую к матрице 12×1350 , показанной на фиг. 9A и 9B, в которой используются Q столбцов и M строк, процесс записи осуществляется по столбцам, а процесс считывания осуществляется по строкам.

Фиг. 21B является структурным представлением модуля перестановки секций, показанного на фиг. 21A. На фиг. 21B, каждое из слов созвездия $M=4$ бита обозначается b1-b4.

Тем не менее, также вероятен вариант, в котором процесс внутренней перестановки циклических блоков не является частью процесса перестановки секций.

Например, перестановка секций, реализованная без выполнения внутренней перестановки циклических блоков, и структура преобразования посредством модуля перестановки секций показаны на фиг. 22A и 22B. Модуль перестановки секций 2201 включает в себя модуль 2131 перестановки столбцов и строк и выполняет простую перестановку столбцов и строк. На фиг. 22B, каждое из слов созвездия $M=4$ бита обозначается b1-b4.

Перестановка секций, описанная на фиг. 21A, 21B, 22A и 22B, может применяться к циклическим блокам QB5-QB8 и QB9-QB12.

Преимущественно дополнительная перестановка циклических блоков может применяться к N циклических блоков до того, как модуль перемежения битов выполняет перестановку секций. Фиг. 23 является структурной схемой дополнительной перестановки циклических блоков, применяемой посредством модуля перемежения битов. В этом контексте перестановка циклических блоков играет роль, аналогичную роли перестановки, выполняемой посредством демультиплексора из битов в ячейки в DVB-T2-стандарте.

Модуль 2300 перемежения битов, показанный на фиг. 23, включает в себя модуль 2310 перестановки циклических блоков и модуль 2010 перестановки битов (который, в свою очередь, включает в себя модули 2021-2023 перестановки секций).

Модуль 2310 перестановки циклических блоков выполняет перестановки 2311-2318 циклических блоков для циклических блоков QB1-QB12. Здесь, перестановки 2311-2318 циклических блоков следуют идентичным правилам перестановки.

Перестановка циклических блоков, выполняемая для N циклических блоков, является, в частности, преимущественной при обеспечении оптимизированного преобразования битов кодового LDPC-слова на биты созвездия, приводя к оптимизированной производительности.

Фиг. 24 является принципиальной блок-схемой модуля 2300 перемежения битов, показанного на фиг. 23. Модуль 2400 перемежения битов, показанный на фиг. 24, включает в себя три стадии, A, B и C.

Стадия A: (взаимная) перестановка циклических блоков.

Стадия B: внутренняя перестановка циклических блоков.

Стадия C: перестановка столбцов и строк.

(Взаимная) перестановка циклических блоков применяется к N циклических блоков, составляющих кодовое слово, внутренняя перестановка циклических блоков применяется к Q битов каждого циклического блока, и перестановка столбцов и строк применяется к $M \times Q$ секций.

Модуль 2400 перемежения битов, показанный на фиг. 24, включает в себя модуль 2310 перестановки циклических блоков и модуль 2010 перестановки битов (который, в свою очередь, включает в себя модули 2101-2103 перестановки секций). Модуль 2101 (2102, 2013) перестановки секций включает в себя модули 2111-2114 (2115-2118, 2119-2122) внутренней перестановки циклических блоков и модуль 2131 (2132, 2133) перестановки столбцов и строк.

В модуле 2400 перемежения битов (взаимная) перестановка циклических блоков выполняется посредством модуля 2310 перестановки циклических блоков (стадия А), внутренняя перестановка циклических блоков выполняется посредством модулей 2111-2122 внутренней перестановки циклических блоков (стадия В), и перестановка столбцов и строк выполняется посредством модулей 2131-2133 перестановки столбцов и строк (стадия С).

Модули 2111-2122 внутренней перестановки циклических блоков могут удаляться из модуля 2400 перемежения битов, показанного на фиг. 24, так что модуль перемежения битов выполнен с возможностью не выполнять внутреннюю перестановку циклических блоков. Кроме того, модуль 2400 перемежения битов может выполнять (взаимную) перестановку циклических блоков перед внутренней перестановкой циклических блоков, а не после внутренней перестановки циклических блоков, либо может выполнять (взаимную) перестановку циклических блоков до и после внутренней перестановки циклических блоков.

Модули внутренней перестановки циклических блоков могут иметь аналогичные структуры. Это является преимуществом в том, что модули внутренней перестановки циклических блоков в силу этого являются реализуемыми с использованием идентичных ресурсов (например, аппаратных блоков). Альтернативно, внутренние перестановки циклических блоков могут состоять из циклических сдвигов, которые предоставляют возможность эффективной аппаратной реализации с использованием многорегистровых модулей сдвига. Также является возможной реализация с использованием многорегистровых модулей сдвига в LDPC-декодере.

Далее описывается передающее устройство, которое включает в себя модуль перемежения битов, выполняющий процесс перемежения битов, который удовлетворяет условиям 1 и 2, со ссылкой на фиг. 25.

Фиг. 25 является блок-схемой передающего устройства, связанного с дополнительным вариантом осуществления настоящего раскрытия сущности. Как показано на фиг. 25, передающее устройство 2500 включает в себя BICM-кодер (который, в свою очередь, включает в себя LDPC-кодер 2510, модуль 2520 перемежения битов и модуль 2530 преобразования созвездий) и модулятор 2540.

LDPC-кодер 2510 кодирует входные блоки в кодовые слова с использованием QC-LDPC-кодов и затем передает кодовые слова в модуль 2520 перемежения битов.

Модуль 2520 перемежения битов принимает кодовое слово в QC-LDPC-коде из LDPC-кодера 2510. Кодовое слово состоит из $N=12$ циклических блоков, причем каждый циклический блок включает в себя $Q=8$ битов. Модуль 2520 перемежения битов выполняет перемежение для битов кодовых слов таким образом, чтобы переставлять биты каждого из кодовых слов. Модуль 2520 перемежения битов разделяет перемеженное кодовое слово на множество слов созвездия, каждое из которых состоит из $M=4$ битов и указывает одну из $2^M=16$ точек созвездия, а затем выводит слова созвездия в модуль 2530 преобразования созвездий. Модуль 2520 перемежения битов может применять процесс перемежения битов, поясненный со ссылкой на фиг. 19-22А и 22В, или может применять вариант процесса перестановки битов. Кроме того, модуль 2520 перемежения битов может применять дополнительный процесс перестановки циклических блоков, к примеру, процесс, поясненный со ссылкой на фиг. 23 и 24, или его изменение.

Модуль 2530 преобразования созвездий принимает слова созвездия из модуля 2520 перемежения битов и выполняет преобразование созвездий для слов созвездия, принимаемых таким образом.

Модулятор 2740 формирует передаваемый сигнал с использованием мультиплексирования с ортогональным частотным разделением каналов (в дальнейшем в этом документе, OFDM) и т.п.

Далее описывается BICM-кодер, который включает в себя модуль перемежения битов, выполняющий процесс перемежения битов, который удовлетворяет условиям 1 и 2, со ссылкой на фиг. 26.

Фиг. 26 является блок-схемой примерного BICM-кодера, связанного с дополнительным вариантом осуществления раскрытия сущности. На фиг. 26, BICM-кодер 2600 соответствует вышеприведенным параметрам (т.е. $Q=8$, $N=12$, $M=4$).

BICM-кодер 2600, показанный на фиг. 26, включает в себя основное запоминающее устройство 2601, LDPC-контроллер 2611, модуль 2612 сдвига, группу 2613 процессоров контрольных узлов, модуль 2614 обратного сдвига, QB-счетчик 2631, таблицу А 2632, модуль В 2633 перемежения, группу 2634 регистров, модуль С 2635 перемежения и группу 2651 модулей преобразования.

На фиг. 26, при условии, что $Q=8$, основное запоминающее устройство 2601 считывает восемь битов за раз, группа 2613 процессоров контрольных узлов включает в себя восемь процессоров контрольных узлов, и группа 2651 модулей преобразования включает в себя восемь модулей преобразования. Кроме того, с учетом того, что $M=4$, группа 2634 регистров включает в себя четыре регистра.

Основное запоминающее устройство 2601 принимает последовательность битов для передачи, например, из процессора входного сигнала (не показан схематически) и сохраняет принимаемую битовую

последовательность.

LDPC-контроллер 2611 выводит адрес считывания в основное запоминающее устройство 2601. Основное запоминающее устройство 2601, соответственно, выводит битовую последовательность, восемь битов за раз начиная с первого бита, в модуль 2612 сдвига. Модуль 2612 сдвига управляется посредством LDPC-контроллера 2611, чтобы выполнять предварительно определенное число циклических сдвигов для восьми битов, предоставляемых в него посредством основного запоминающего устройства 2601, и затем выводит восемь циклически сдвинутых битов в процессоры контрольных узлов из группы 2613 процессоров контрольных узлов, по одному биту за раз, причем биты и процессоры контрольных узлов находятся в соответствии "один-к-одному". Каждый процессор контрольного узла из группы 2 613 процессоров контрольных узлов управляется посредством LDPC-контроллера 2611, чтобы выполнять обработку контрольных узлов для каждого бита, вводимого в него, а затем выводит результаты в модуль 2614 обратного сдвига. Модуль 2614 обратного сдвига управляется посредством LDPC-контроллера 2611, чтобы выполнять предварительно определенное число циклических сдвигов для восьми битов, принимаемых из группы 2613 процессоров контрольных узлов, с тем чтобы отменять циклический сдвиг, применяемый посредством модуля 2612 сдвига, и затем выводит восемь сдвинутых битов в основное запоминающее устройство 2601. LDPC-контроллер 2611 выводит адрес записи в основное запоминающее устройство 2601. Основное запоминающее устройство 2601, соответственно, сохраняет восемь битов, предоставляемых в него посредством модуля 2614 обратного сдвига. LDPC-контроллер 2611, модуль 2612 сдвига, группа 2613 процессоров контрольных узлов и модуль 2614 обратного сдвига составляют BICM-кодер в LDPC-кодере 2510, показанном на фиг. 25.

QB-счетчик 2631 ведет подсчет от 0 до 11 и выводит значение счетчика в таблицу A 2632. Операция подсчета QB-счетчика 2631 задается с учетом $N=12$.

Табл. A 2632 является простой таблицей поиска, в которой сохраняются правила перестановки циклических блоков. Иными словами, таблица A 2632 сохраняет $N=12$ фрагментов информации порядка считывания циклических блоков (информации, ассоциирующей различный циклический блок с каждым из 12 значений счетчика из QB-счетчика 2631). Таблица A 2632 выводит адрес считывания в основное запоминающее устройство 2601 так, что биты одного циклического блока (т.е. $Q=8$ битов), соответствующие значению счетчика, предоставляемому посредством QB-счетчика 2631, предоставляется из основного запоминающего устройства 2601 в модуль В 2633 перемежения. Таким образом, основное запоминающее устройство 2601 выводит биты одного циклического блока, соответствующего значению счетчика для QB-счетчика 2631, в модуль В 2633 перемежения. Обработка с использованием таблицы A 2632 выполняется в качестве процесса перестановки циклических блоков (стадия А).

Модуль В 2633 перемежения выполняет предварительно определенное число циклических сдвигов для битов циклического блока, предоставляемого посредством основного запоминающего устройства 2601, и выводит результаты в регистр первого уровня из группы 2634 регистров. Обработка посредством модуля В 2633 перемежения выполняется в качестве процесса внутренней перестановки циклических блоков (стадия В). Каждый регистр в группе 2634 регистров сохраняет один циклический блок битов с синхронизацией, совпадающей с приемом управляющего импульса, и выводит циклический блок битов до приема следующего управляющего импульса.

Когда QB-счетчик 2631 выполняет вышеуказанный процесс для значений счетчика 0-3, биты четырех циклических блоков (т.е. 32 бита) вводятся в модуль С 2635 перемежения. В это время, модуль С 2635 перемежения перемежает биты четырех циклических блоков, вводимых в него, и модули преобразования из группы 2651 модулей преобразования выводят одно слово созвездия битов (т.е. $M=4$ бита). Через процесс перемежения четыре бита, т.е. по одному из каждого из четырех регистров в группе 2634 регистров, предоставляются в каждый модуль преобразования. Эта обработка посредством модуля С 2635 перемежения выполняется в качестве процесса перестановки столбцов и строк (стадия С).

QB-счетчик 2631, таблица A 2632, модуль В 2633 перемежения, группа 2634 регистров и модуль С 2635 перемежения составляют модуль 2520 перемежения битов BICM-кодера, показанного на фиг. 25.

Каждый модуль преобразования из группы 2651 модулей преобразования преобразует четыре бита, предоставляемые в них из модуля С 2635 перемежения, в созвездие, а затем выводят результаты. Группа 2651 модулей преобразования составляет модуль 2530 преобразования созвездий BICM-кодера, показанного на фиг. 25.

Для каждого кодового слова вышеописанный набор процессов применяется три раза, по одному разу для значений счетчика 0-3, 4-7 и 8-11 QB-счетчика 2631.

Вариант осуществления, проиллюстрированный на фиг. 26, включает в себя Q модулей преобразования, работающих параллельно. Тем не менее, модули преобразования также являются реализуемыми в качестве BICM-кодера, с тем чтобы снижать или повышать параллелизм. Например, число секций модуля параллельного перемежения в модуле перемежения битов, т.е. частное N/M , очевидно, может быть увеличено с тем, чтобы легко повышать параллелизм. Такие способы обеспечивают оптимизацию параллелизма посредством параллелизации $Q \times N/M$ модулей преобразования. Реализация такого параллелизма, без недостатков, в модуле перемежения битов является полезной.

Далее описывается приемное устройство, принимающее сигналы из передающего устройства, кото-

рое включает в себя модуль перемежения битов, выполняющий процесс перемежения битов, который удовлетворяет условиям 1 и 2, со ссылкой на фиг. 27.

Фиг. 27 является блок-схемой примерного приемного устройства, включающего в себя неитеративный ВИСМ-декодер, связанный с дополнительным вариантом осуществления раскрытия сущности. Приемное устройство выполняет операции передающего устройства в обратном порядке.

Приемное устройство 2700, показанное на фиг. 27, включает в себя демодулятор 2710 и неитеративный ВИСМ-декодер (который, в свою очередь, включает в себя модуль 2720 обратного преобразования созвездий, модуль 2730 обратного перемежения битов и LDPC-декодер 2740).

Демодулятор 2710 выполняет процесс демодуляции, например, через OFDM и выводит демодулированные результаты.

Модуль 2720 обратного преобразования созвездий неитеративного ВИСМ-декодера формирует мягкую битовую последовательность посредством применения процесса обратного преобразования к входному сигналу из демодулятора 2710 и выводит мягкую битовую последовательность, сформированную таким способом, в модуль обратного преобразования созвездий 2730. Мягкие биты являются мерой вероятности того, что данный бит является нулевым битом или единичным битом. Типично, мягкие биты представляются как логарифмические отношения правдоподобия (в дальнейшем в этом документе, LLR), заданные следующим образом:

$$LLR(b) = \ln[p(b=0)/p(b=1)],$$

где $p(b=0)$ указывает вероятность того, что данный бит b является нулевым битом, а $p(b=1)$ представляет вероятность того, что данный бит b является единичным битом. Конечно, $p(b=0)+p(b=1)=1$.

Модуль 2730 обратного перемежения битов выполняет процесс перемежения (т.е. процесс обратного перемежения битов) для мягкой битовой последовательности, выводимой из модуля 2720 обратного преобразования созвездий, с тем чтобы отменить процесс перемежения битов, применяемый к битовой последовательности посредством модуля 2730 перемежения битов в передающем устройстве, проиллюстрированном на фиг. 25.

LDPC-декодер 2740 принимает мягкую битовую последовательность, обратно перемеженную посредством модуля 2730 обратного перемежения битов, и выполняет процесс LDPC-декодирования с использованием мягкой битовой последовательности, принимаемой таким способом.

Одна усовершенствованная технология, предлагающая значительные повышения производительности, представляет собой итеративное ВИСМ-декодирование. Фиг. 28 иллюстрирует итеративный ВИСМ-декодер.

Фиг. 28 является блок-схемой примерного приемного устройства, включающего в себя итеративный ВИСМ-декодер, связанный с дополнительным вариантом осуществления раскрытия сущности. Приемное устройство выполняет операции передающего устройства в обратном порядке.

Как показано на фиг. 28, приемное устройство 2800 включает в себя демодулятор 2710 и итеративный ВИСМ-декодер (который, в свою очередь, включает в себя модуль 2720 обратного преобразования созвездий, модуль 2730 обратного перемежения битов, LDPC-декодер 2740, модуль 2760 вычитания и модуль 2750 перемежения битов).

Приемное устройство 2800 по фиг. 28 имеет модуль 2720 обратного преобразования созвездий, выполняющий процесс обратного преобразования созвездий, модуль 2730 обратного перемежения битов, выполняющий процесс обратного перемежения битов, и LDPC-декодер 2740, выполняющий процесс LDPC-декодирования.

После одной или более итераций LDPC-декодирования внешняя информация, полученная посредством модуля 2760 вычитания, вычитает входной сигнал в LDPC-декодер 2740 из выходного сигнала LDPC-декодера 2740, выводится в модуль 2750 перемежения битов. Модуль 2750 перемежения битов выполняет процесс перемежения для внешней информации с использованием правил перемежения, идентичных правилам перемежения, применяемых к битовой последовательности посредством модуля перемежения битов передающего устройства, проиллюстрированного на фиг. 25. Модуль 2750 перемежения битов затем возвращает перемеженную внешнюю информацию в модуль 2720 обратного преобразования созвездий. Модуль 2720 обратного преобразования созвездий использует внешнюю информацию, возвращенную таким способом, в качестве априорной информации для того, чтобы вычислять более надежные LLR-значения. Модуль 2730 обратного перемежения битов затем выполняет процесс перемежения для новых вычисленных LLR-значений (т.е. процесс обратного перемежения битов), с тем чтобы отменить процесс перемежения битов, применяемый к битовой последовательности посредством модуля перемежения битов в передающем устройстве, проиллюстрированном на фиг. 25, и восстанавливать исходный порядок битовой последовательности. LDPC-декодер 2740 использует LLR-значения, обратно перемеженные таким способом, в процессе LDPC-декодирования.

Как показано на фиг. 28, контур итеративного декодирования состоит из четырех элементов, а именно, модуля 2720 обратного преобразования созвездий, модуля 2730 обратного перемежения битов, LDPC-декодера 2740 и модуля 2750 перемежения битов. Модуль 2730 обратного перемежения битов и модуль 2750 перемежения битов преимущественно имеют очень небольшое время задержки, идеально нулевое, и низкую сложность. Это приводит к более эффективной реализации приемного устройства.

Модуль 2730 обратного перемежения битов и модуль 2750 перемежения битов, описанные выше, удовлетворяют обоим из этих условий.

Фиг. 29 иллюстрирует итеративный BICM-декодер, реализующий очень эффективную параллельную реализацию.

Фиг. 29 является блок-схемой примерного BICM-декодера, связанного с дополнительным вариантом осуществления раскрытия сущности. На фиг. 29, BICM-декодер 2900 соответствует вышеприведенным параметрам (т.е. $Q=8$, $N=12$, $M=4$).

Как показано, BICM-декодер 2900 включает в себя основное запоминающее устройство 2901 для LLR, буферное запоминающее устройство 2902 для LLR, LDPC-контроллер 2911, модуль 2912 сдвига, группу 2913 процессоров контрольных узлов, модуль 2914 обратного сдвига, QB-счетчик 2931, табл. А 2932, группу 2933 модулей вычитания, модуль В 2934 перемежения, группу 2935 регистров, модуль С 2936 перемежения, группу 2937 модулей обратного преобразования, модуль С 2938 обратного перемежения, группу 2939 регистров, модуль В 2940 обратного перемежения и модуль 2941 задержки.

На фиг. 29 при условии, что $Q=8$, каждое из основного запоминающего устройства 2901 для LLR и буферного запоминающего устройства 2902 для LLR считывает восемь LLR-значений за один раз, группа 2913 процессоров контрольных узлов включает в себя восемь процессоров контрольных узлов, и группа 2951 модулей обратного преобразования включает в себя восемь модулей обратного преобразования. Кроме того, с учетом того, что $M=4$, каждая из групп 2935 и 2972 регистров включает в себя четыре регистра.

Каждый из модулей обратного преобразования в группе 2937 модулей обратного преобразования выполняет процесс обратного преобразования для выходного сигнала демодулятора (не показан схематически), а затем выводит LLR-значения, полученные таким способом, в модуль С 2938 обратного перемежения. Группа 2937 модулей обратного преобразования составляет модуль 2720 обратного преобразования созвездий итеративного BICM-декодера, показанного на фиг. 28.

Модуль С 2938 обратного перемежения применяет процесс обратного перемежения к LLR-значениям (т.е. новый процесс перемежения, отменяющий процесс перемежения, применяемый посредством передающего устройства в ходе стадии С), а затем выводит обратно перемешанные LLR-значения в регистры группы 2939 регистров. Каждый регистр сохраняет один циклический блок LLR-значений (т.е. восемь LLR-значений). В группе 2939 регистров циклический блок LLR-значений, сохраненных посредством каждого регистра, последовательно выводится на следующий уровень, так что контент каждого регистра последовательно обновляется. Модуль В 2940 обратного перемежения применяет процесс обратного перемежения к циклическому блоку (восьми) LLR-значений (т.е. новый процесс перемежения, отменяющий процесс перемежения, применяемый посредством передающего устройства в ходе стадии В), а затем записывает результаты в основное запоминающее устройство 2901 для LLR и буферное запоминающее устройство 2902 для LLR в соответствии с таблицей А 2932 (пояснена позднее). Процесс перемежения, отменяющий процесс перемежения, применяемый посредством передающего устройства в ходе стадии А, осуществляется посредством этой записи в основное запоминающее устройство 2901 для LLR и буферное запоминающее устройство 2902 для LLR в соответствии с контентом таблицы А 2932.

Таким образом, основное запоминающее устройство 2901 для LLR сохраняет LLR-значения после обратного перемежения и также используется посредством LDPC-декодера (т.е. LDPC-контроллера 2911, модуля 2912 сдвига, группы 2913 процессоров контрольных узлов и модуля 2914 обратного сдвига). Процесс LDPC-декодирования является итеративным процессом, заключающим в себе одну или более итераций. На каждой итерации LDPC-декодирования, обновляются LLR-значения в основном запоминающем устройстве 2901 для LLR. Чтобы вычислять внешнюю информацию, необходимую для итеративного BICM-декодирования, старые LLR-значения сохраняются в буферном запоминающем устройстве 2902 для LLR.

Далее описываются операции LDPC-декодера.

LDPC-контроллер 2911 выводит адрес считывания в основное запоминающее устройство 2901 для LLR в соответствии с матрицей контроля по четности LDPC-кодов. Таким образом, основное запоминающее устройство 2901 для LLR последовательно выводит один циклический блок LLR-значений в модуль 2912 сдвига. Модуль 2912 сдвига управляется посредством LDPC-контроллера 2911, чтобы выполнять предварительно определенное число циклических сдвигов для циклического блока LLR-значений, предоставляемого последовательно посредством основного запоминающего устройства 2901 для LLR, а затем выводит LLR-значения, сдвинутые таким способом, в процессоры контрольных узлов из группы 2913 процессоров контрольных узлов, по одному за раз. Процессоры контрольных узлов из группы 2913 процессоров контрольных узлов управляются посредством LDPC-контроллера 2911, чтобы выполнять процесс контрольного узла для последовательности LLR-значений, последовательно вводимой в них. Затем, процессоры контрольных узлов из группы 2913 процессоров контрольных узлов управляются посредством LDPC-контроллера 2911, чтобы последовательно выводить LLR-значения, являющиеся результатом процесса контрольного узла. Модуль 2914 обратного сдвига управляется посредством LDPC-контроллера 2911, чтобы выполнять предварительно определенное число циклических сдвигов, отменяющих циклический сдвиг, применяемый к циклическому блоку, последовательно принимаемому из

группы 2913 процессоров контрольных узлов, посредством модуля 2912 сдвига, а затем последовательно выводит сдвинутые результаты в основное запоминающее устройство 2901 для LLR. LDPC-контроллер 2911 выводит адрес записи в основное запоминающее устройство 2901 для LLR в соответствии с матрицей контроля по четности LDPC-кодов. Таким образом, основное запоминающее устройство 2901 для LLR сохраняет циклический блок результатов, последовательно предоставляемых в него посредством модуля 2914 обратного сдвига. LDPC-контроллер 2911 многократно выполняет вышеописанную обработку в соответствии с матрицей контроля по четности LDPC-кодов.

После предварительно определенного числа LDPC-итераций выполняется BICM-итерация. LDPC- и BICM-итерации также, соответственно, упоминаются в качестве внутренних и внешних итераций. Эти два типа итераций также могут перекрываться в некоторых реализациях. Это обеспечивает повышение скорости сходимости. Процессы BICM- и LDPC-декодирования известны в данной области техники, и в силу этого их подробности опускаются.

QB-счетчик 2931 ведет подсчет от 0 до 11 и выводит значение счетчика в таблицу A 2932. Операция подсчета QB-счетчика 2931 задается с учетом $N=12$.

Таблица A 2932 является простой таблицей поиска, в которой сохраняются правила перестановки циклических блоков. Иными словами, табл. A 2932 сохраняет $N=12$ фрагментов информации порядка считывания (и записи) циклических блоков (т.е. с информацией, ассоциирующей различный циклический блок с каждым из 12 значений счетчика из QB-счетчика 2931). Табл. A 2932 выводит адрес считывания в основное запоминающее устройство 2901 для LLR и в буферное запоминающее устройство 2902 для LLR, так что один циклический блок LLR-значений, соответствующий значению счетчика, предоставляемому посредством QB-счетчика 2931, предоставляется в группу 2933 модулей вычитания посредством основного запоминающего устройства 2901 для LLR и в буферное запоминающее устройство 2902 для LLR. Таким образом, каждое из основного запоминающего устройства 2901 для LLR и буферного запоминающего устройства 2902 для LLR выводит циклический блок LLR-значений, соответствующий значению счетчика для QB-счетчика 2931, в модуль 2933 вычитания. Модуль 2941 задержки выполняет корректировку задержки таким образом, что позиция LLR-значения, считываемая из основного запоминающего устройства 2901 для LLR и буферного запоминающего устройства 2902 для LLR, совпадает с позицией записи идентичных LLR-значений в основное запоминающее устройство 2901 для LLR и буферное запоминающее устройство 2902 для LLR. Обработка с использованием таблицы A 2932 выполняется в качестве процесса перестановки циклических блоков (стадия A).

Модуль 2933 вычитания в группе модулей вычитания вычитает выходной сигнал буферного запоминающего устройства 2902 для LLR из выходного сигнала основного запоминающего устройства 2901 для LLR, а затем выводит внешнюю информацию для одного циклического блока, полученную таким способом (т.е. восемь фрагментов внешней информации), в модуль B 2934 перемежения.

Модуль B 2934 перемежения выполняет предварительно определенное число циклических сдвигов для фрагментов внешней информации для одного из циклических блоков, предоставляемых посредством модуля 2933 вычитания, и выводит результаты в регистр первого уровня из группы 2935 регистров. Обработка, выполняемая посредством модуля B 2934 перемежения, соответствует внутренней перестановке циклических блоков (стадия B). Каждый регистр в группе 2935 регистров сохраняет восемь битов с синхронизацией, совпадающей с приемом управляющего импульса, и выводит восемь битов до приема следующего управляющего импульса.

Когда QB-счетчик 2931 выполняет вышеуказанный процесс для значений счетчика 0-3, внешняя информация для четырех циклических блоков (т.е. 32 фрагмента внешней информации) вводится в модуль C 2936 перемежения. В это время, модуль C 2936 перемежения выполняет процесс перемежения для внешней информации, вводимой в него, для четырех циклических блоков, а затем выводит одно слово созвездия внешней информации (т.е. $M=4$ фрагмента внешней информации) в каждый модуль обратного преобразования из группы 2937 модулей обратного преобразования. Через процесс перемежения четыре фрагмента внешней информации предоставляются в модули обратного преобразования из группы 2951 модулей обратного преобразования из четырех регистров в группе 2935 регистров, по одному за раз. Эта обработка посредством модуля C 2936 перемежения выполняется в качестве процесса перестановки столбцов и строк (стадия C).

QB-счетчик 2931, табл. A 2932, модуль B 2934 перемежения, группа 2935 регистров и модуль C 2936 перемежения составляют модуль 2750 перемежения битов BICM-декодера, показанного на фиг. 28.

Модули обратного преобразования из группы 2937 модулей обратного преобразования используют четыре фрагмента внешней информации, предоставляемой посредством модуля C 2936 перемежения, в качестве априорной информации, чтобы выполнять процесс обратного преобразования, а затем выводят результирующие LLR-значения в модуль C 2938 обратного перемежения.

Модуль C 2938 обратного перемежения применяет процесс обратного перемежения к LLR-значениям (т.е. новый процесс перемежения, отменяющий процесс перемежения, применяемый посредством передающего устройства в ходе стадии C), а затем выводит обратно перемеженные LLR-значения в регистры группы 2939 регистров. Каждый регистр сохраняет один циклический блок LLR-значений (т.е. восемь LLR-значений). В группе 2939 регистров циклический блок LLR-значений, сохраненных по-

средством каждого регистра, последовательно выводится на следующий уровень, так что контент каждого регистра последовательно обновляется. Модуль В 2940 обратного перемежения применяет процесс обратного перемежения к циклическому блоку (восьми) LLR-значений (т.е. новый процесс перемежения, отменяющий процесс перемежения, применяемый посредством передающего устройства в ходе стадии В), а затем записывает результаты в основное запоминающее устройство 2901 для LLR и буферное запоминающее устройство 2902 для LLR. Основное запоминающее устройство 2901 для LLR и буферное запоминающее устройство 2902 для LLR принимают адрес записи из таблицы А 2932 через модуль 2941 задержки, а затем сохраняют один циклический блок LLR-значений (т.е. восьми LLR-значений), принимаемый из модуля обратного перемежения 2940, в соответствии с принимаемым адресом записи. Процесс перемежения, отменяющий процесс перемежения, применяемый посредством передающего устройства в ходе стадии А (т.е. процесс обратного перемежения), осуществляется посредством этой записи в соответствии с контентом таблицы А 2932.

Для каждого кодового слова вышеописанный набор процессов применяется три раза, по одному разу для значений счетчика 0-3, 4-7 и 8-11 QB-счетчика 2931.

QB-счетчик 2931, табл. А 2932, модуль В 26938 обратного перемежения, группа 2939 регистров и модуль С перемежения 2940 составляют модуль 2730 перемежения битов BICM-декодера, показанного на фиг. 28.

Модуль В 2934 перемежения и модуль В 2940 обратного перемежения являются переконфигурируемыми. Это требует определенных затрат на аппаратные средства, но эти затраты минимизируются посредством тщательного проектирования. Модуль С 2936 перемежения и модуль 2938 обратного перемежения реализуют перестановку столбцов и строк. Эта перестановка является одинаковой для предварительно определенного размера созвездия. За счет этого снижаются затраты на реализацию.

Вариант осуществления, проиллюстрированный на фиг. 29, включает в себя Q модулей обратного преобразования, работающих параллельно. Тем не менее, модули обратного преобразования также являются реализуемыми в качестве итеративного BICM-декодера посредством снижения или повышения параллелизма. Например, число секций модуля параллельного перемежения в модуле перемежения битов, т.е. частное N/M , очевидно, может быть увеличено с тем, чтобы легко повышать параллелизм. Такие способы обеспечивают оптимизацию параллелизма посредством параллелизации $Q \times N/M$ модулей обратного преобразования. Вышеописанный модуль перемежения битов имеет преимущество реализуемости с таким параллелизмом без затруднений.

Дополнительные изыскания разработчика

Модули перемежения, удовлетворяющие условиям 1 и 2, приведенным выше (т.е. модули параллельного перемежения), допускают, что число битов на каждое слово M созвездия является делителем числа N циклических блоков. Тем не менее, M типично не является делителем N . Например, LDPC-коды в 16 кбит, используемые в DVB-T2-стандарте, имеют $N=45$ циклических блоков на каждое кодовое LDPC-слово в 16 кбит. Когда M не является делителем N , преобразование квадратных созвездий, таких как QAM-созвездия, в которых M является четным, не является простым.

Таким образом, предлагается частное решение, которое исключает в себе исключение одного или более из N циклических блоков и реализацию модуля перемежения, поясненного в варианте 1 осуществления (т.е. модуля параллельного перемежения) выше, только для оставшихся циклических блоков.

Другими словами, N' циклических блоков выбираются из числа N циклических блоков таким образом, что N' является кратным числу битов на каждые слова M созвездия в модуле перемежения битов. Модуль перемежения битов разделяет N' выбранных циклических блоков на N'/M секций таким образом, что каждая секция включает в себя M циклических блоков, а затем выполняет перестановку секций для каждой секции. Биты исключенного (т.е. не выбранного) циклического блока могут перемежаться или не перемежаться.

Например, исключенные циклические блоки могут быть циклическими блоками, имеющими переменный узел с наименьшим весовым коэффициентом. Для примерных RA QC-LDPC-кодов (см. фиг. 5), исключенные циклические блоки являются циклическим блоком секции четности (имеющим весовой коэффициент переменного узла в два) и преимущественно являются последними одним или более циклических блоков кодового слова.

Фиг. 30 иллюстрирует циклический блок, подвергающийся, и циклический блок, исключенный из (т.е. исключенный блок) процесса перемежения, описанному выше (т.е. вариант 1 осуществления). На фиг. 30, код является LDPC-кодом в 16 кбит, соответствующим DVB-T2-стандарту, и созвездие является 16-QAM-созвездием. Как показано, 44 из циклических блоков подвергаются перемежению (т.е. блоки 1-44), и циклический блок 45, в последней строке, является одним циклическим блоком, не подвергающимся перемежению (т.е. исключенным блоком). Четыре затемненных квадрата представляют четыре бита первого созвездия.

В общем, число секций модуля перемежения (каждая из которых состоит из M циклических блоков) задается посредством $\text{floor}(N/M)$, а число исключенных циклических блоков задается посредством $\text{rem}(N, M)$. Здесь, $\text{floor}(N/M)$ является функцией, которая возвращает наибольшее целое число, меньшее или равное N/M , а $\text{rem}(N, M)$ является функцией, которая возвращает остаток от деления N на M .

Табл. 2 показывает число секций и число исключенных циклических блоков для различных размеров созвездия (т.е. число битов на каждое созвездие M), для LDPC-кодов в 16 кбит DVB-T2-стандарта (когда используются $N=45$ циклических блоков).

Таблица 2

Размер созвездия	M	Число секций	Число исключенных блоков
QPSK	2	22	1
16-QAM	4	11	1
64-QAM	6	7	3
256-QAM	8	5	5

Согласно способу перемежения, удовлетворяющему условиям 1 и 2, как описано выше, каждое слово созвездия преобразуется в M циклических блоков. Тем не менее, для больших созвездий (т.е. созвездий, имеющих много точек созвездия), способ перемежения, удовлетворяющий условиям 1 и 2, требует очень большого количества регистров задержки (см. реализацию, описанную со ссылкой на фиг. 26-29). Использование очень большого количества регистров приводит к увеличению площади схемы, а также потребления электроэнергии. Помимо этого, уменьшение числа циклических блоков, в которые преобразуется каждое слово созвездия, является полезным для увеличения перекрытия между внешними (BICM-) итерациями и внутренними (LDPC-) итерациями, в свою очередь, уменьшая полное время задержки на BICM-декодирование.

Посредством преобразования двух или более битов каждого слова созвездия в идентичный циклический блок сокращается число циклических блоков, в которые преобразуется каждое слово созвездия. Число битов слова созвездия, преобразованных в идентичный циклический блок, называется "коэффициентом свертки" и обозначается F . Например, когда $F=2$ для 16-QAM-созвездия, каждое слово созвездия преобразуется в четыре циклических блока, а не в два. Единственное ограничение состоит в том, что коэффициент F свертки (который является целым числом, большим единицы) должен быть делителем и M и Q . Когда $F=1$, свертка не задействуется, т.е. случай соответствует варианту 1 осуществления, описанному выше.

Комплексный символ QAM-созвездия разлагается на два идентичных вещественных PAM-символа. Таким образом, M битов QAM-созвездия разделяются на два идентичных вещественных PAM-символа, которые являются наборами из $M/2$ битов. Биты каждого слова созвездия затем преобразуются в идентичное число $M/2$ циклических блоков. Коэффициент свертки $F=2$ является предпочтительным для QAM-созвездия.

Для комплексных созвездий, которые не могут быть разложены на вещественные числа, к примеру, для 8-PSK (фазовой манипуляции), 16-APSK (амплитудно-фазовой манипуляции), 32-APSK и т.д. в стандарте DVB-S2, способ свертки не является легко применимым. Тем не менее, способ свертки является применимым, когда F является делителем M . К сожалению, это исключает какую-либо гарантию того, что каждый циклический блок имеет только биты с идентичным уровнем устойчивости из созвездий, преобразованных в них.

Преимущественно, способ свертки, например, применяется таким образом, что только биты с идентичным уровнем устойчивости в созвездиях преобразуются в циклические блоки.

Свертка также является полезной при уменьшении числа исключенных циклических блоков или даже при устранении необходимости исключать какие-либо циклические блоки. Как описано выше, определенное число циклических блоков, составляющих кодовое слово, должно исключаться, когда используется модуль перемежения, описанный в варианте 1 осуществления (т.е. модуль параллельного перемежения).

Без свертки (т.е. когда $F=1$), число групп M циклических блоков (т.е. число секций) составляет $\text{floor}(N/M)$, а число исключенных циклических блоков составляет $\text{rem}(N, M)$. Со сверткой число групп M/F циклических блоков составляет $\text{floor}(N/(M/F))$, а число исключенных циклических блоков составляет $\text{rem}(N, M/F)$. Конкретный пример этих чисел приведен в табл. 3 для LDPC-кодов, используемых в DVB-T2-стандарте.

Таблица 3

Длина кодовых LDPC-слов	Размер созвездия	M	Без свертки		Со сверткой	
			Число секций	Число исключенных блоков	Число секций	Число исключенных блоков
16 Кбайт ($N=45$, $Q=360$)	QPSK	2	22	1	44	1
	16-QAM	4	11	1	22	1
	64-QAM	6	7	3	15	0
	256-QAM	8	5	5	11	1
64 Кбайт ($N=180$, $Q=360$)	QPSK	2	90	0	180	0
	16-QAM	4	45	0	90	0
	64-QAM	6	30	0	60	0
	256-QAM	8	22	4	45	0

Автор изобретения выяснил то, что для того чтобы выполнять свертку (при которой F является целым числом, равным или большим двух), условия 1 и 2 должны быть модифицированы в условия 1А и 2А, как представлено ниже.

Условие 1А.

Каждое из M битов каждого слова созвездия преобразуется в один из M/F различных циклических блоков кодового LDPC-слова. Это является эквивалентным преобразованию одного бита из M/F различных циклических блоков кодового LDPC-слова в слово созвездия. Это схематично проиллюстрировано на фиг. 31А.

Условие 2А.

Все слова созвездия, преобразованные в M/F циклических блоков, преобразуются только в этот конкретный циклический блок. Это является эквивалентным преобразованию всех $M \times Q/F$ битов M/F различных циклических блоков, каждый из которых состоит из Q битов, точно в Q/F созвездий. Это схематично проиллюстрировано на фиг. 31В.

Когда $F=1$, свертка не задействуется, и тем самым условия 1А и 2А являются эквивалентными условиям 1 и 2.

Второй вариант осуществления

Далее описываются подробности модуля перемежения битов (т.е. модуля параллельного перемежения битов), который удовлетворяет условиям 1А и 2А, представленным выше. В нижеприведенном описании, если применимо, обработка и модули, выполняющие такую обработку, помечаются идентичными ссылками с номерами.

В настоящем документе каждая группа из M/F циклических блоков или Q/F слов созвездия упоминается как секция свертки (или как секция свертки модуля перемежения).

Когда $F=1$ (т.е. без свертки), секции свертки модуля перемежения совпадают с секциями модуля перемежения, и модуль перемежения битов имеет конфигурацию, идентичную конфигурации модулю перемежения битов из варианта 1 осуществления.

Свертка осуществляется, когда F является целым числом, большим единицы. Вариант 2 осуществления описывает пример свертки, если $F=2$.

Фиг. 32 является блок-схемой, иллюстрирующей конфигурацию модуля перемежения битов, удовлетворяющего условиям 1А и 2А, когда $Q=8$, $M=4$, $N=12$ и $F=2$, в качестве другого варианта осуществления раскрытия сущности.

На фиг. 32, кодовые QC-LDPC-слова состоят из $N=12$ циклических блоков QB1-QB12, каждый из которых, в свою очередь, состоит из $Q=8$ битов. Каждое из 24 слов созвездия состоит из $M=4$ битов. Каждое слово созвездия указывает одну из $2^M=16$ точек созвездия. Модуль перемежения битов разделяется на $F \times N/M = 6$ секций свертки, и каждое из 24 слов созвездия ассоциируется с одной из $F \times N/M = 6$ секций свертки.

Модуль 2000А перемежения битов включает в себя модуль 2010А перестановки битов. Модуль 2010А перестановки битов включает в себя $F \times N/M = 6$ модулей 2021А-2026А перестановки секций свертки, каждый из которых работает независимо. Вместо предоставления шести модулей перестановки секций свертки, может предоставляться один модуль перестановки секций свертки, с тем чтобы выполнять шесть (нижеописанных) процессов перестановки секций свертки, с переключением между ними во времени.

Модули (2021А, 2022А, 2023А, 2024А, 2025А, 2026А) перестановки секций свертки являются независимыми, и каждый из них применяет процесс перестановки секций свертки к 16 битам из двух циклических блоков так, что $F=2$ бита из каждого из $M/F=2$ циклических блоков (QB1-QB2, QB3-QB4, QB5-QB6, QB7-QB8, QB9-QB10, QB11-QB12) преобразуются в данный набор из четырех слов созвездия (C1-C4, C5-C8, C9-C12, C13-C16, C17-C20, C21-C24).

Условия 1А и 2А, описанные выше, просто обеспечивают то, что модуль перемежения битов делится на $F \times N/M$ параллельных секций свертки. Перестановки секций свертки, применяемые к параллельным секциям свертки, могут применять идентичные правила перестановки, могут каждый применять различные правила перестановки или могут заключать в себе поднабор секций, применяющих идентичные правила перестановки, тогда как другие применяют отличные.

Например, модули перестановки секций свертки могут преобразовывать Q битов из каждого циклического блока в биты Q/F слов созвездия, имеющих идентичный уровень устойчивости. Это проиллюстрировано на фиг. 33А, 33В, 34А и 34В для случая, когда $Q=8$ и $M=4$.

Фиг. 34А является блок-схемой модуля перестановки секций (свертки), когда $F=1$ (т.е. без свертки) и является аналогичным фиг. 22А.

Фиг. 34В является блок-схемой двух модулей перестановки секций свертки из фиг. 32, когда $F=2$ (т.е. со сверткой).

Тем не менее, в примере по фиг. 34В, созвездия являются 16-QAM-созвездиями. Таким образом, биты созвездий имеют два уровня устойчивости. Биты b1 и b3 имеют идентичный уровень устойчивости, и биты b2 и b4 имеют идентичный уровень устойчивости, причем первый уровень устойчивости отлича-

ется от второго уровня устойчивости.

Каждый из модулей 2201A (и 2202A) перестановки секций свертки включает в себя модуль 2131A (или 2132A) перестановки столбцов и строк.

Каждый из модулей 2131A (и 2132A) перестановки столбцов и строк выполняет процесс перестановки столбцов и строк для $Q \times M/F = 16$ циклических блоков QB1 и QB2 (или QB3 и QB4). Если точнее, модули 2131A (и 2132A) перестановки столбцов и строк записывают $Q \times M/F = 16$ битов по строкам в матрицу $Q \times M/F (8 \times 2)$, а затем считывают 16 битов, записанных таким образом, по столбцам, чтобы выполнять процесс перестановки столбцов и строк. Перестановка столбцов и строк, применяемая посредством модулей 2131A и 2132A перестановки столбцов и строк, напоминает перестановку, применяемую к матрице 12×1350 , показанной на фиг. 9A и 9B, в которой используются Q столбцов и M/F строк, процесс записи осуществляется по строкам, а процесс считывания осуществляется по столбцам.

Свертка с коэффициентом свертки F сокращает число циклических блоков, преобразованных в одно слово созвездия. Таким образом, матрица, используемая в перестановке столбцов и строк, уменьшается по размеру с M строк до M/F строк.

Фиг. 33A иллюстрирует функцию преобразования, выполняемую посредством модуля перестановки секций (свертки) из фиг. 34A. Фиг. 33B иллюстрирует функцию преобразования, выполняемую посредством двух модулей перестановки секций свертки из фиг. 34B. На фиг. 33A и 33B, каждое слово созвездия $M=4$ бита обозначается b1-b4. Части, обведенные более толстыми линиями, представляют части, преобразованные в созвездие C1.

Как показано на фиг. 33A и 34A, каждый из восьми битов циклического блока (имеющих равную значимость) преобразуется в биты восьми слов созвездия, имеющие идентичный битовый индекс (т.е. имеющие идентичный уровень устойчивости). Кроме того, на фиг. 33B и 34B, восемь битов циклического блока (имеющих равную значимость) преобразуются в биты четырех слов созвездия, имеющие идентичный уровень устойчивости.

Перестановка секций свертки, описанная на фиг. 34B, может применяться к циклическим блокам QB5-QB6, QB7-QB8, QB9-QB10 и QB11-QB12.

Модули перестановки секций свертки по фиг. 34A и 34B также могут включать в себя подмодуль, выполняющий внутреннюю перестановку циклических блоков для битов циклических блоков QB1-QB4 до перестановки столбцов и строк.

Преимущественно, дополнительная перестановка циклических блоков может применяться к N циклических блоков до того, как модуль перемежения битов выполняет перестановку секций свертки. Фиг. 35 является структурной схемой дополнительной перестановки циклических блоков, применяемой посредством модуля перемежения битов.

Модуль 2300A перемежения битов, показанный на фиг. 35, включает в себя модуль 2310 перестановки циклических блоков и модуль 2010A перестановки битов (который, в свою очередь, включает в себя модули 2021A-2026A перестановки секций свертки).

Фиг. 36 является принципиальной блок-схемой модуля 3500 перемежения битов, показанного на фиг. 23.

Модуль 2400A перемежения битов, показанный на фиг. 36, включает в себя модуль 2310 перестановки циклических блоков и модуль 2200A перестановки битов (который, в свою очередь, включает в себя модули 2201A-2206A перестановки секций свертки).

Каждый из модулей 2201A-2206A перестановки секций свертки включает в себя модуль 2131A-2136A перестановки столбцов и строк. Каждый из модулей 2133A-2136A перестановки секций свертки выполняет практически идентичные перестановки с модулями 2131A-2132A перестановки столбцов и строк.

Каждый из модулей перемежения битов, показанных на фиг. 35 и 36, может включать в себя дополнительный подмодуль, выполняющий внутреннюю перестановку циклических блоков для битов циклических блоков QB1-QB12 до или после перестановки циклических блоков.

Далее описывается передающее устройство, которое включает в себя модуль перемежения битов, выполняющий процесс перемежения битов, который удовлетворяет условиям 1A и 2A, со ссылкой на фиг. 37.

Фиг. 37 является блок-схемой передающего устройства, связанного с дополнительным вариантом осуществления настоящего раскрытия сущности. Передающее устройство 2500A, показанное на фиг. 37, имеет конфигурацию, аналогичную конфигурации передающего устройства 2500 по фиг. 25, с отличием в том, что модуль 2520 перемежения битов заменяется модулем 2520A перемежения битов.

Модуль 2520A перемежения битов принимает кодовое слово в QC-LDPC-коде из LDPC-кодера 2510. Кодовое слово состоит из $N=12$ циклических блоков, причем каждый циклический блок включает в себя $Q=8$ битов. Модуль 2520A перемежения битов выполняет перемежение для битов кодовых слов. Модуль 2520A перемежения битов разделяет перемеженное кодовое слово на множество слов созвездия, каждое из которых состоит из $M=4$ битов и указывает одну из $2^M=16$ точек созвездия, а затем выводит слова созвездия в модуль 2530 преобразования созвездий. Модуль 2520A перемежения битов может

применять процесс перемежения битов, поясненный со ссылкой на фиг. 32-34, или может применять вариант процесса перестановки битов (за исключением случаев, в которых $F=1$). Кроме того, модуль 2520A перемежения битов может применять дополнительный процесс перестановки циклических блоков (за исключением случаев, в которых $F=1$), к примеру, процесс, поясненный со ссылкой на фиг. 35 и 36, или его изменение.

Далее описывается приемное устройство, принимающее сигналы из передающего устройства, которое включает в себя модуль перемежения битов, выполняющий процесс перемежения битов, который удовлетворяет условиям 1A и 2A.

Фиг. 38 является блок-схемой примерного приемного устройства, включающего в себя неитеративный ВИСМ-декодер, связанный с дополнительным вариантом осуществления раскрытия сущности. Приемное устройство выполняет операции передающего устройства в обратном порядке. Приемное устройство 2700A, показанное на фиг. 38, имеет конфигурацию, аналогичную конфигурации приемного устройства 2700 по фиг. 27, с отличием в том, что модуль 2730 обратного перемежения битов заменяется посредством модуля 2730A обратного перемежения битов.

Модуль 2730A обратного перемежения битов выполняет процесс перемежения для мягкой битовой последовательности, выводимой из модуля 2720 обратного преобразования созвездий, с тем чтобы отменить процесс перемежения битов, применяемый к битовой последовательности посредством модуля 2520A перемежения битов в передающем устройстве 2500A.

Фиг. 39 является блок-схемой примерного приемного устройства, включающего в себя неитеративный ВИСМ-декодер, связанный с дополнительным вариантом осуществления раскрытия сущности. Приемное устройство выполняет операции передающего устройства в обратном порядке. Приемное устройство 2800A, показанное на фиг. 39, имеет конфигурацию, аналогичную конфигурации приемного устройства 2800 по фиг. 28, с отличием в том, что модуль 2730 обратного перемежения битов и модуль 2750 перемежения битов заменяются посредством модуля 2730A обратного перемежения битов и модуля 2750A обратного перемежения битов.

Модуль 2750A перемежения битов выполняет процесс перемежения для внешней информации с использованием правил перемежения, идентичных правилам перемежения процесса перемежения, применяемого к битовой последовательности посредством модуля 2520A перемежения битов в передающем устройстве 2500A.

С точки зрения аппаратной реализации свертка является желательной в том смысле, что, например, биты созвездия за счет этого находятся в меньшем числе местоположений запоминающего устройства для LLR. Типично, запоминающее устройство для LLR в декодере включает в себя $G \times N$ адресуемых местоположений запоминающего устройства, причем каждое местоположение допускает сохранение Q/G LLR-значений. Здесь, G представляет собой параметр реализации, который является делителем Q , и в дальнейшем называется "степенью детализации запоминающего устройства". Местоположения запоминающего устройства для LLR в декодере и LLR-значения первого созвездия показаны на фиг. 40, где $M=4$, $F=2$, $Q=12$ и $G=1-12$.

Число LLR-значений на каждое местоположение запоминающего устройства, т.е. значений Q/G , обязательно является кратным F . LLR-значения каждого созвездия тем самым сохраняются в идентичной позиции во всех местоположениях запоминающего устройства. Это обеспечивает то, что LLR-значения любого слова созвездия сохраняются в M/F местоположений запоминающего устройства. Контрпример приведен на фиг. 40, на котором $G=4$, и $12/4=3$ LLR-значения сохраняются в каждом местоположении запоминающего устройства. Каждое из LLR-значений второго и пятого слов созвездия сохраняется в четырех местоположениях запоминающего устройства, а не в двух местоположениях запоминающего устройства.

В дополнение к простым QAM-созвездиям, в которых свертка с $F=2$ является применимой, свертка является даже более полезной, когда два или более символов созвездия совместно декодируются. Совместное декодирование необходимо, например, для декодирования по способу максимального правдоподобия блочных кодов (например, пространственно-временных кодов, пространственно-частотных кодов и т.п.) и для циклически сдвинутых созвездий в двух или более измерениях.

В общем, блочный код кодирует два или более входных символов (например, $x_1, \dots, x_K$) в два или более выходных символов (например, $y_1, \dots, y_L$). Здесь, L , по меньшей мере, равно K . Блочные коды моделируются в порождающей матрице $L \times K$. Здесь, вектор Y выходных сигналов получен в качестве результата левого умножения вектора X входных сигналов на порождающую матрицу G (т.е. $Y=GX$).

Элементы вектора X входных сигналов и вектора Y выходных сигналов, а также элементы порождающей матрицы G могут быть вещественными или комплексными. В зависимости от типа кода вектор Y выходных сигналов может быть передан в различных временных слотах или в различных частотных слотах, может быть передан по различным антеннам или может быть передан с использованием множества различных временных слотов, частотных слотов и антенн.

В приемном устройстве требуется декодирование по способу максимального правдоподобия, чтобы декодировать все элементы вектора X входных сигналов. Примеры блочных кодов для систем со многи-

ми входами и многими выходами (в дальнейшем в этом документе, MIMO) включают в себя коды Аламути, коды Голдена и пространственное мультиплексирование.

Когда K символов кодируется в идентичном блоке, коэффициент свертки вплоть до K очевидно является применимым.

Дополнительно, при условии, что символы являются QAM-символами (включающими в себя два делимых PAM-символа), в таком случае коэффициент свертки может быть увеличен до $2K$.

Согласно дополнительному аспекту настоящего раскрытия сущности, когда созвездия различных размеров, т.е. гибридные созвездия, совместно кодируются, два созвездия имеют различные уровни устойчивости. Таким образом, например, циклический блок, в который преобразуются биты одного слова созвездия, отличается от циклического блока, в который преобразуются биты другого слова созвездия.

Далее описывается пример MIMO-системы с кодированным пространственным мультиплексированием с использованием двух передающих антенн. Комплексный сигнал до кодирования представляет собой $X=[x_1 \ x_2]$. Здесь, x_1 является сигналом, к которому применена QPSK, а x_2 является сигналом, к которому применена 16-QAM. Комплексный сигнал после декодирования представляет собой $Y=[y_1 \ y_2]$. Здесь, y_1 и y_2 являются сигналами, соответственно, передаваемыми посредством первой антенны и второй антенны. Y получается через левое умножение X на порождающую матрицу $G \ 2 \times 2$ (причем элементы G могут быть вещественными или комплексными) (т.е. $Y=GX$).

Фиг. 41 иллюстрирует пример преобразования с коэффициентом свертки $F=2$ при мультиплексировании QPSK-символов с 16-QAM-символами в одном блочном коде. Фиг. 41 указывает только первые семь битов циклических блоков. Два комплексных символа x_1 и x_2 имеют следующую конфигурацию:

x_1 является QPSK-символом, имеющим вещественную часть $b1$ и мнимую часть $b2$;

x_2 является 16-QAM-символом, имеющим вещественную часть $b3$ и $b4$ и имеющим мнимые части $b5$ и $b6$.

Два символа совместно декодируются посредством приемного устройства и тем самым формируют блок созвездия или сформированный блок.

Весь 6-битовый блок созвездия имеет три уровня устойчивости.

Уровень 1: QPSK-биты $b1$ и $b2$ преобразуются в QB1.

Уровень 2: 16-QAM-биты $b3$ и $b5$ преобразуются в QB2.

Уровень 3: 16-QAM-биты $b4$ и $b6$ преобразуются в QB3.

Когда одно из созвездий имеет $M1$ битов, а другое созвездие имеет $M2$ битов, циклические группы N разделяются на одну или более групп из $M1$ циклических блоков и одну или более групп из $M2$ циклических блоков, чтобы выполнять процесс перемежения битов.

Третий вариант осуществления

Далее описывается пример модуля перемежения, выполняющего свертку в случае, если N не является кратным M .

Фиг. 42 иллюстрирует циклический блок,

подвергающийся, и циклический блок, исключенный из (т.е. исключенный блок) процесса перемежения, когда $F=2$, описанного выше. На фиг. 42, код является LDPC-кодом в 16 кбит, соответствующим DVB-T2-стандарту, и созвездие является 16-QAM-созвездием. Как показано, 44 из циклических блоков подвергаются перемежению (т.е. блоки 1-44), и циклический блок 45, в последней строке, является одним циклическим блоком, не подвергающимся перемежению (т.е. исключенным блоком). Четыре затемненных квадрата представляют четыре бита первого созвездия.

Фиг. 43 является принципиальной блок-схемой модуля перемежения битов, выполняющего свертку, когда N не является кратным M . Для простоты, задаются следующие значения: $N=13$, $Q=8$, $M=4$ и $F=2$.

Число секций свертки составляет $\text{floor}(N/(M/F))=6$, а число исключенных циклических блоков составляет $\text{rem}(N, M/F)=1$.

Модуль 2000B перемежения битов выбирает $13-1=12$ циклических блоков из числа циклических блоков QB1-QB13, так что выбранные циклические блоки QB1-QB12 удовлетворяют условиям A1 и A2 и подвергаются перемежению. Модуль 2010A перестановки битов в модуле 2000B перемежения битов выполняет процесс перестановки, описанный со ссылкой на фиг. 32, для двенадцати выбранных циклических блоках. Хотя биты циклического блока QB13 здесь преобразуются в слово созвездия без перемежения, перемежение также может применяться до преобразования в слово созвездия.

В качестве примера модуля перемежения, не выполняющего свертку, когда N не является кратным M , модуль 2 010A перестановки битов, показанный на фиг. 43, может быть заменен посредством модуля 2010 перестановки, показанного на фиг. 20.

Дополнение 1

Настоящее изобретение не ограничено вышеописанными вариантами осуществления. При условии, что достигаются цели изобретения и прилагаемые цели, также возможны другие изменения, к примеру, следующие.

(1) Вариант 1 осуществления описывается выше с использованием параметров $N=12$, $Q=8$ и $M=4$. Тем не менее, ограничения на параметры N , M и Q не накладываются. Здесь, N может быть любым кратным M . Когда N в два или более раз превышает M , обработка посредством модуля перемежения битов

делится на множество секций.

(2) В варианте 2 осуществления, когда используется свертка, т.е. когда F равно двум или более, параметры, приведенные для примера, представляют собой $N=12$, $Q=8$, $M=4$ и коэффициент свертки $F=2$. Тем не менее, ограничения на параметры N , M , Q и F не накладываются. Здесь, F является делителем M и Q , и N является кратным M/F .

(3) В варианте 2 осуществления, когда используется свертка, значение F задается как два, что представляет собой число битов, имеющих идентичный уровень устойчивости в одном 16-QAM-созвездии. Тем не менее, ограничения не накладываются. Значение F не должно быть равным числу битов, имеющему идентичный уровень устойчивости в созвездии, и может фактически отличаться от числа битов, имеющего идентичный уровень устойчивости в созвездии.

(4) В варианте 2 осуществления, когда используется свертка, пример описывает коэффициент свертки $F=2$ и QAM-созвездия, представляющие собой 16-QAM-созвездия. Тем не менее, ограничения не накладываются. Когда $F=2$, QAM-созвездия могут отличаться от 16-QAM-созвездий (например, 64-QAM-созвездия или 256-QAM-созвездия).

(5) В вышеописанных вариантах осуществления, созвездия описываются как 16-QAM (т.е. $M=4$). Тем не менее, созвездия могут указываться посредством других способов модуляции, таких как QPSK и QAM, к примеру, круговые созвездия, используемые в DVB-S2-стандарте, более многомерные созвездия и т.д.

(6) Способы и устройства, поясненные в вышеописанных вариантах осуществления, могут быть реализованы как программное обеспечение или как аппаратные средства. Конкретные ограничения в этом отношении не накладываются. В частности, вышеописанные варианты осуществления могут быть реализованы как компьютерно-читаемый носитель, содержащий воплощенные на нем компьютерно-исполняемые инструкции, которые выполнены с возможностью предоставления возможности компьютеру, микропроцессору, микроконтроллеру и т.п. осуществлять вышеописанные способы. Кроме того, вышеописанные варианты осуществления могут быть реализованы как специализированная интегральная схема (ASIC) или как программируемая пользователем вентильная матрица (FPGA).

Дополнение 2

Способ перемежения битов, модуль перемежения битов, способ обратного перемежения битов, модуль обратного перемежения битов и декодер настоящего раскрытия сущности и их преимущества описываются ниже.

В первом аспекте способа перемежения битов способ перемежения битов для системы связи с использованием квазициклических кодов разреженного контроля по четности содержит: этап приема для приема кодового слова квазициклических кодов разреженного контроля по четности, состоящих из N циклических блоков, каждый из которых включает в себя Q битов; этап перестановки битов для применения процесса перестановки битов к кодовому слову таким образом, чтобы переставлять биты в кодовом слове; и этап разделения для разделения кодового слова, после процесса перестановки битов, на множество слов созвездия, причем каждое из слов созвездия состоит из M битов и указывает одну из 2^M точек созвездия в предварительно определенном созвездии, при этом до процесса перестановки битов, кодовое слово разделяется на $F \times N/M$ секций свертки, при этом F является целым числом, большим единицы, причем каждая из секций свертки включает в себя M/F циклических блоков, и каждое из слов созвездия ассоциировано с одной из $F \times N/M$ секций свертки, и на этапе перестановки битов, процесс перестановки битов применяется таким образом, что M битов в каждом из слов созвездия включают в себя F битов из каждого из M/F различных циклических блоков в данной секции свертки, ассоциированной с данным словом созвездия, и таким образом, что все биты в данной секции свертки преобразуются только в Q/F слов созвездия, ассоциированных с данной секцией свертки.

В другом аспекте, первый модуль битового перемежения для системы связи с использованием квазициклических кодов разреженного контроля по четности содержит: модуль перестановки битов, принимающий кодовое слово квазициклических кодов разреженного контроля по четности, состоящих из N циклических блоков, каждый из которых включает в себя Q битов, применяющий процесс перестановки битов к кодовому слову таким образом, чтобы переставлять биты в кодовом слове, и разделяющий кодовое слово, для вывода после процесса перестановки битов, на множество слов созвездия, причем каждое из слов созвездия состоит из M битов и указывает одну из 2^M точек созвездия в предварительно определенном созвездии, при этом до процесса перестановки битов, кодовое слово разделяется на $F \times N/M$ секций свертки, при этом F является целым числом, большим единицы, причем каждая из секций свертки включает в себя M/F циклических блоков, и каждое из слов созвездия ассоциировано с одной из $F \times N/M$ секций свертки, и модуль перестановки битов применяет процесс перестановки битов таким образом, что M битов в каждом из слов созвездия включают в себя F битов из каждого из M/F различных циклических блоков в данной секции свертки, ассоциированной с данным словом созвездия, и таким образом, что все биты в данной секции свертки преобразуются только в Q/F слов созвездия, ассоциированных с данной секцией свертки.

Соответственно, достигается сокращение площади схемы и потребления электроэнергии, в допол-

нение к предоставлению возможности реализации процесса перемежения битов, имеющего высокий параллелизм.

Во втором аспекте способа перемежения битов этап перестановки битов включает в себя этап перестановки секций свертки для независимого применения процесса перестановки секций свертки к каждой из $F \times N/M$ секций свертки таким образом, чтобы переставлять биты в каждой из секций свертки.

Кроме того, во втором аспекте модуля перемежения битов модуль перестановки битов включает в себя модуль перестановки секций свертки, независимо применяющий процесс перестановки секций свертки к каждой из $F \times N/M$ секций свертки таким образом, чтобы переставлять биты в каждой из секций свертки.

Соответственно, множество процессов перестановки секций свертки выполняются параллельно.

В третьем аспекте способа перемежения битов, на этапе перестановки секций свертки, процесс перестановки секций свертки выполняется таким образом, что каждый из Q битов в данном циклическом блоке преобразуется в бит с идентичным уровнем устойчивости в Q/F слов созвездия, ассоциированных с одной из секций свертки, которая соответствует данному циклическому блоку.

Кроме того, в третьем аспекте модуля перемежения битов модуль перестановки секций свертки применяет процесс перестановки секций свертки таким образом, что каждый из Q битов в данном циклическом блоке преобразуется в бит с идентичным уровнем устойчивости в Q/F слов созвездия, ассоциированных с одной из секций свертки, которая соответствует данному циклическому блоку.

Соответственно, биты кодового слова, имеющего идентичную значимость, преобразуются в биты слова созвездия, имеющего идентичный уровень устойчивости, обеспечивая возможность согласования значимости и уровня устойчивости. Например, бит кодового слова, имеющего наибольшую значимость, может преобразовываться в бит слова созвездия, имеющий наибольший уровень устойчивости. В таком случае, высокая надежность достигается во время приема для бита кодового слова, имеющего наибольшую значимость, что приводит к большей пропускной способности приема.

В четвертом аспекте способа перемежения битов F равно числу битов с идентичным уровнем устойчивости в одном из слов созвездия.

Кроме того, в четвертом аспекте модуля перемежения битов F равно числу битов с идентичным уровнем устойчивости в одном из слов созвездия.

Соответственно, реализуется эффективная аппаратная реализация.

В пятом аспекте способа перемежения битов $F=2$, и слова созвездия являются QAM-созвездиями.

Кроме того, в пятом аспекте модуля перемежения битов $F=2$, и слова созвездия являются QAM-созвездиями.

Соответственно, реализуется эффективная аппаратная реализация.

В шестом аспекте способа перемежения битов этап перестановки секций свертки включает в себя этап перестановки столбцов и строк для применения процесса перестановки столбцов и строк к $M/F \times Q$ битов в каждой из секций свертки, с тем чтобы переставлять $M/F \times Q$ битов.

В седьмом аспекте способа перемежения битов процесс перестановки столбцов и строк является эквивалентным записи $M/F \times Q$ битов по строкам в матрицу, имеющую Q столбцов и M/F строк, а затем считыванию $M/F \times Q$ битов по столбцам.

Кроме того, в шестом аспекте модуля перемежения битов модуль перестановки секций свертки применяет процесс перестановки столбцов и строк к M/F битов в каждой из секций свертки, с тем чтобы переставлять $M/F \times Q$ битов.

Соответственно, перестановка столбцов и строк используется в процессе перестановки секций свертки, тем самым обеспечивая реализацию очень эффективного процесса перестановки секций свертки.

В дополнительном аспекте, способ обратного перемежения битов для обратного перемежения потока битов в системе связи с использованием квазициклических кодов разреженного контроля по четности содержит: этап приема для приема битовой последовательности, состоящей из $N \times Q$ битов; и этап обратной перестановки битов для применения процесса обратной перестановки битов к принимаемой битовой последовательности таким образом, чтобы переставлять биты в битовой последовательности, чтобы восстанавливать кодовое слово квазициклических кодов разреженного контроля по четности, при этом процесс обратной перестановки битов является обратным процессу перестановки битов в способе перемежения битов первого аспекта.

В альтернативном аспекте, модуль обратного перемежения битов для обратного перемежения потока битов в системе связи с использованием квазициклических кодов разреженного контроля по четности содержит: модуль обратной перестановки битов, принимающий битовую последовательность, состоящую из $N \times Q$ битов, и применяющий процесс обратной перестановки битов к принимаемой битовой последовательности таким образом, чтобы переставлять биты в битовой последовательности, чтобы восстанавливать кодовое слово квазициклических кодов разреженного контроля по четности, при этом процесс обратной перестановки битов является обратным процессу перестановки битов, применяемому посредством модуля перемежения битов первого аспекта.

В другом аспекте, декодер для системы перемежения битов и демодуляции с использованием квазициклических кодов разреженного контроля по четности содержит: модуль обратного преобразования созвездий, формирующий мягкую битовую последовательность, указывающую вероятность того, что соответствующий бит является одним из нулевого бита и единичного бита; модуль обратного перемежения битов альтернативного аспекта, обратно перемежающий мягкую битовую последовательность; и декодер на основе разреженного контроля по четности, декодирующий обратно перемеженную мягкую битовую последовательность.

В еще одном аспекте, декодер другого аспекта дополнительно содержит: модуль вычитания, вычитающий входной сигнал в декодер на основе разреженного контроля по четности из выходного сигнала декодера на основе разреженного контроля по четности; и модуль перемежения битов первого аспекта, предоставляющий разность из модуля вычитания в модуль обратного преобразования созвездий в качестве обратной связи.

Соответственно, процесс перемежения битов, имеющий высокий параллелизм, является реализуемым.

Промышленная применимость

Настоящее изобретение является применимым к модулю перемежения битов в системе кодирования и модуляции с перемежением битов, используемой для квазициклических кодов разреженного контроля по четности, и к модулю обратного перемежения битов, соответствующему такому модулю перемежения битов.

Список номеров ссылок

2000A - модуль перемежения битов,
 2010A - модуль перестановки битов,
 2021A - модуль перестановки секций свертки,
 2131A, 2132A - модуль перестановки столбцов и строк,
 2500A - передающее устройство,
 2510 - LDPC-кодер,
 2520A - модуль перемежения битов,
 2530 - модуль преобразования созвездий,
 2700A, 2800A - приемное устройство,
 2710 - модуль обратного преобразования созвездий,
 2720A - модуль обратного перемежения битов,
 2730 - LDPC-декодер,
 2740 - модуль вычитания,
 2750A - модуль перемежения битов.

ФОРМУЛА ИЗОБРЕТЕНИЯ

1. Способ обработки сигнала, выполняемый ВИСМ-кодером, для перемежения битов кодового слова, сформированного на основании схемы квазициклического кодирования с разреженным контролем по четности, включающей в себя схему квазициклического кодирования с разреженным контролем по четности с повторением и накоплением, причем ВИСМ-кодер включает в себя LDPC-кодер (120), модуль перемежения битов и модуль (140) преобразования созвездий, причем модуль перемежения битов включает в себя запоминающее устройство, хранящее информацию, указывающую правило перестановки, и схему, которая выполняет способ перемежения битов в соответствии с информацией, указывающей правило перестановки, причем перемежаются биты четности кодового слова, причем способ обработки сигнала включает в себя этапы, на которых

кодируют с использованием LDPC-кодера (120) блоки битов из входного потока битов в кодовые слова с использованием LDPC-кодов и передают кодовые слова в модуль перемежения битов;

применяют с использованием модуля (2310) перемежения битов процесс перестановки циклических блоков к кодовому слову, состоящему из N циклических блоков, каждый из которых состоит из Q битов, для переупорядочивания циклических блоков в соответствии с правилом перестановки циклических блоков, определяющим переупорядочивание циклических блоков;

применяют с использованием модуля (2010) перемежения битов процесс перестановки битов к кодовому слову после процесса перестановки циклических блоков для переупорядочивания битов в кодовом слове в соответствии с правилом перестановки битов, определяющим переупорядочивание битов;

разделяют с использованием модуля (824) перемежения битов кодовое слово после процесса перестановки битов на множество слов созвездия, причем каждое из слов созвездия состоит из M битов; и

преобразуют с использованием модуля (140) преобразования созвездий каждое слово созвездия в последовательность созвездий и передают ее в модулятор,

отличающийся тем, что

N не является кратным M,

правило перестановки битов определяет переупорядочивание битов кодового слова после процесса

перестановки циклических блоков так, что биты кодового слова записываются в матрицу M на Q построчно и записанные биты считываются из матрицы M на Q по столбцам, чтобы переупорядочить биты кодового слова.

2. Модуль перемежения битов для перемежения битов кодового слова, сформированного на основании схемы квазициклического кодирования с разреженным контролем по четности, включающей в себя схему квазициклического кодирования с разреженным контролем по четности с повторением и накоплением, причем перемежаются биты четности кодового слова, причем модуль перемежения битов содержит

запоминающее устройство, хранящее информацию, указывающую правило перестановки; и схему, которая в соответствии с информацией, указывающей правило перестановки, действует как модуль (2310) перестановки циклических блоков, применяющий процесс перестановки циклических блоков к кодовому слову, состоящему из N циклических блоков, каждый из которых состоит из Q битов, для переупорядочивания циклических блоков в соответствии с правилом перестановки циклических блоков, определяющим переупорядочивание циклических блоков; и

модуль (2010) перестановки битов, применяющий процесс перестановки битов к кодовому слову после процесса перестановки циклических блоков для переупорядочивания битов кодового слова в соответствии с правилом перестановки битов, определяющим переупорядочивание битов; и

делитель (824), разделяющий кодовое слово после процесса перестановки битов на множество слов созвездия, причем каждое из слов созвездия состоит из M битов,

отличающийся тем, что

N не является кратным M ,

правило перестановки битов определяет переупорядочивание битов кодового слова после процесса перестановки циклических блоков так, что биты кодового слова записываются в матрицу M на Q построчно и записанные биты считываются из матрицы M на Q по столбцам, чтобы переупорядочить биты кодового слова.

3. Способ обработки сигнала, выполняемый с использованием ВИСМ-декодера, для обработки сигнала, переданного посредством модулирования $N \times Q/M$ слов созвездия, причем ВИСМ-декодер включает в себя модуль обратного преобразования созвездий, модуль обратного перемежения битов и LDPC-декодер, причем модуль обратного перемежения битов включает в себя запоминающее устройство, хранящее информацию, указывающую правило перестановки, и схему, которая выполняет способ обработки сигналов в соответствии с информацией, указывающей правило перестановки, причем слова созвездия сформированы посредством применения процесса переупорядочивания битов к кодовому слову, сформированному на основании схемы квазициклического кодирования с разреженным контролем по четности, включающей в себя схему квазициклического кодирования с разреженным контролем по четности с повторением и накоплением, и разделения битов кодового слова для каждого из M битов, причем кодовое слово состоит из N циклических блоков, каждый из которых включает в себя Q битов, причем перемежаются биты четности кодового слова,

причем процесс переупорядочивания битов включает в себя

процесс (2310) перестановки циклических блоков, в котором переупорядочивают циклические блоки кодового слова в соответствии с правилом перестановки циклических блоков, определяющим переупорядочивание циклических блоков; и

процесс (2010) перестановки битов, в котором переупорядочивают биты кодового слова после процесса перестановки циклических блоков в соответствии с правилом перестановки битов, определяющим переупорядочивание битов, причем

N не является кратным M ,

правило перестановки битов определяет переупорядочивание битов кодового слова после процесса перестановки циклических блоков так, что биты кодового слова записываются в матрицу M на Q построчно и записанные биты считываются из матрицы M на Q по столбцам, чтобы переупорядочить биты кодового слова,

причем способ обработки сигнала включает в себя

этап демодулирования, на котором формируют (2710, 2720), с использованием демодулятора, демодулированный сигнал посредством демодуляции сигнала, который был передан посредством модулирования $N \times Q/M$ слов созвездия;

этап обратного преобразования, на котором с использованием модуля обратного преобразования созвездий формируют битовую последовательность посредством применения процесса обратного преобразования к входному сигналу из демодулятора;

этап обратного перемежения битов, на котором с использованием модуля обратного перемежения битов выполняют процесс обратного перемежения битов для битовой последовательности, выводимой из модуля обратного преобразования созвездий; и

этап декодирования, на котором декодируют (2730), с использованием LDPC-декодера, битовую последовательность, обратно перемеженную посредством модуля обратного перемежения битов.

4. Процессор сигналов для обработки сигнала, переданного посредством модулирования $N \times Q/M$ слов созвездия, причем слова созвездия сформированы посредством применения процесса переупорядочивания битов к кодовому слову, сформированному на основании схемы квазициклического кодирования с разреженным контролем по четности, включающей в себя схему квазициклического кодирования с разреженным контролем по четности с повторением и накоплением, и разделения битов кодового слова для каждого из M битов, причем кодовое слово состоит из N циклических блоков, каждый из которых включает в себя Q битов, причем перемежаются биты четности кодового слова,

причем процесс переупорядочивания битов включает в себя

процесс (2310) перестановки циклических блоков, в котором переупорядочивают циклические блоки кодового слова в соответствии с правилом перестановки циклических блоков, определяющим переупорядочивание циклических блоков; и

процесс (2010) перестановки битов, в котором переупорядочивают биты кодового слова после процесса перестановки циклических блоков в соответствии с правилом перестановки битов, определяющим переупорядочивание битов, причем

N не является кратным M ,

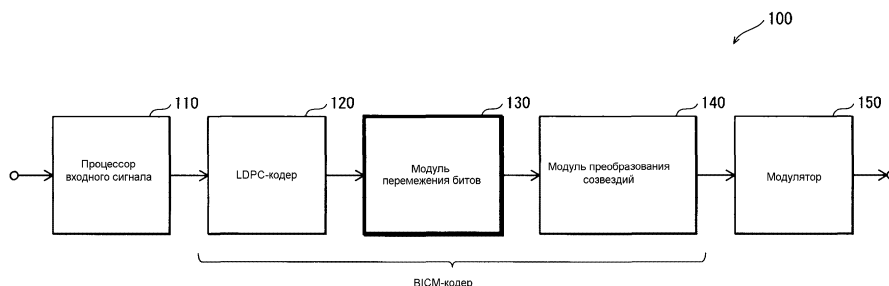
правило перестановки битов определяет переупорядочивание битов кодового слова после процесса перестановки циклических блоков так, что биты кодового слова записываются в матрицу M на Q построчно и записанные биты считываются из матрицы M на Q по столбцам, чтобы переупорядочить биты кодового слова,

причем процессор сигналов содержит

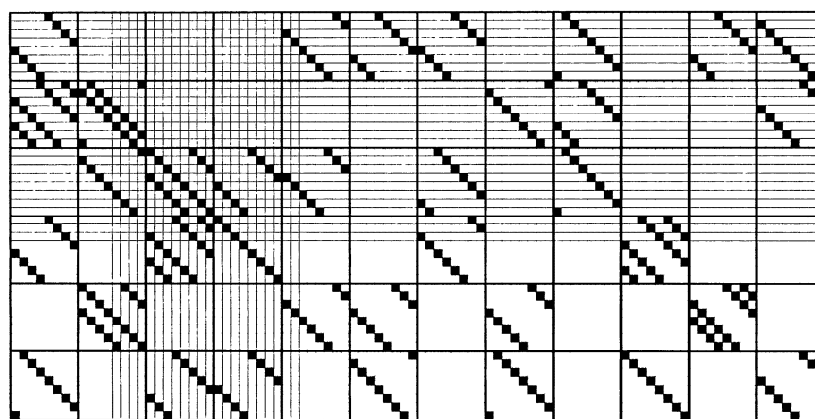
запоминающее устройство, хранящее информацию, указывающую правило перестановки; и

схему, которая в соответствии с информацией, указывающей правило перестановки, действует как демодулятор (2710, 2720), формирующий демодулированный сигнал посредством демодуляции сигнала, который был передан посредством модулирования $N \times Q/M$ слов созвездия; и

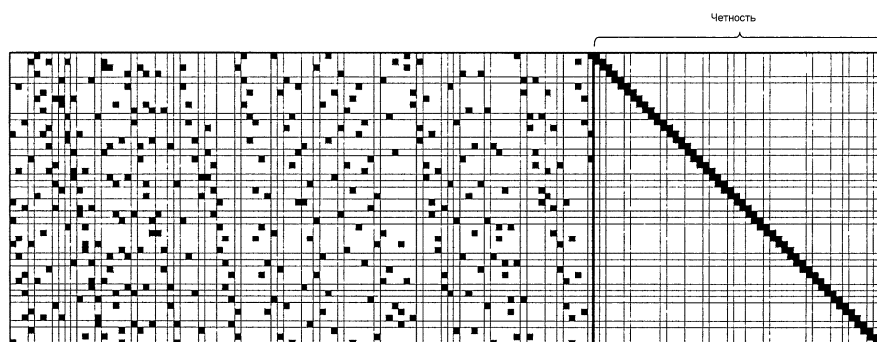
декодер (2730), декодирующий демодулированный сигнал в соответствии с правилом перестановки циклических блоков и правилом перестановки битов для формирования данных перед кодированием в соответствии со схемой квазициклического кодирования с разреженным контролем по четности.



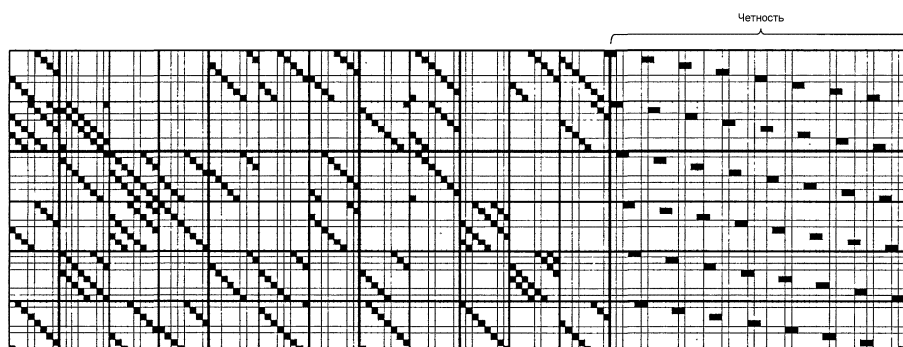
Фиг. 1



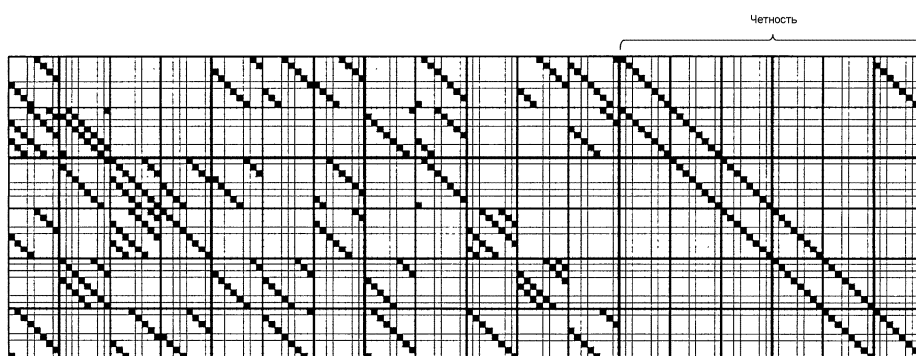
Фиг. 2



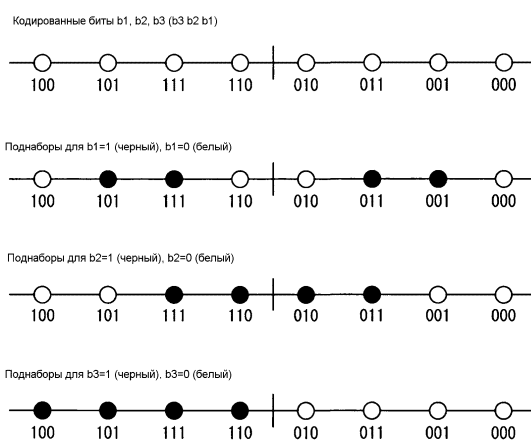
Фиг. 3



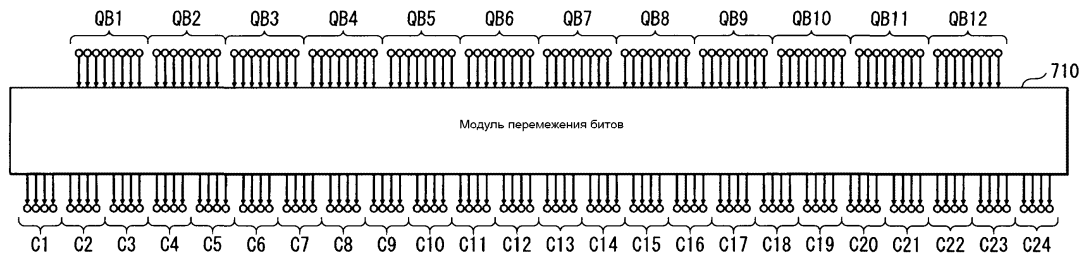
Фиг. 4



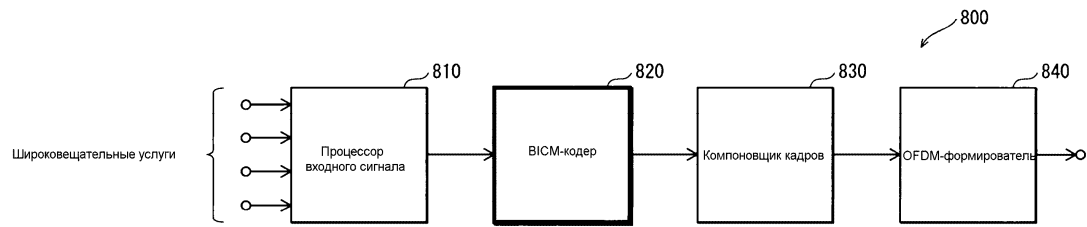
Фиг. 5



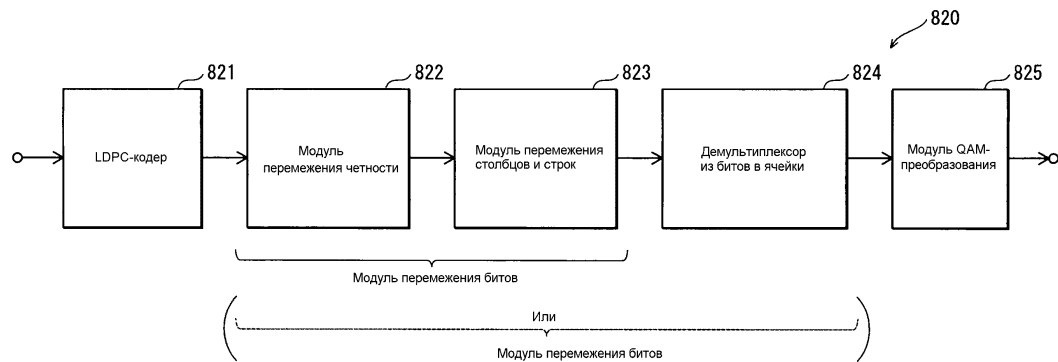
Фиг. 6



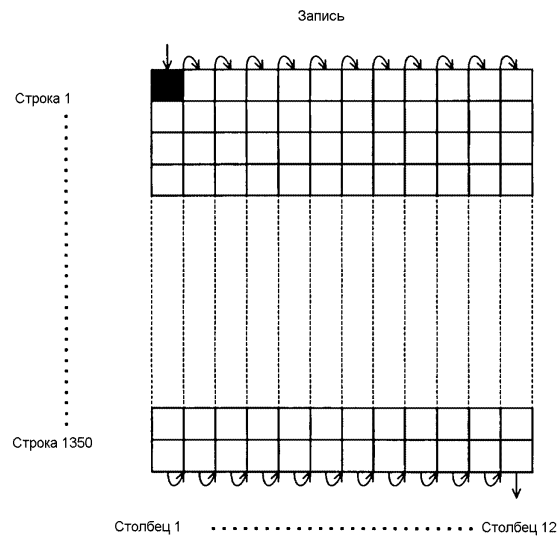
Фиг. 7



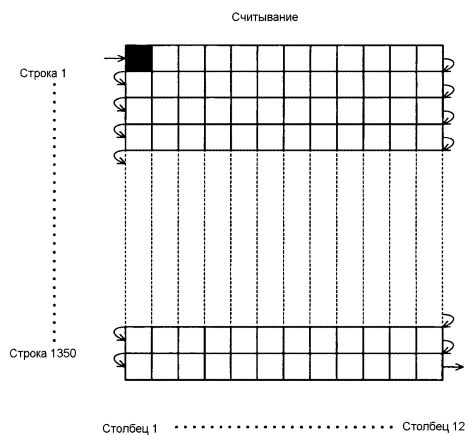
Фиг. 8А



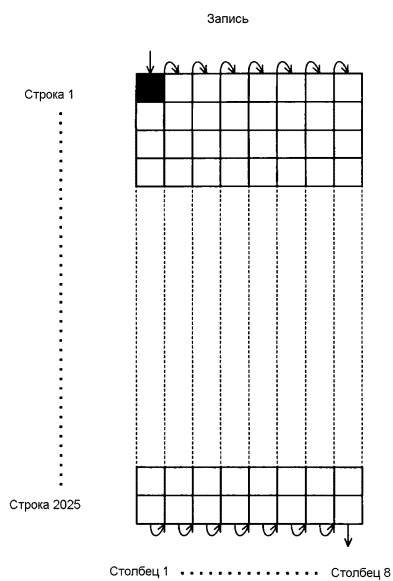
Фиг. 8В



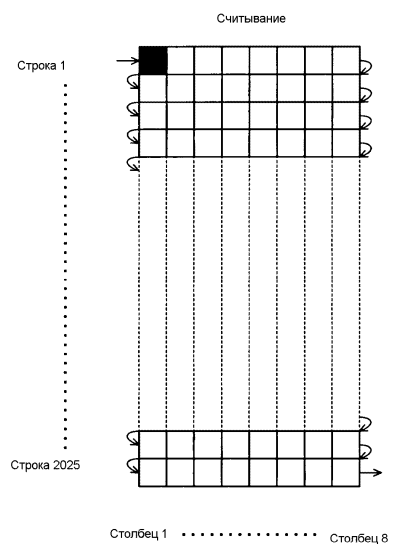
Фиг. 9А



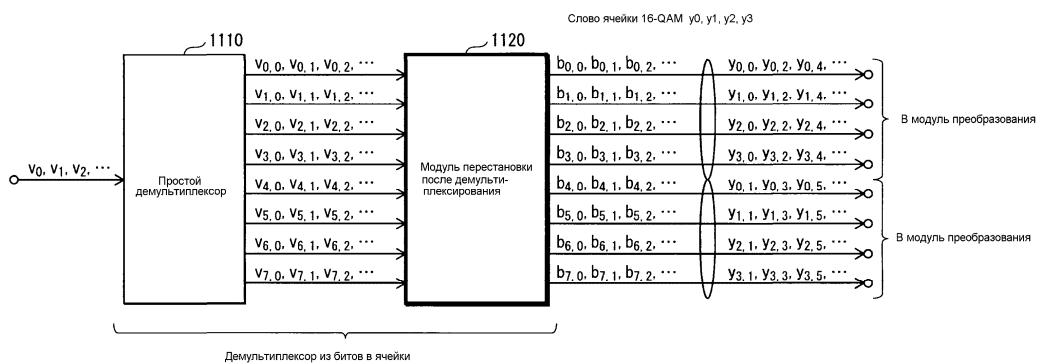
Фиг. 9В



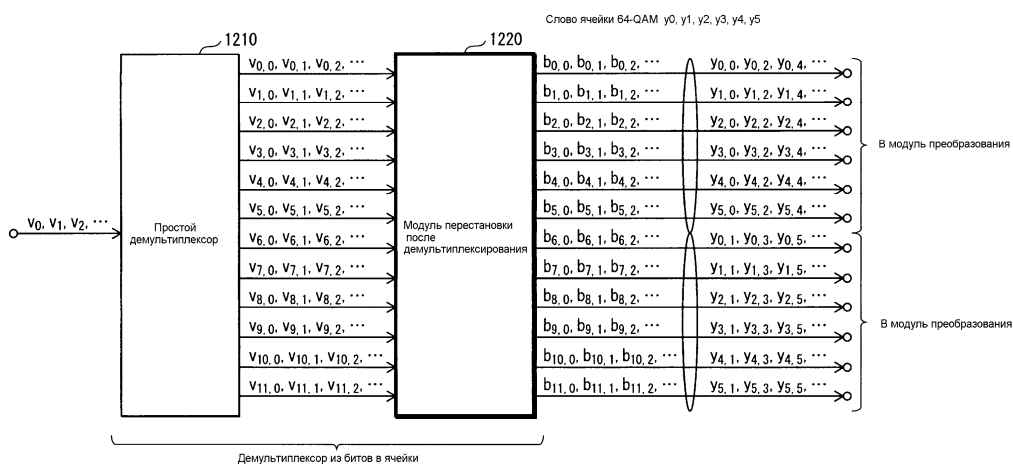
Фиг. 10А



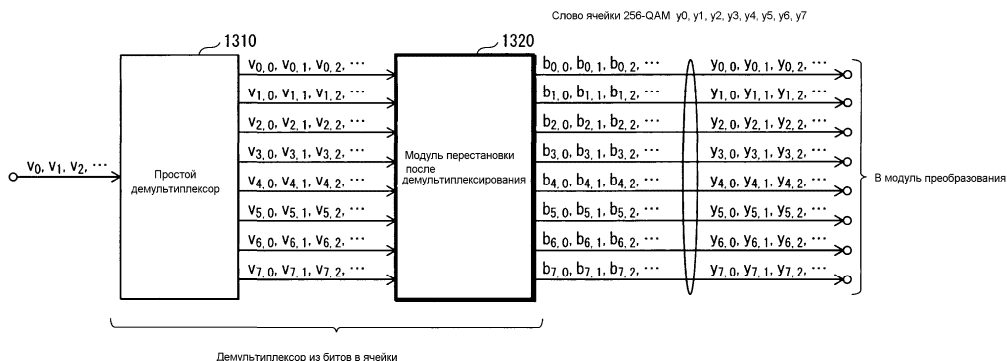
Фиг. 10В



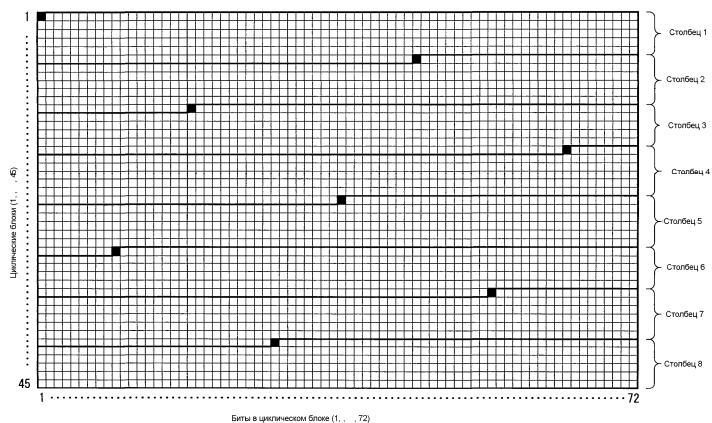
Фиг. 11



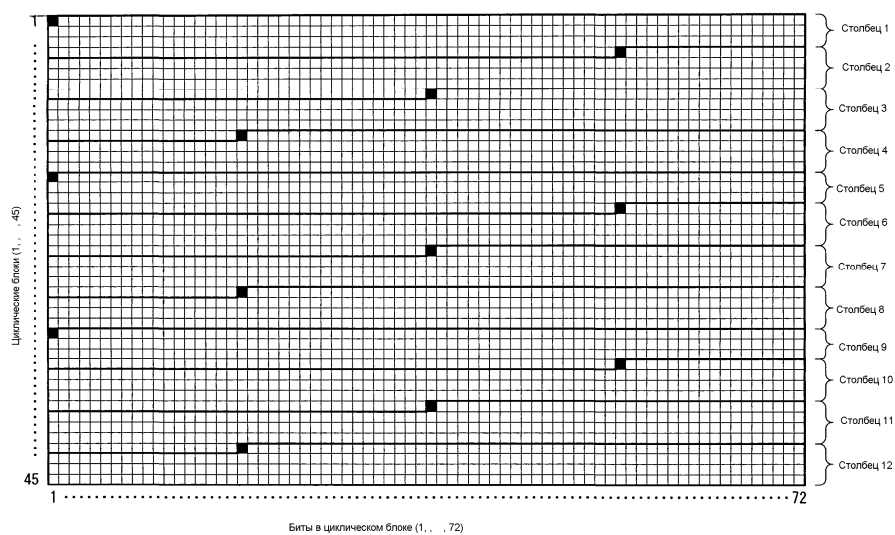
Фиг. 12



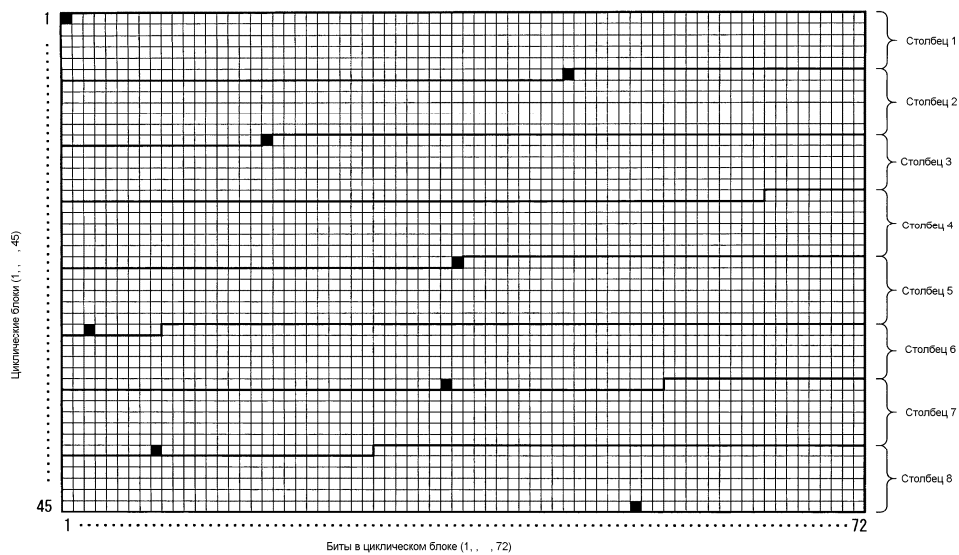
Фиг. 13



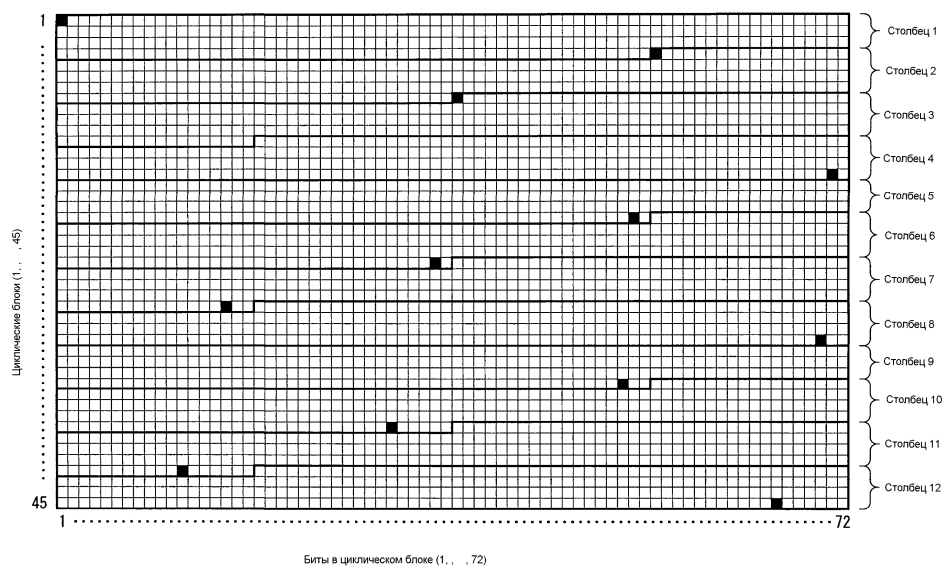
Фиг. 14



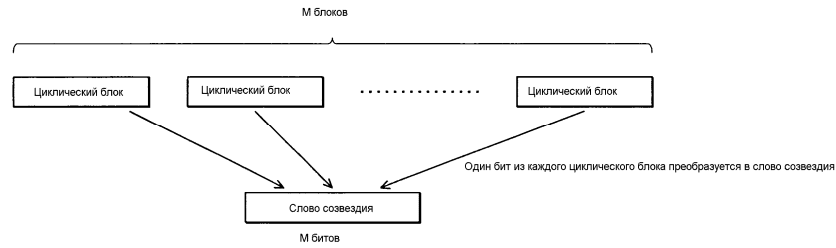
Фиг. 15



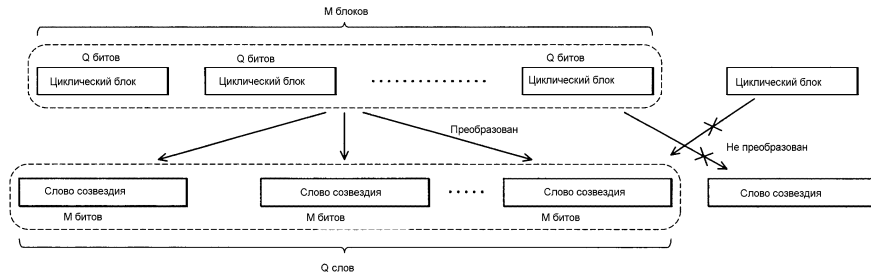
Фиг. 16



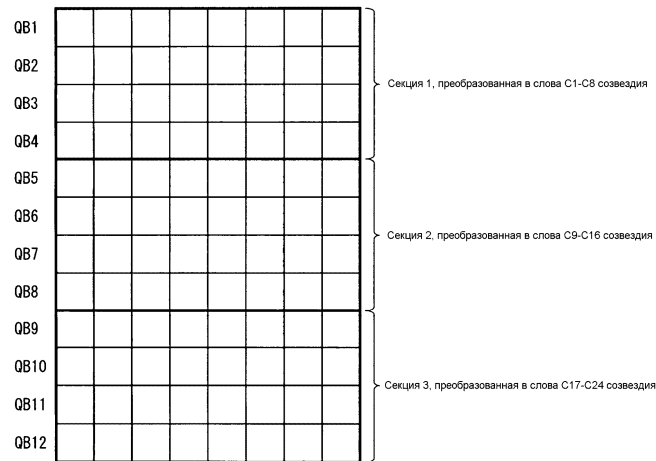
Фиг. 17



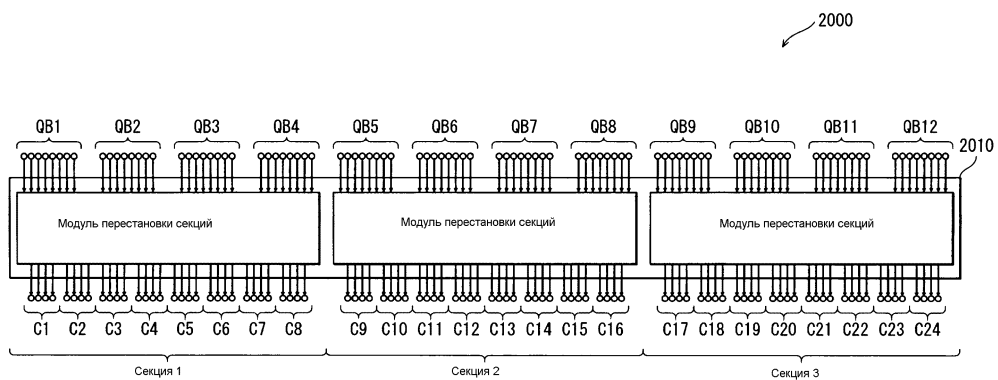
Фиг. 18А



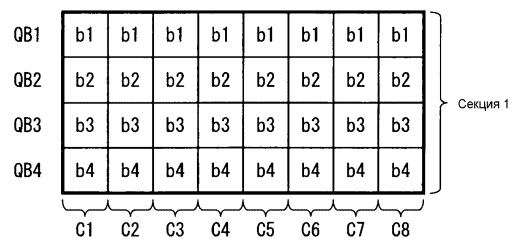
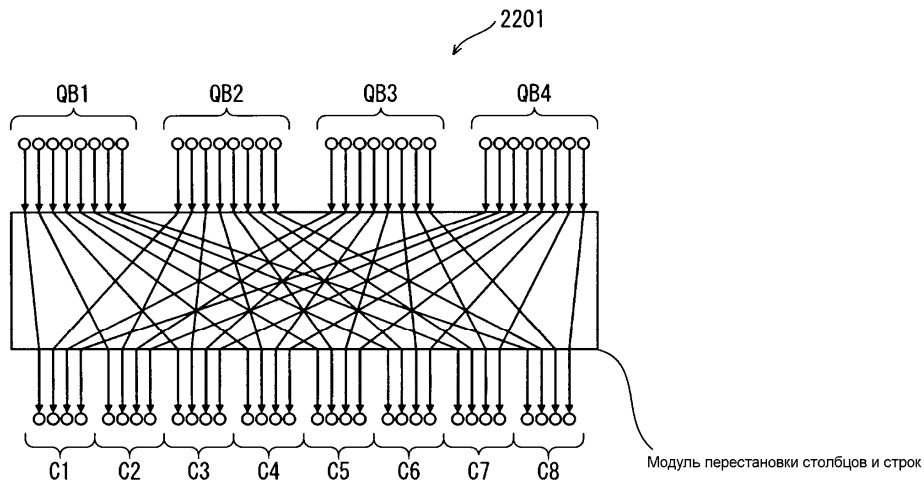
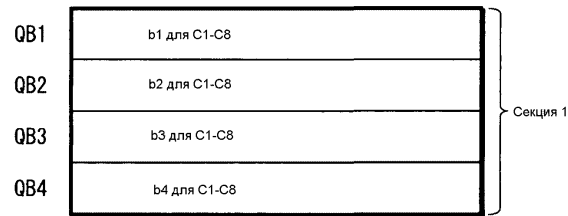
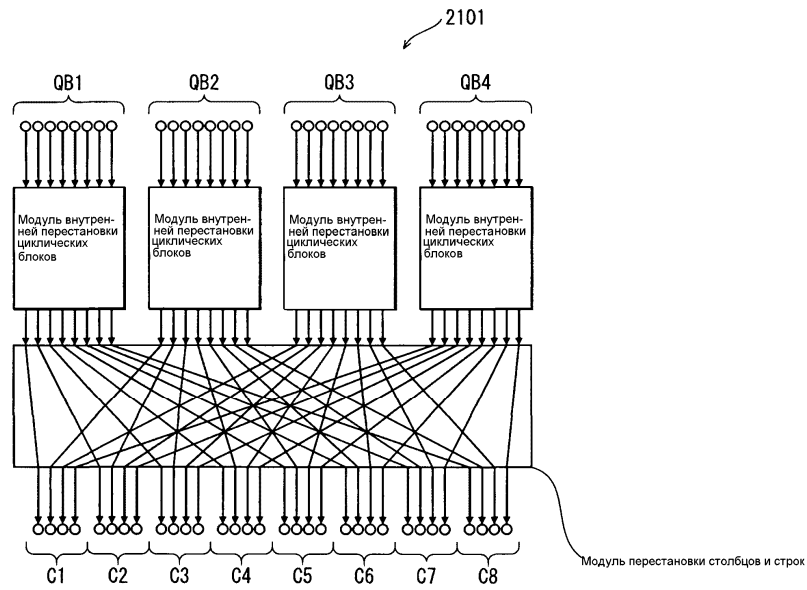
Фиг. 18В

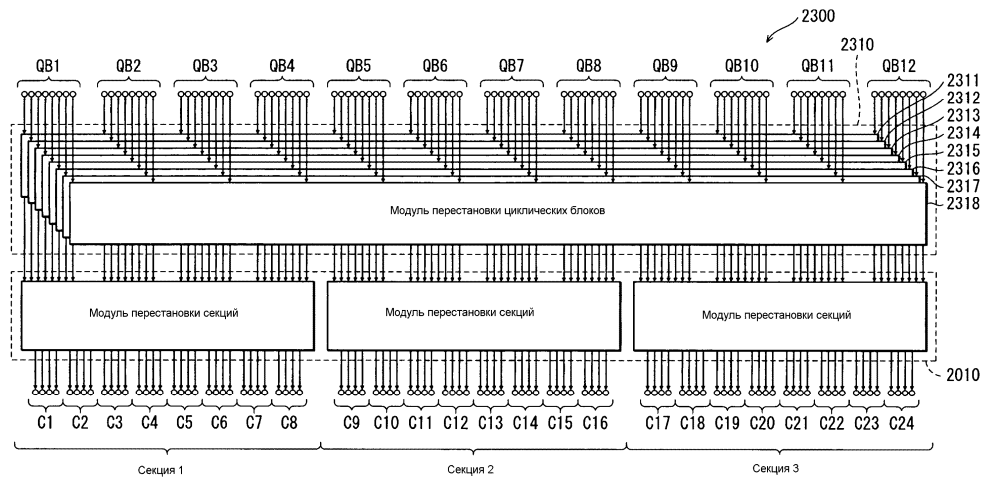


Фиг. 19

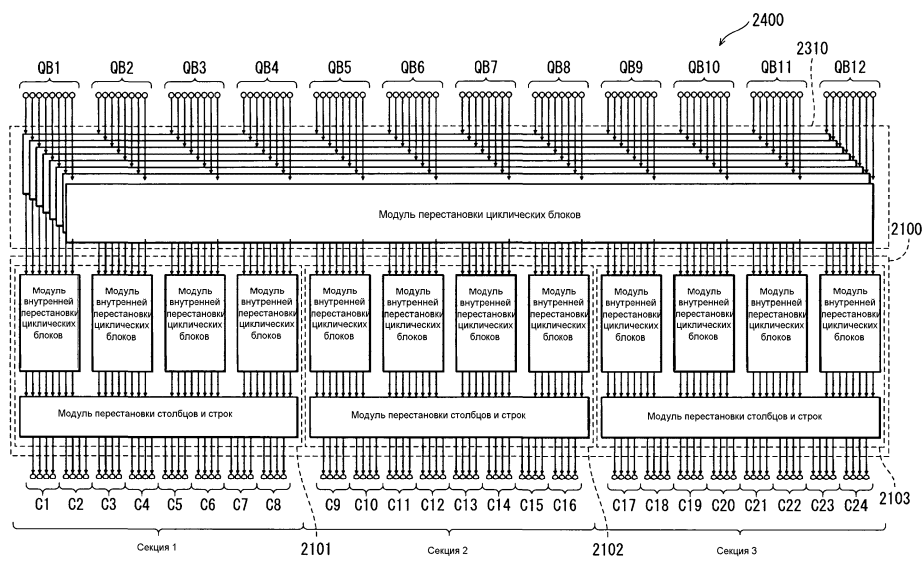


Фиг. 20

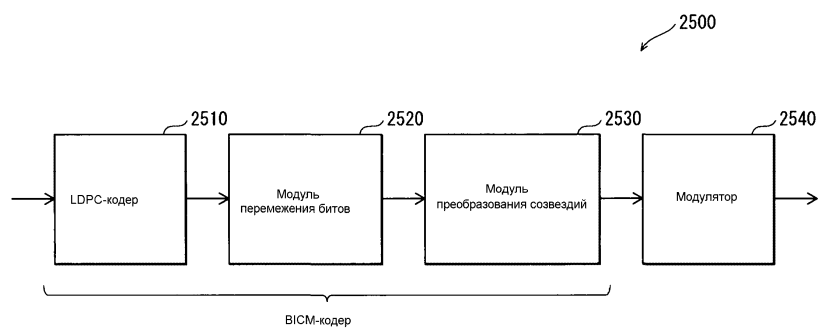




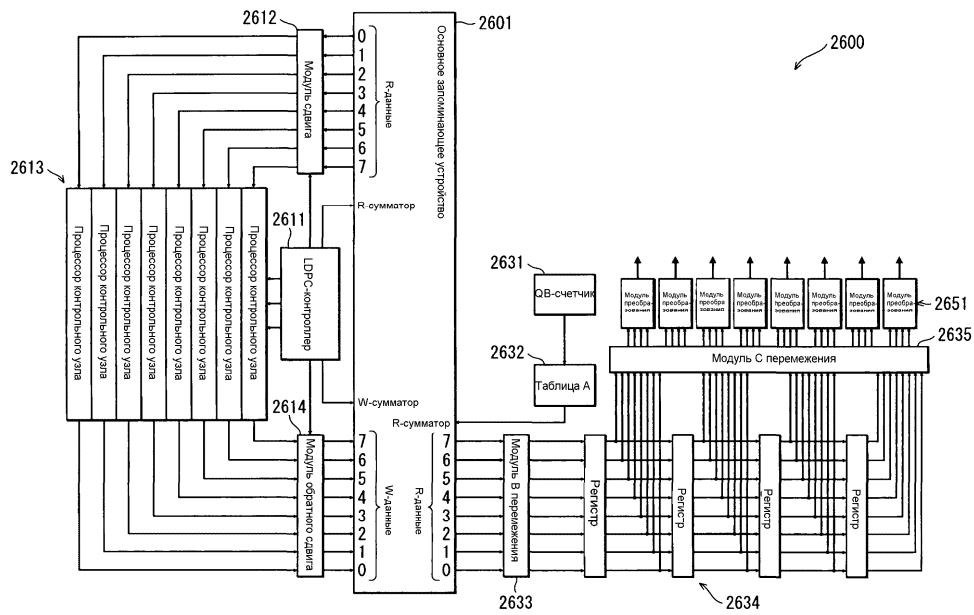
Фиг. 23



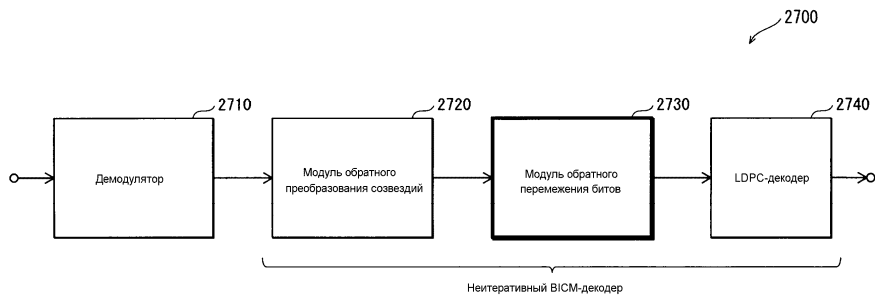
Фиг. 24



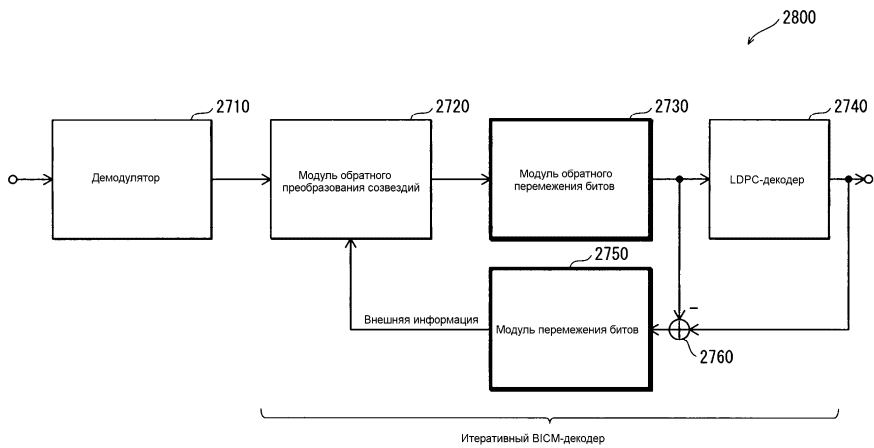
Фиг. 25



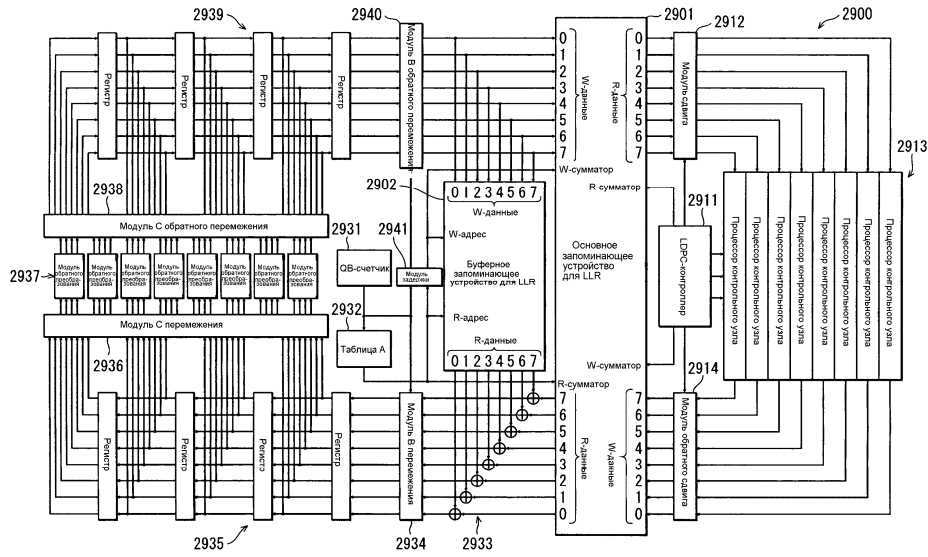
Фиг. 26



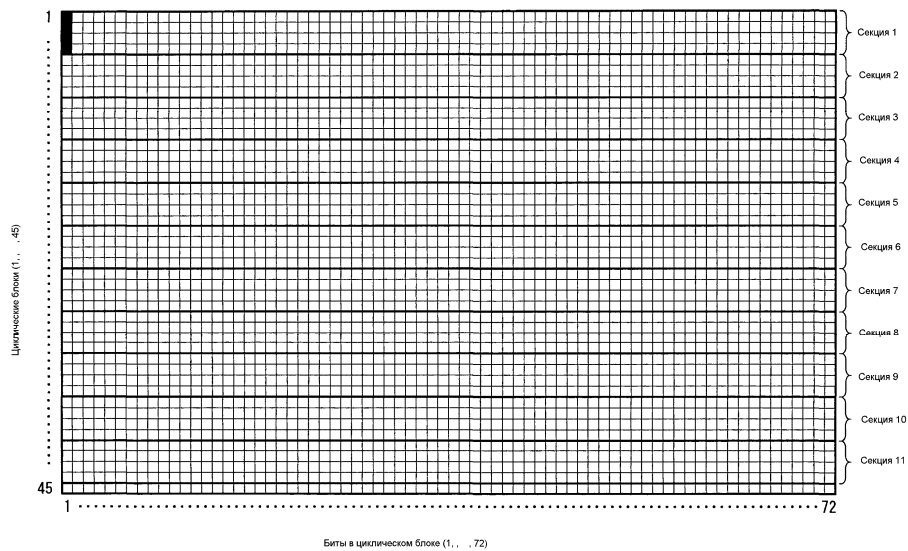
Фиг. 27



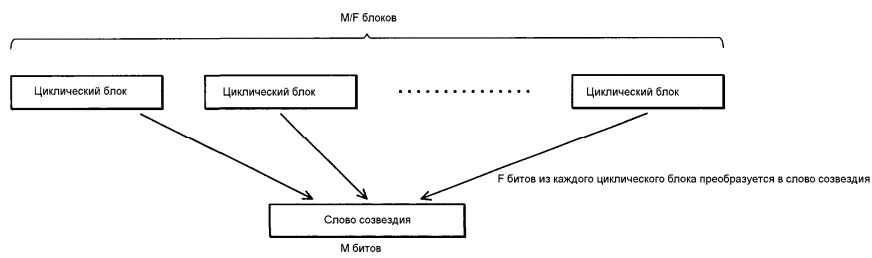
Фиг. 28



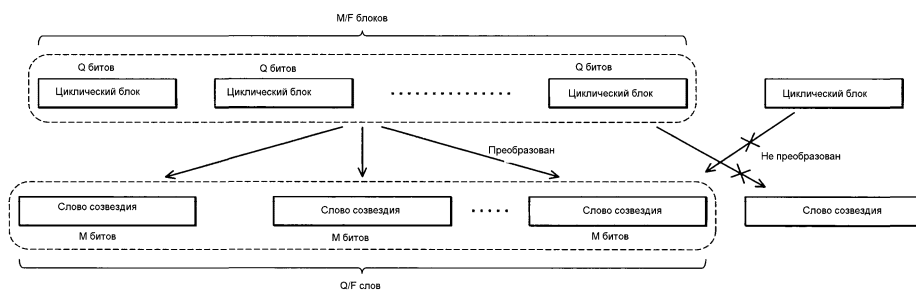
Фиг. 29



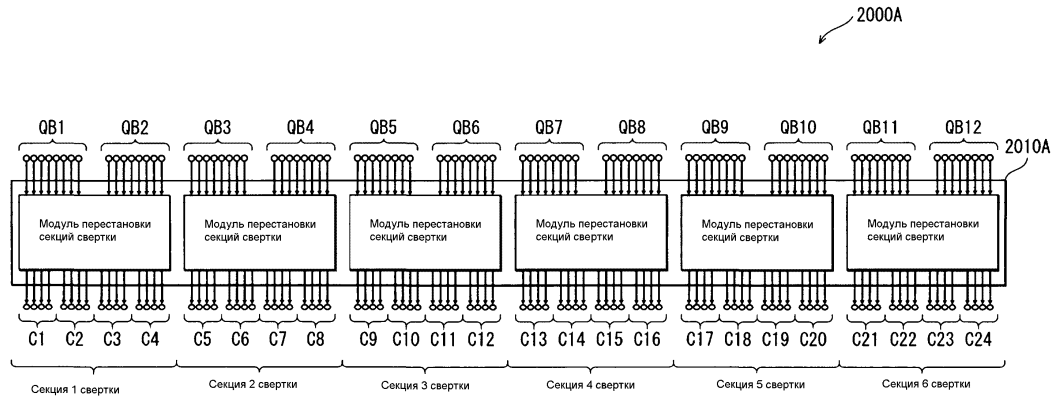
Фиг. 30



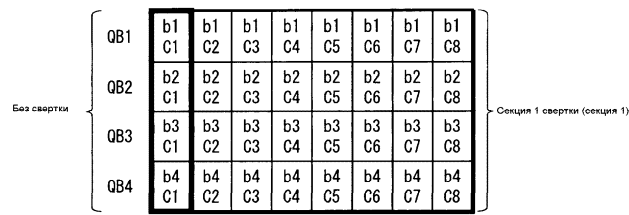
Фиг. 31А



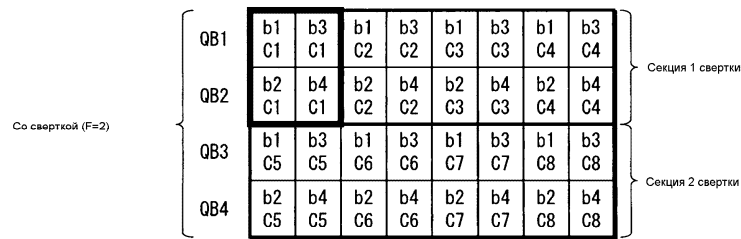
Фиг. 31В



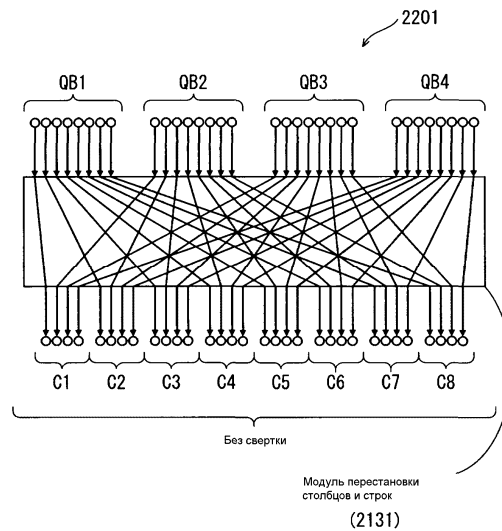
Фиг. 32



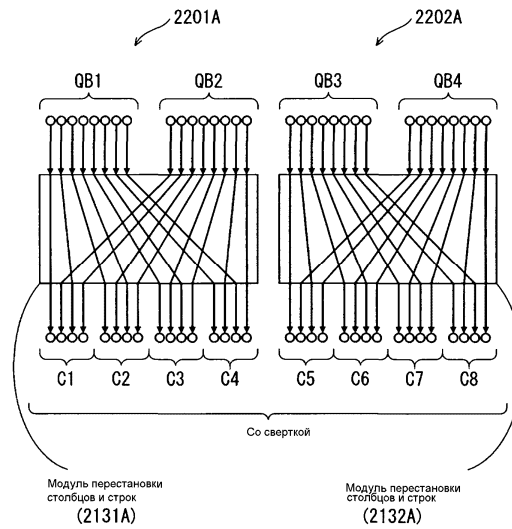
Фиг. 33А



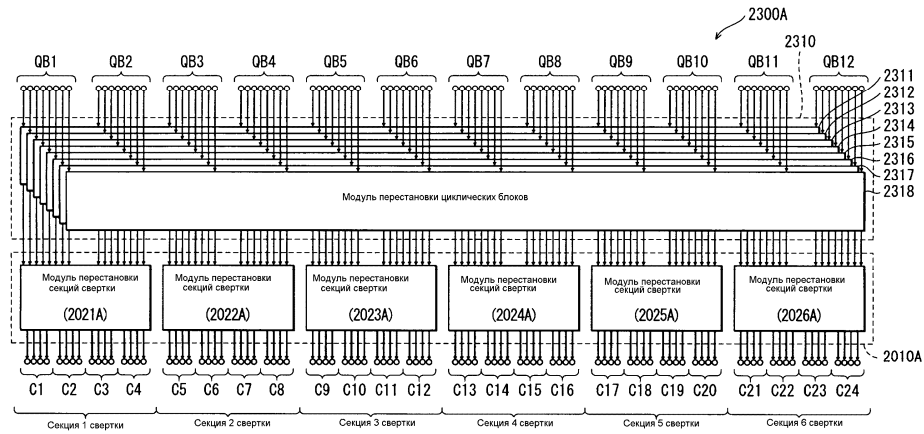
Фиг. 33В



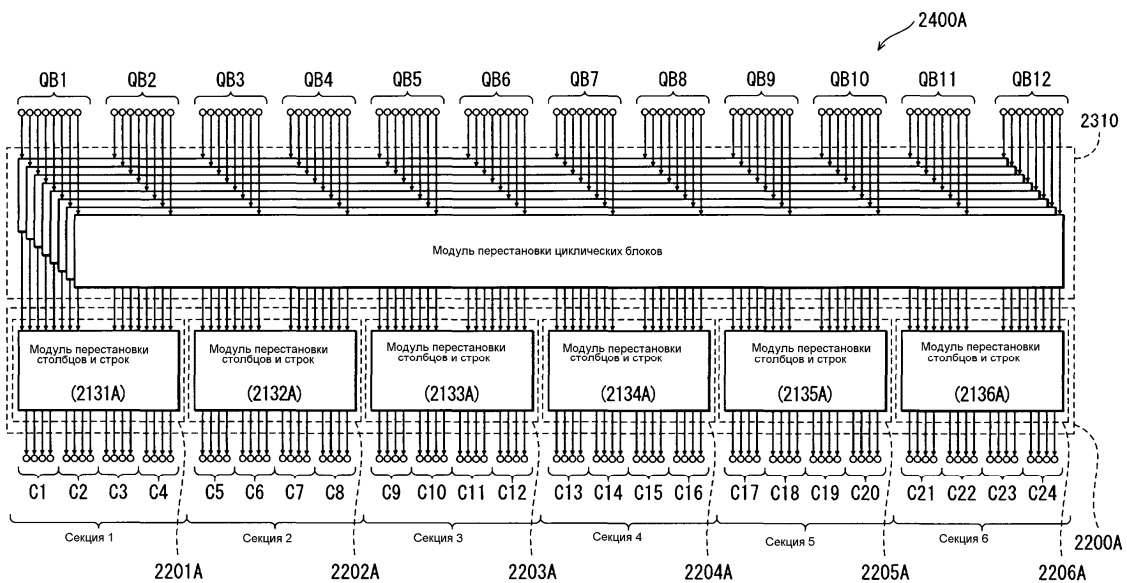
Фиг. 34А



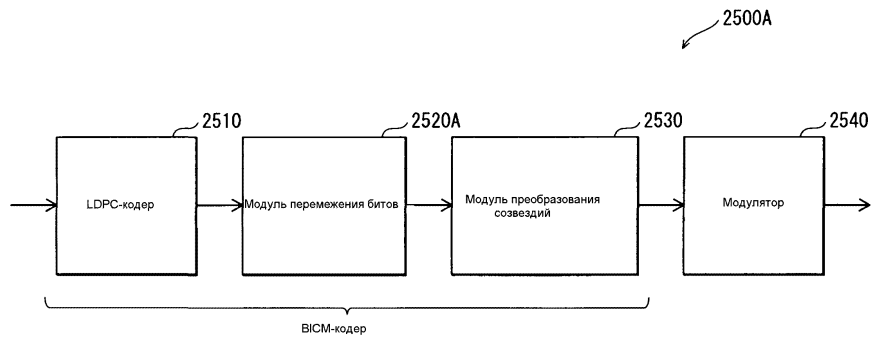
Фиг. 34В



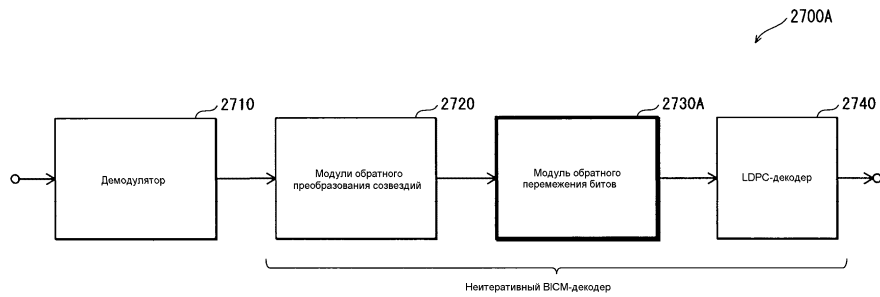
Фиг. 35



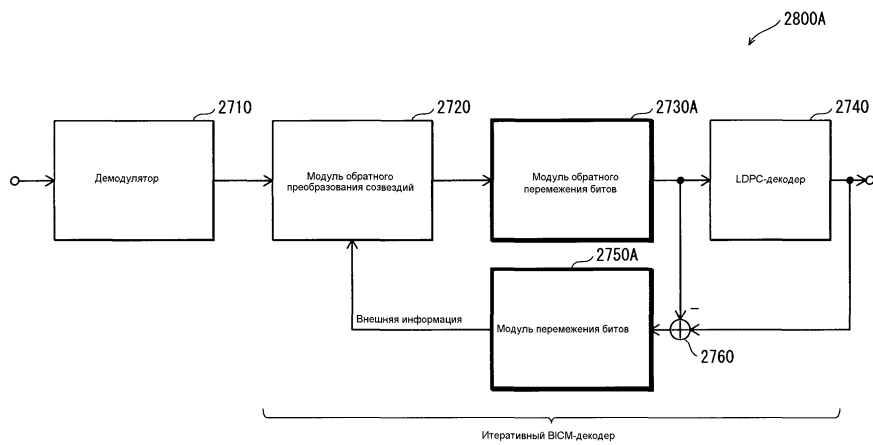
Фиг. 36



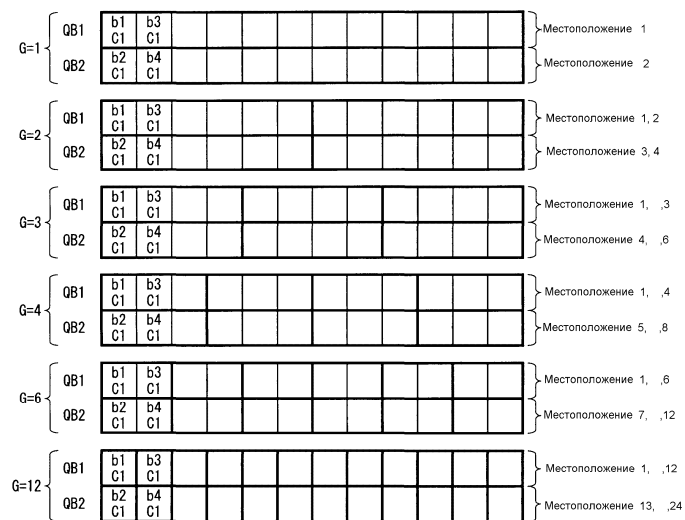
Фиг. 37



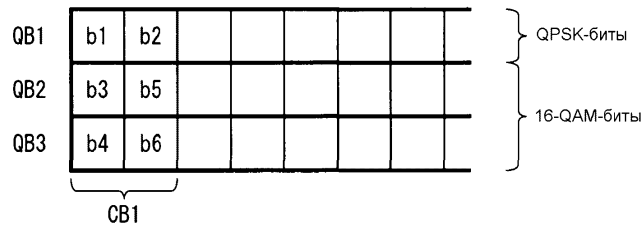
Фиг. 38



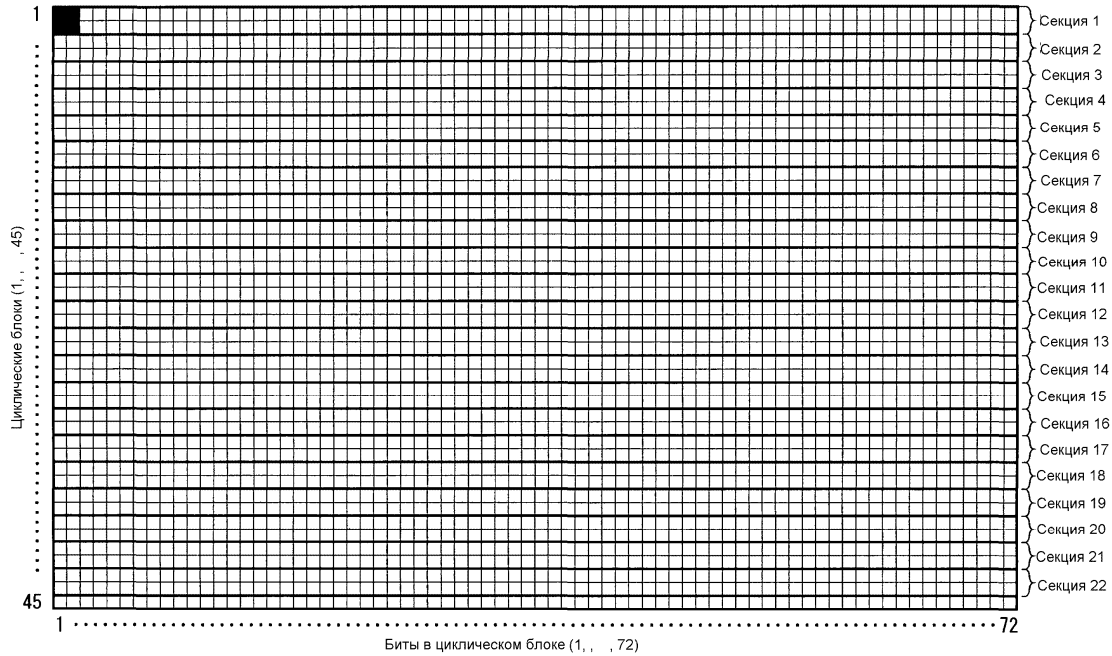
Фиг. 39



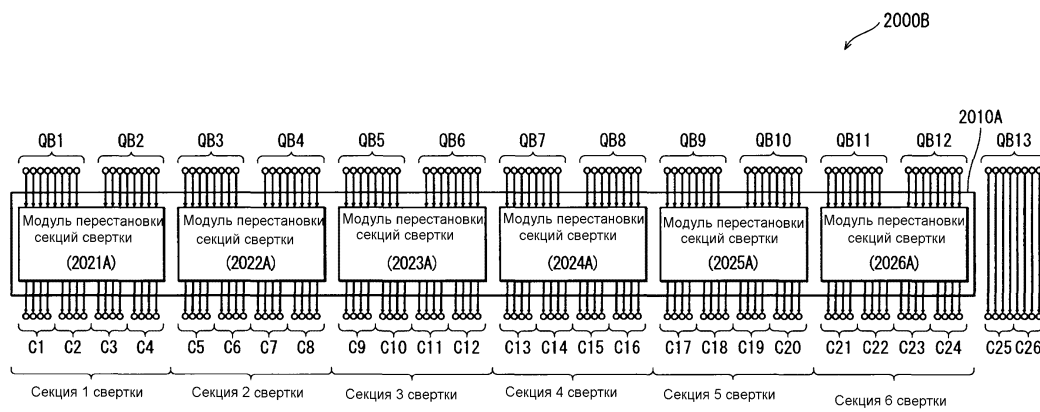
Фиг. 40



Фиг. 41



Фиг. 42



Фиг. 43



Евразийская патентная организация, ЕАПВ

Россия, 109012, Москва, Малый Черкасский пер., 2