

(19)



**Евразийское
патентное
ведомство**

(11) **036256**

(13) **B1**

(12) ОПИСАНИЕ ИЗОБРЕТЕНИЯ К ЕВРАЗИЙСКОМУ ПАТЕНТУ

(45) Дата публикации и выдачи патента
2020.10.20

(51) Int. Cl. **G09G 3/36 (2006.01)**

(21) Номер заявки
201892812

(22) Дата подачи заявки
2016.06.30

(54) СХЕМА ДРАЙВЕРА ЗАТВОРОВ НА МАТРИЦЕ, ОСНОВАННАЯ НА НИЗКОТЕМПЕРАТУРНОМ ПОЛУПРОВОДНИКОВОМ ТОНКОПЛЕНОЧНОМ ТРАНЗИСТОРЕ ИЗ ПОЛИКРИСТАЛЛИЧЕСКОГО КРЕМНИЯ

(31) 201610363726.0

(56) CN-A-105355187
CN-A-104537992
CN-A-105489180
CN-A-104318909

(32) 2016.05.27

(33) CN

(43) 2019.05.31

(86) PCT/CN2016/087799

(87) WO 2017/201810 2017.11.30

(71)(73) Заявитель и патентовладелец:
**УХАНЬ ЧАЙНА СТАР
ОПТОЭЛЕКТРОНИКС
ТЕКНОЛОДЖИ КО., ЛТД (CN)**

(72) Изобретатель:
Ли Яфэн (CN)

(74) Представитель:
Нилова М.И. (RU)

(57) Настоящее изобретение предлагает схему GOA, основанную на низкотемпературных тонкопленочных транзисторах из поликристаллического кремния. Девятый тонкопленочный транзистор введен для регулировки уровней высокого и низкого напряжения, прилагаемых ко второму узлу P(n). Девятый тонкопленочный транзистор содержит затвор и исток, электрически соединенные со вторым узлом P(n), и сток, электрически связанный со вторым тактовым сигналом. Такие конструкции обеспечивают возможность снижения уровня второго узла P(n) согласно определенной частоте при сохранении уровня низкого напряжения на выходной клемме G(n). Таким образом, в рамках настоящего изобретения второй узел P(n) не должен постоянно сохранять уровень высокого напряжения. Кроме того, у четвертого и седьмого транзисторов T4 и T7 отсутствуют проблемы со сдвигом порогового напряжения вследствие продолжительного срока эксплуатации.

036256
B1

036256
B1

Область техники

Настоящее изобретение относится к области техники жидкокристаллических дисплеев и, более конкретно, к схеме драйвера затворов на матрице (gate driver on array, GOA), основанной на низкотемпературных из поликристаллического кремния (LPTS) полупроводниковых тонкопленочных транзисторах (TFT) для улучшения стабильности схемы GOA.

Описание известного уровня техники

Метод "драйвер затворов на матрице" (GOA) состоит в том, что схему управления сканированием по строке затворов выполняют на подложке матрицы, основанной на известном жидкокристаллическом дисплее на тонкопленочных транзисторах (TFT-LCD), для реализации управления затвором посредством сканирования строка за строкой. Принятие метода GOA приводит к уменьшению операций связывания для внешней интегральной схемы (IC), весьма возможному увеличению емкости и сокращению издержек производства. Кроме того, существует возможность на основе метода GOA изготовления дисплея, оборудованного жидкокристаллической панелью без каких-либо узких оправ или вообще без оправ.

С развитием низкотемпературных полупроводниковых тонкопленочных транзисторов из поликристаллического кремния особое внимание также привлекают жидкокристаллические дисплеи (LCD) на низкотемпературных тонкопленочных транзисторах из поликристаллического кремния. Жидкокристаллические дисплеи на низкотемпературных тонкопленочных транзисторах из поликристаллического кремния обладают преимуществами высокого разрешения, быстрого отклика, высокой яркости, высоких апертурных уровней и т.д. Кроме того, низкотемпературные полупроводники из поликристаллического кремния имеют исключительно высокую подвижность носителей, так что драйверы затворов установлены на подложке матрицы тонкопленочных транзисторов на основании метода GOA для достижения интеграции системы (SI), экономии пространства и сокращения затрат на интегральные схемы драйвера. Для обеспечения стабильности выходной клеммы $G(n)$ введены узлы $Q(n)$ и $P(n)$. Узел $Q(n)$ представляет собой узел, в котором управляют выходом сигнала управления затвором, а узел $P(n)$ представляет собой узел, в котором узел $Q(n)$ и выходная клемма $G(n)$ поддерживают стабильный уровень низкого напряжения, но большую часть времени узлы $Q(n)$ и $P(n)$ взаимно ограничены.

Обратимся к фиг. 1, на которой схематически показана известная схема GOA, основанная на низкотемпературных полупроводниковых тонкопленочных транзисторах из поликристаллического кремния. Схема GOA содержит множество каскадных блоков GOA. Величина n равна положительному целому числу, n -я ступень блока GOA содержит первый тонкопленочный транзистор $T1$, второй тонкопленочный транзистор $T2$, третий тонкопленочный транзистор $T3$, четвертый тонкопленочный транзистор $T4$, пятый тонкопленочный транзистор $T5$, шестой тонкопленочный транзистор $T6$, седьмой тонкопленочный транзистор $T7$, восьмой тонкопленочный транзистор $T8$, десятый тонкопленочный транзистор $T10$, первый конденсатор $C1$ и второй конденсатор $C2$. Первый тонкопленочный транзистор $T1$ содержит затвор, электрически связанный с первым тактовым сигналом $CK1$, исток, электрически соединенный с выходной клеммой $G(n-1)$ предыдущей $((n-1)$ -й) ступени блока GOA, и затвор, электрически соединенный с третьим узлом $H(n)$. Второй тонкопленочный транзистор $T2$ содержит затвор, электрически соединенный с первым узлом $Q(n)$, исток, электрически связанный со вторым тактовым сигналом $CK2$, и сток, электрически соединенный с выходной клеммой $G(n)$. Третий тонкопленочный транзистор $T3$ содержит затвор, электрически связанный с третьим тактовым сигналом $CK3$, исток, электрически соединенный с выходной клеммой $G(n+1)$ следующей $((n+1)$ -й) ступени блока GOA, и сток, электрически соединенный с третьим узлом $H(n)$. Четвертый тонкопленочный транзистор $T4$ содержит затвор, электрически соединенный со вторым узлом $P(n)$, исток, электрически подсоединенный к постоянному уровню низкого напряжения VGL (voltage gate low), и сток, электрически связанный с выходной клеммой $G(n)$. Пятый тонкопленочный транзистор $T5$ содержит затвор, электрически подсоединенный к постоянному уровню высокого напряжения VGH (voltage gate high), исток, электрически соединенный с третьим узлом $H(n)$, и сток, электрически соединенный с первым узлом $Q(n)$. Шестой тонкопленочный транзистор $T6$ содержит затвор, электрически соединенный с третьим узлом $H(n)$, исток, электрически подсоединенный к постоянному уровню низкого напряжения VGL , и сток, электрически соединенный со вторым узлом $P(n)$. Седьмой тонкопленочный транзистор $T7$ содержит затвор, электрически соединенный со вторым узлом $P(n)$, исток, электрически подсоединенный к постоянному уровню низкого напряжения VGL , и сток, электрически соединенный с первым узлом $Q(n)$. Восьмой тонкопленочный транзистор $T8$ содержит затвор и исток, электрически связанные со вторым тактовым сигналом $CK2$, и сток, электрически соединенный со вторым узлом $P(n)$. Десятый тонкопленочный транзистор $T10$ содержит затвор, электрически связанный с четвертым тактовым сигналом $CK4$, исток, электрически подсоединенный к постоянному уровню низкого напряжения VGL , и сток, электрически соединенный с выходной клеммой $G(n)$. Одна клемма первого конденсатора $C1$ электрически соединена с первым узлом $Q(n)$, а другая клемма электрически соединена с выходной клеммой $G(n)$. Одна клемма второго конденсатора $C2$ электрически соединена со вторым узлом $P(n)$, и другая клемма электрически подсоединена к постоянному уровню низкого напряжения VGL .

Схема GOA, как показано на фиг. 1, может быть отсканирована вперед или назад. Последовательность операций прямого сканирования аналогична последовательности операций обратного сканирова-

ния. Пожалуйста, обратитесь к фиг. 1 и фиг. 2. Здесь схема GOA отсканирована вперед. На фиг. 2 показана временная диаграмма известной схемы GOA, основанной на низкотемпературных полупроводниковых тонкопленочных транзисторах из поликристаллического кремния при прямом сканировании, как показано на фиг. 1. Последовательность операций схемы GOA, основанной на низкотемпературных полупроводниковых тонкопленочных транзисторах из поликристаллического кремния, при прямом сканировании такова: ступень 1 предназначена для предварительной зарядки; выходная клемма $G(n-1)$ и первый тактовый сигнал СК1 вместе обеспечивают уровень высокого напряжения; первый тонкопленочный транзистор T1 открыт; затвор пятого тонкопленочного транзистора T5 подсоединен к постоянному уровню высокого напряжения VGH и, таким образом, пятый тонкопленочный транзистор T5 остается открытым; третий узел H(n) предварительно заряжен для поддержания уровня высокого напряжения, и шестой тонкопленочный транзистор T6 открыт; уровень третьего узла H(n) совпадает с уровнем первого узла Q(n); первый узел Q(n) предварительно заряжен для поддержания уровня высокого напряжения, напряжение во втором узле P(n) понижено, а четвертый и седьмой тонкопленочные транзисторы T4, T7 закрыты. Ступень 2 предназначена для вывода уровня высокого напряжения от выходной клеммы G(n); выходная клемма $G(n-1)$ и первый тактовый сигнал СК1 спадают до уровня низкого напряжения, а второй тактовый сигнал СК2 обеспечивает уровень высокого напряжения; первый узел Q(n) сохраняет уровень высокого напряжения вследствие функции хранения первого конденсатора C1, второй тонкопленочный транзистор T2 открыт, уровень высокого напряжения второго тактового сигнала СК2 подан на выходную клемму G(n), выходная клемма G(n) подает на выход уровень высокого напряжения, и первый узел Q(n) переходит на более высокий уровень. Ступень 3 предназначена для вывода уровня низкого напряжения от выходной клеммы G(n); третий тактовый сигнал СК3 и выходная клемма $G(n+1)$ совместно обеспечивают уровень высокого напряжения, и первый узел Q(n) сохраняет уровень высокого напряжения; второй тактовый сигнал СК2 спадает до уровня низкого напряжения, уровень низкого напряжения второго тактового сигнала СК2 подан на выходную клемму G(n), и выходная клемма G(n) подает на выход уровень низкого напряжения. Ступень 4 предназначена для понижения первого узла Q(n) вниз к постоянному уровню низкого напряжения VGL; первый тактовый сигнал СК1 снова обеспечивает уровень высокого напряжения, выходная клемма $G(n-1)$ сохраняет уровень низкого напряжения, первый тонкопленочный транзистор T1 открыт, первый узел Q(n) спадает до постоянного уровня низкого напряжения VGL, и шестой тонкопленочный транзистор T6 закрыт. Ступень 5 предназначена для сохранения первого узла Q(n) и выходной клеммы G(n) на низком уровне напряжения; второй тактовый сигнал СК2 возрастает до уровня высокого напряжения, восьмой тонкопленочный транзистор T8 открыт, второй узел P(n) заряжен до уровня высокого напряжения, четвертый и седьмой тонкопленочные транзисторы T4, T7 открыты для продолжения падения первого узла Q(n) и выходной клеммы G(n) до постоянного уровня низкого напряжения VGL, соответственно; второй узел P(n) сохраняет уровень высокого напряжения вследствие функции хранения второго конденсатора C2; четвертый и седьмой тонкопленочные транзисторы T4, T7 остаются открытыми в заданном интервале времени для сохранения первого узла Q(n) и выходной клеммы G(n) при уровне низкого напряжения.

Второй узел P(n) сохраняет уровень высокого напряжения в вышеупомянутой известной схеме GOA; то есть четвертый и седьмой тонкопленочные транзисторы T4, T7 сохранены в проводящем состоянии. При работе четвертого и седьмого тонкопленочных транзисторов T4, T7 в течение длительного времени эти два ключевые тонкопленочные транзисторы T4 и T7 будут иметь проблему сдвига порогового напряжения, что приводит к уменьшению стабильности схемы и к ненормальностям выходного напряжения схемы GOA.

Поэтому задача настоящего изобретения состоит в предложении новой схемы GOA, улучшающей стабильность схемы GOA.

Раскрытие сущности изобретения

Задача настоящего изобретения состоит в предложении схемы GOA, основанной на низкотемпературных полупроводниковых тонкопленочных транзисторах из поликристаллического кремния. По сравнению со схемой GOA, основанной на известных низкотемпературных полупроводниковых тонкопленочных транзисторах из поликристаллического кремния, в настоящем изобретении второй узел P(n) не будет сохранять уровень высокого напряжения в течение всего времени. Кроме того, четвертый и седьмой транзисторы T4 и T7 не будут иметь затруднений, связанных со сдвигом порогового напряжения вследствие продолжительного срока эксплуатации. По сравнению с известной схемой улучшена стабильность схемы GOA. Также улучшено качество дисплея жидкокристаллической панели.

Согласно одной особенности настоящего изобретения схема драйвера затворов на матрице (GOA), основанная на низкотемпературных полупроводниковых тонкопленочных транзисторах из поликристаллического кремния, содержит множество каскадных блоков GOA. Каждая ступень из указанного множества блоков типа GOA содержит модуль управления сканированием, выходной модуль, модуль понижения напряжения и модуль управления узлами. На n-й ступени блока GOA, кроме первой ступени блока GOA и последней ступени блока GOA, где n равно положительному целому числу, модуль управления сканированием содержит первый тонкопленочный транзистор, третий тонкопленочный транзистор и пятый тонкопленочный транзистор. Первый тонкопленочный транзистор содержит затвор, электрически

связанный с первым тактовым сигналом, исток, электрически соединенный с выходной клеммой $G(n-1)$ для $(n-1)$ -й ступени блока GOA, и сток, электрически соединенный с третьим узлом. Третий тонкопленочный транзистор содержит затвор, электрически связанный с третьим тактовым сигналом, исток, электрически соединенный с выходной клеммой $G(n+1)$ для $(n+1)$ -й ступени блока GOA, и сток, электрически соединенный с третьим узлом. Пятый тонкопленочный транзистор содержит затвор, электрически подсоединенный к постоянному уровню высокого напряжения, исток, электрически соединенный с третьим узлом, и сток, электрически соединенный с первым узлом. Выходной модуль содержит второй тонкопленочный транзистор и первый конденсатор в цепи положительной обратной связи. Второй тонкопленочный транзистор содержит затвор, электрически соединенный с первым узлом, исток, электрически связанный со вторым тактовым сигналом, и сток, электрически соединенный с выходной клеммой $G(n)$. Первый конденсатор в цепи положительной обратной связи электрически подсоединен между первым узлом и выходной клеммой $G(n)$. Модуль понижения напряжения содержит четвертый тонкопленочный транзистор, шестой тонкопленочный транзистор, седьмой тонкопленочный транзистор, восьмой тонкопленочный транзистор, десятый тонкопленочный транзистор и второй конденсатор в цепи положительной обратной связи. Четвертый тонкопленочный транзистор содержит затвор, электрически соединенный со вторым узлом, исток, электрически подсоединенный к постоянному уровню низкого напряжения, и сток, электрически соединенный с выходной клеммой $G(n)$. Шестой тонкопленочный транзистор содержит затвор, электрически соединенный с третьим узлом, исток, электрически подсоединенный к постоянному уровню низкого напряжения, и сток, электрически соединенный со вторым узлом. Седьмой тонкопленочный транзистор содержит затвор, электрически соединенный со вторым узлом, исток, электрически подсоединенный к постоянному уровню низкого напряжения, и сток, электрически соединенный с первым узлом. Восьмой тонкопленочный транзистор содержит затвор и исток, электрически связанные со вторым тактовым сигналом, и сток, электрически соединенный со вторым узлом. Десятый тонкопленочный транзистор содержит затвор, электрически связанный с четвертым тактовым сигналом, исток, электрически подсоединенный к постоянному уровню низкого напряжения, и сток, электрически соединенный с выходной клеммой $G(n)$. Второй конденсатор в цепи положительной обратной связи электрически подсоединен между вторым узлом и постоянным уровнем низкого напряжения. Модуль управления узлами, электрически связанный со вторым тактовым сигналом и соединенный со вторым узлом, выполнен с возможностью управления вторым узлом для переключения между уровнем высокого напряжения и уровнем низкого напряжения согласно второму тактовому сигналу. Импульсы первого тактового сигнала, второго тактового сигнала, третьего тактового сигнала и четвертого тактового сигнала выводятся последовательно по очереди и никогда не накладываются. При прямом сканировании первый тактовый сигнал, электрически связанный с первым тонкопленочным транзистором, и выходная клемма $G(n-1)$ одновременно обеспечивают уровень высокого напряжения. При обратном сканировании третий тактовый сигнал, электрически связанный с третьим тонкопленочным транзистором, и выходная клемма $G(n+1)$ одновременно обеспечивают уровень высокого напряжения.

Согласно другой особенности настоящего изобретения схема драйвера затворов на матрице (GOA), основанная на низкотемпературных полупроводниковых тонкопленочных транзисторах из поликристаллического кремния, включает множество каскадных блоков GOA. Каждая ступень из указанного множества блоков типа GOA содержит модуль управления сканированием, выходной модуль, модуль понижения напряжения и модуль управления узлами. На n -й ступени блока GOA, кроме первой ступени блока GOA и последней ступени блока GOA, где n положительное целое число, модуль управления сканированием содержит первый тонкопленочный транзистор, третий тонкопленочный транзистор и пятый тонкопленочный транзистор. Первый тонкопленочный транзистор содержит затвор, электрически связанный с первым тактовым сигналом, исток, электрически соединенный с выходной клеммой $G(n-1)$ для $(n-1)$ -й ступени блока GOA, и сток, электрически соединенный с третьим узлом. Третий тонкопленочный транзистор содержит затвор, электрически связанный с третьим тактовым сигналом, исток, электрически соединенный с выходной клеммой $G(n+1)$ для $(n+1)$ -й ступени блока GOA, и сток, электрически соединенный с третьим узлом. Пятый тонкопленочный транзистор содержит затвор, электрически подсоединенный к постоянному уровню высокого напряжения, исток, электрически соединенный с третьим узлом, и сток, электрически соединенный с первым узлом. Выходной модуль содержит второй тонкопленочный транзистор и первый конденсатор в цепи положительной обратной связи. Второй тонкопленочный транзистор содержит затвор, электрически соединенный с первым узлом, исток, электрически связанный со вторым тактовым сигналом, и сток, электрически соединенный с выходной клеммой $G(n)$. Первый конденсатор в цепи положительной обратной связи электрически подсоединен между первым узлом и выходной клеммой $G(n)$. Модуль понижения напряжения содержит четвертый тонкопленочный транзистор, шестой тонкопленочный транзистор, седьмой тонкопленочный транзистор, восьмой тонкопленочный транзистор, десятый тонкопленочный транзистор и второй конденсатор в цепи положительной обратной связи. Четвертый тонкопленочный транзистор содержит затвор, электрически соединенный со вторым узлом, исток, электрически подсоединенный к постоянному уровню низкого напряжения, и сток, электрически соединенный с выходной клеммой $G(n)$. Шестой тонкопленочный транзистор содержит затвор, электрически соединенный с третьим узлом, исток, электрически подсоединенный к постоянному уров-

ню низкого напряжения, и сток, электрически соединенный со вторым узлом. Седьмой тонкопленочный транзистор содержит затвор, электрически соединенный со вторым узлом, исток, электрически подсоединенный к постоянному уровню низкого напряжения, и сток, электрически соединенный с первым узлом. Восьмой тонкопленочный транзистор содержит затвор и исток, электрически связанные со вторым тактовым сигналом, и сток, электрически соединенный со вторым узлом. Десятый тонкопленочный транзистор содержит затвор, электрически связанный с четвертым тактовым сигналом, исток, электрически подсоединенный к постоянному уровню низкого напряжения, и сток, электрически соединенный с выходной клеммой G(n). Второй конденсатор в цепи положительной обратной связи электрически подсоединен между вторым узлом и постоянным уровнем низкого напряжения. Модуль управления узлами, электрически связанный со вторым тактовым сигналом и соединенный со вторым узлом, выполнен с возможностью управления вторым узлом для переключения между уровнем высокого напряжения и уровнем низкого напряжения согласно второму тактовому сигналу.

В настоящем изобретении девятый тонкопленочный транзистор введен для регулировки уровней высокого и низкого напряжения, прилагаемых ко второму узлу P(n). Девятый тонкопленочный транзистор содержит затвор и исток, электрически соединенные со вторым узлом P(n), и сток, электрически связанный со вторым тактовым сигналом. В другом варианте реализации девятый тонкопленочный транзистор содержит затвор, электрически связанный с четвертым тактовым сигналом, исток, электрически соединенный со вторым узлом P(n), и сток, электрически связанный со вторым тактовым сигналом. Такие конструкции делают возможным понижение уровня второго узла P(n) согласно определенной частоте при сохранении на выходной клемме G(n) уровня низкого напряжения. Таким образом, в рамках настоящего изобретения второй узел P(n) не обязан постоянно сохранять уровень высокого напряжения. Кроме того, четвертый и седьмой транзисторы T4 и T7 не имеют затруднений, связанных со сдвигом порогового напряжения вследствие продолжительного срока эксплуатации. По сравнению с известной схемой стабильность схемы GOA улучшена для идеального использования этой схемы в конструкции жидкокристаллических панелей с высоким разрешением. Предложенная настоящим изобретением схема GOA может быть использована для управления сотовыми телефонами, дисплеями или телевизорами. Вышеупомянутое представляет собой преимущество настоящего изобретения.

Краткое описание чертежей

На фиг. 1 схематически показана известная схема GOA, основанная на низкотемпературных полупроводниковых тонкопленочных транзисторах из поликристаллического кремния.

На фиг. 2 показана временная диаграмма известной схемы GOA, основанной на низкотемпературных полупроводниковых тонкопленочных транзисторах из поликристаллического кремния при прямом сканировании, как показано на фиг. 1.

На фиг. 3 схематически показана схема GOA, основанная на низкотемпературном полупроводниковом тонкопленочном транзисторе из поликристаллического кремния согласно одному предпочтительному варианту реализации настоящего изобретения.

На фиг. 4 показана временная диаграмма схемы GOA, основанной на низкотемпературных полупроводниковых тонкопленочных транзисторах из поликристаллического кремния при прямом сканировании, как показано на фиг. 3.

На фиг. 5 показана временная диаграмма схемы GOA, основанной на низкотемпературных полупроводниковых тонкопленочных транзисторах из поликристаллического кремния при обратном сканировании, как показано на фиг. 3.

На фиг. 6 схематически показана схема GOA, основанная на низкотемпературном полупроводниковом тонкопленочном транзисторе из поликристаллического кремния согласно другому предпочтительному варианту реализации настоящего изобретения.

На фиг. 7 показана временная диаграмма схемы GOA, основанной на низкотемпературных полупроводниковых тонкопленочных транзисторах из поликристаллического кремния при прямом сканировании, как показано на фиг. 6.

На фиг. 8 показывает временная диаграмма схемы GOA, основанной на низкотемпературных полупроводниковых тонкопленочных транзисторах из поликристаллического кремния при обратном сканировании, как показано на фиг. 6.

Подробное описание предпочтительных вариантов реализации

Эти и другие задачи заявляемого изобретения без сомнения станут очевидными для специалистов в данной области техники после прочтения последующего подробного описания предпочтительного варианта реализации, которое иллюстрировано различными чертежами.

Обратимся к фиг. 3, на которой схематически показана схема GOA, основанная на низкотемпературном полупроводниковом тонкопленочном транзисторе из поликристаллического кремния согласно одному предпочтительному варианту реализации настоящего изобретения. Схема GOA содержит множество блоков из каскада блоков GOA. Каждая ступень из указанного множества блоков GOA содержит модуль 32 управления сканированием, выходной модуль 34, модуль 36 понижения напряжения и модуль 38 управления узлами.

На n-й ступени блока GOA, кроме первой ступени блока GOA и последней ступени блока GOA, мо-

дуль 32 управления сканированием содержит первый тонкопленочный транзистор T1, третий тонкопленочный транзистор T3 и пятый тонкопленочный транзистор T5; выходной модуль 34 содержит второй тонкопленочный транзистор T2 и первый конденсатор C1 в цепи положительной обратной связи; модуль 36 понижения напряжения содержит четвертый тонкопленочный транзистор T4, шестой тонкопленочный транзистор T6, седьмой тонкопленочный транзистор T7, восьмой тонкопленочный транзистор T8, десятый тонкопленочный транзистор T10 и второй конденсатор C2 в цепи положительной обратной связи. Значение n установлено как положительное целое число.

В модуле 32 управления сканированием первый тонкопленочный транзистор T1 содержит затвор, электрически связанный с первым тактовым сигналом СК1, исток, электрически соединенный с выходной клеммой G(n-1) предыдущего (n-1)-й ступени блоков GOA, и сток, электрически соединенный с третьим узлом H(n). Третий тонкопленочный транзистор T3 содержит затвор, электрически связанный с третьим тактовым сигналом СК3, исток, электрически соединенный с выходной клеммой G(n+1) следующего (n+1)-й ступени блоков GOA, и сток, электрически соединенный с третьим узлом H(n). Пятый тонкопленочный транзистор T5 содержит затвор, электрически подсоединенный к постоянному уровню высокого напряжения VGH, исток, электрически соединенный с третьим узлом H(n), и сток, электрически соединенный с первым узлом Q(n).

В выходном модуле 34 второй тонкопленочный транзистор T2 содержит затвор, электрически соединенный с первым узлом Q(n), исток, электрически связанный со вторым тактовым сигналом СК2, и сток, электрически соединенный с выходной клеммой G(n). Одна клемма первого конденсатора C1 в цепи положительной обратной связи электрически соединена с первым узлом Q(n), а другая клемма электрически соединена с выходной клеммой G(n).

В модуле 36 понижения напряжения четвертый тонкопленочный транзистор T4 содержит затвор, электрически соединенный со вторым узлом P(n), исток, электрически подсоединенный к постоянному уровню низкого напряжения VGL, и сток, электрически соединенный с выходной клеммой G(n). Шестой тонкопленочный транзистор T6 содержит затвор, электрически соединенный с третьим узлом H(n), исток, электрически подсоединенный к постоянному уровню низкого напряжения VGL, и сток, электрически соединенный со вторым узлом P(n). Седьмой тонкопленочный транзистор T7 содержит затвор, электрически соединенный со вторым узлом P(n), исток, электрически подсоединенный к постоянному уровню низкого напряжения VGL, и сток, электрически соединенный с первым узлом Q(n). Восьмой тонкопленочный транзистор T8 содержит затвор и исток, электрически связанные со вторым тактовым сигналом СК2, и сток, электрически соединенный со вторым узлом P(n). Десятый тонкопленочный транзистор T10 содержит затвор, электрически связанный с четвертым тактовым сигналом СК4, исток, электрически подсоединенный к постоянному уровню низкого напряжения VGL, и сток, электрически соединенный с выходной клеммой G(n). Одна клемма второго конденсатора C2 в цепи положительной обратной связи электрически соединена со вторым узлом P(n), а другая клемма электрически подсоединена к постоянному уровню низкого напряжения VGL.

Модуль 38 управления узлами электрически связан со вторым тактовым сигналом СК2 и соединен со вторым узлом P(n). Модуль 38 управления узлами использован для управления вторым узлом P(n) для переключения между уровнем высокого напряжения и уровнем низкого напряжения согласно второму тактовому сигналу СК2.

В этом варианте реализации модуль 38 управления узлами содержит девятый тонкопленочный транзистор T9. Тонкопленочный транзистор T9 содержит затвор и исток, электрически соединенные со вторым узлом P(n), и сток, электрически связанный со вторым тактовым сигналом СК2. При сохранении уровня низкого напряжения на выходной клемме G(n) уровень второго узла P(n) скачкообразно переходит на уровень высокого напряжения согласно второму тактовому сигналу СК2, который представляет собой тот же скачок на уровень высокого напряжения, и спадает до уровня низкого напряжения согласно второму тактовому сигналу СК2, находящемуся на уровне низкого напряжения.

Каждый из тонкопленочных транзисторов, используемых в настоящем изобретении, представляет собой низкотемпературный полупроводниковый тонкопленочный транзистор из поликристаллического кремния.

Схема GOA содержит четыре тактового сигнала, то есть первый тактовый сигнал СК1, второй тактовый сигнал СК2, третий тактовый сигнал СК3 и четвертый тактовый сигнал СК4. Импульсы четырех тактовых сигналов выводятся последовательно по очереди и никогда не наложены друг на друга.

На первой ступени блока GOA исток первого тонкопленочного транзистора T1 электрически связан с сигналом STV начала схемы. На последней ступени блока GOA исток третьего тонкопленочного транзистора T3 электрически связан с сигналом STV начала схемы. Схема GOA, основанная на низкотемпературных полупроводниковых тонкопленочных транзисторах из поликристаллического кремния и предложенная в настоящем изобретении, может быть отсканирована от первой ступени до последней ступени один за другим при прямом сканировании или от последней ступени до первой ступени один за другим при обратном сканировании. При прямом сканировании на первый тонкопленочный транзистор T1 сначала подадут первый тактовый сигнал (то есть первый тактовый сигнал СК1 с высоким уровнем напряжения) и сигнал STV начала цепи. Другими словами, при прямом сканировании первый тактовый сигнал

СК1, электрически связанный с первым тонкопленочным транзистором Т1 и выходной клеммой G(n-1) предыдущей ступени схемы GOA ((n-1)-й ступени), одновременно обеспечивает уровень высокого напряжения. При обратном сканировании на третий тонкопленочный транзистор Т3 подают первый тактовый сигнал (то есть третий тактовый сигнал СК3 уровня высокого напряжения) и сигнал STV начала цепи. Другими словами, при обратном сканировании третий тактовый сигнал СК3, электрически связанный с третьим тонкопленочным транзистором Т3 и выходной клеммой G(n+1) следующей ступени схемы GOA ((n+1)-й ступени), одновременно обеспечивает уровень высокого напряжения.

В схеме GOA, основанной на низкотемпературных полупроводниковых тонкопленочных транзисторах из поликристаллического кремния, уровень второго узла P(n) спадает согласно определенной частоте или при прямом сканировании, или при обратном сканировании.

Обратимся к фиг. 4, на которой показана временная диаграмма схемы GOA, основанной на низкотемпературных полупроводниковых тонкопленочных транзисторах из поликристаллического кремния при прямом сканировании, как показано на фиг. 3. Последовательность операций схемы GOA, основанной на низкотемпературных полупроводниковых тонкопленочных транзисторах из поликристаллического кремния, при прямом сканировании выглядит следующим образом.

Ступень 1: первый тактовый сигнал СК1 и выходная клемма G(n-1) обеспечивают уровень высокого напряжения. Второй, третий и четвертый тактовые сигналы СК2, СК3, СК4 обеспечивают уровень низкого напряжения. Выходная клемма G(n+1) также обеспечивает уровень низкого напряжения. Первый тонкопленочный транзистор Т1 открыт первым тактовым сигналом СК1. Третий узел H(n) предварительно заряжен до уровня высокого напряжения. Шестой тонкопленочный транзистор Т6 открыт третьим узлом H(n). Пятый тонкопленочный транзистор Т5 открыт постоянно под управлением постоянного уровня высокого напряжения VGH напряжения и, таким образом, третий узел H(n) и первый узел Q(n) в любой момент времени обладают одинаковым уровнем. Первый узел Q(n) предварительно заряжен до уровня высокого напряжения. Второй узел P(n) спадает до постоянного уровня низкого напряжения VGL. Наконец, закрыты четвертый и седьмой тонкопленочные транзисторы Т4, Т7, управляемые вторым узлом P(n).

Ступень 2: первый тактовый сигнал СК1 и выходная клемма G(n-1) спадают до уровня низкого напряжения. Второй тактовый сигнал СК2 обеспечивает уровень высокого напряжения. Третий и четвертый тактовые сигналы СК3, СК4 и выходная клемма G(n+1) все еще обеспечивают уровень низкого напряжения. Первый узел Q(n) сохраняет уровень высокого напряжения вследствие функции хранения первого конденсатора С1 в цепи положительной обратной связи. Второй тонкопленочный транзистор Т2 открыт. Уровень высокого напряжения второго тактового сигнала СК2 выводят на выходную клемму G(n), а затем выходная клемма G(n) подает на выход уровень высокого напряжения, и наконец первый узел Q(n) подымается на более высокий уровень. Шестой тонкопленочный транзистор Т6 все еще открыт. Второй узел P(n) сохраняет постоянный уровень низкого напряжения VGL. Наконец, все еще закрыты четвертый и седьмой тонкопленочные транзисторы Т4, Т7, управляемые вторым узлом P(n).

Ступень 3: второй тактовый сигнал СК2 спадает до уровня низкого напряжения. И третий тактовый сигнал СК3 и выходная клемма G(n+1) обеспечивают уровень высокого напряжения. Первый и четвертый тактовые сигналы СК1, СК4 и выходная клемма G(n-1) все еще обеспечивают уровень низкого напряжения. Третий тонкопленочный транзистор Т3, управляемый третьим тактовым сигналом СК3, открыт. Первый узел Q(n) сохраняет уровень высокого напряжения. Второй и шестой тонкопленочные транзисторы Т2, Т6 все еще открыты. Второй узел P(n) все еще сохраняет постоянный уровень низкого напряжения VGL. Все еще закрыты четвертый и седьмой тонкопленочные транзисторы Т4, Т7, управляемые вторым узлом P(n). Поскольку второй тонкопленочный транзистор Т2 все еще открыт, уровень низкого напряжения второго тактового сигнала СК2 подан на выход на выходную клемму G(n), и затем выходная клемма G(n) подает на выход уровень низкого напряжения.

Ступень 4: первый тактовый сигнал СК1 снова обеспечивает уровень высокого напряжения. Второй, третий и четвертый тактовые сигналы СК1, СК3, СК4 и выходная клемма G(n-1) обеспечивают уровень низкого напряжения. Первый тонкопленочный транзистор Т1 открыт первым тактовым сигналом СК1. Первый узел Q(n) спадает до постоянного уровня низкого напряжения VGL. Наконец, закрыты второй и шестой тонкопленочные транзисторы Т2, Т6.

Ступень 5: первый тактовый сигнал СК1 спадает до уровня низкого напряжения. Второй тактовый сигнал СК2 обеспечивает уровень высокого напряжения. Третий и четвертый тактовые сигналы СК3, СК4 и выходные клеммы G(n-1), G(n+1) обеспечивают уровень низкого напряжения. Восьмой тонкопленочный транзистор Т8 открыт. Второй узел P(n) заряжен до уровня высокого напряжения. Четвертый и седьмой тонкопленочные транзисторы Т4, Т7 открыты и, таким образом, первый узел Q(n) и выходная клемма G(n) сохраняют уровень низкого напряжения. Второй узел P(n) сохраняет уровень высокого напряжения вследствие функции хранения второго конденсатора С2 в цепи положительной обратной связи. При спадении второго тактового сигнала СК2 от уровня высокого напряжения к уровню низкого напряжения второй узел P(n) расположен на уровне высокого напряжения и девятый тонкопленочный транзистор Т9 открыт. Тем временем, второй узел P(n) спадает в некоторой степени вследствие уровня низкого напряжения второго тактового сигнала СК2. Вследствие функции хранения второго конденсатора С2 в

цепи положительной обратной связи второй узел $P(n)$ линейно спадает до уровня низкого напряжения после периода времени задержки, при падении тактового сигнала СК2 до уровня низкого напряжения. Таким образом, при сохранении на выходных клеммах $G(n)$ уровня низкого напряжения, уровень второго узла $P(n)$ скачкообразно переходит на уровень высокого напряжения согласно второму тактовому сигналу СК2, который представляет собой тот же скачок на уровень высокого напряжения, и спадает до уровня низкого напряжения согласно второму тактовому сигналу СК2, находящемуся на уровне низкого напряжения.

По сравнению с известной технологией, в которой второй узел $P(n)$ постоянно сохраняет уровень высокого напряжения, а четвертый и седьмой тонкопленочные транзисторы Т4, Т7 открыты в заданном интервале времени, второй узел $P(n)$ в схеме GOA, основанной на низкотемпературных полупроводниковых тонкопленочных транзисторах из поликристаллического кремния и предложенной в настоящем изобретении, на ступени 5 спадает согласно определенной частоте. Второй узел $P(n)$ не должен сохранять уровень высокого напряжения постоянно. Таким образом, проблема сдвига порогового напряжения успешно решена относительно четвертого и седьмого тонкопленочных транзисторов Т4, Т7 при длительном сроке эксплуатации. Кроме того, эффективно улучшена стабильность схемы GOA.

Обратимся к фиг. 5, на которой показана временная диаграмма схемы GOA, основанной на низкотемпературных полупроводниковых тонкопленочных транзисторах из поликристаллического кремния, при обратном сканировании, как показано на фиг. 3. Последовательность операций прямого сканирования подобна последовательности операций обратного сканирования. Последовательность операций схемы GOA, основанной на низкотемпературных полупроводниковых тонкопленочных транзисторах из поликристаллического кремния, при обратном сканировании может быть изложена следующим образом.

Ступень 1: третий тактовый сигнал СК3 и выходная клемма $G(n+1)$ обеспечивают уровень высокого напряжения. Третий тонкопленочный транзистор Т3 открыт третьим тактовым сигналом СК3. Третий узел $H(n)$ предварительно заряжен до уровня высокого напряжения. Шестой тонкопленочный транзистор Т6 открыт третьим узлом $H(n)$. Пятый тонкопленочный транзистор Т5 открыт постоянно под управлением постоянного уровня высокого напряжения V_{GH} и, таким образом, третий узел $H(n)$ и первый узел $Q(n)$ всегда имеют одинаковый уровень напряжения. Первый узел $Q(n)$ предварительно заряжен до уровня высокого напряжения. Второй узел $P(n)$ спадает до постоянного уровня низкого напряжения V_{GL} . Наконец, закрыты четвертый и седьмой тонкопленочные транзисторы Т4, Т7.

Ступень 2: второй тактовый сигнал СК2 обеспечивает уровень высокого напряжения. Первый узел $Q(n)$ сохраняет уровень высокого напряжения вследствие функции хранения первого конденсатора С1 в цепи положительной обратной связи. Второй тонкопленочный транзистор Т2 открыт. Уровень высокого напряжения второго тактового сигнала СК2 подан на выход на выходную клемму $G(n)$, а затем выходная клемма $G(n)$ обеспечивает на выходе уровень высокого напряжения и, наконец, первый узел $Q(n)$ возрастает до более высокого уровня.

Ступень 3: второй тактовый сигнал СК2 спадает до уровня низкого напряжения. И первый тактовый сигнал СК1 и выходная клемма $G(n-1)$ обеспечивают уровень высокого напряжения. Первый узел $Q(n)$ все еще на уровне высокого напряжения. Второй тонкопленочный транзистор Т2 все еще открыт. Уровень низкого напряжения второго тактового сигнала СК2 подан на выход на выходную клемму $G(n)$, а затем выходная клемма $G(n)$ подает на выход уровень низкого напряжения.

Ступень 4: третий тактовый сигнал СК3 снова обеспечивает уровень высокого напряжения. Выходная клемма $G(n+1)$ обеспечивает уровень низкого напряжения. Третий тонкопленочный транзистор Т3 открыт. Первый узел $Q(n)$ спадает до постоянного уровня низкого напряжения V_{GL} .

Ступень 5: третий тактовый сигнал СК3 спадает до уровня низкого напряжения. Второй тактовый сигнал СК2 обеспечивает уровень высокого напряжения. Восьмой тонкопленочный транзистор Т8 открыт. Второй узел $P(n)$ заряжен до уровня высокого напряжения. Четвертый и седьмой тонкопленочные транзисторы Т4, Т7 открыты и, таким образом, первый узел $Q(n)$ и выходная клемма $G(n)$ сохраняют уровень низкого напряжения. Второй узел $P(n)$ сохраняет уровень высокого напряжения вследствие функции хранения второго конденсатора С2 в цепи положительной обратной связи. При уменьшении второго тактового сигнала СК2 от уровня высокого напряжения к уровню низкого напряжения второй узел $P(n)$ имеет высокий уровень напряжения и девятый тонкопленочный транзистор Т9 открыт. Тем временем, второй узел $P(n)$ спадает в некоторой степени вследствие уровня низкого напряжения второго тактового сигнала СК2. Вследствие функции хранения второго конденсатора С2 в цепи положительной обратной связи второй узел $P(n)$ линейно спадает до уровня низкого напряжения после периода времени задержки, при падении тактового сигнала СК2 до уровня низкого напряжения. Таким образом, при сохранении на выходных клеммах $G(n)$ уровня низкого напряжения уровень второго узла $P(n)$ скачкообразно переходит на уровень высокого напряжения согласно второму тактовому сигналу СК2, который представляет собой тот же скачок на уровень высокого напряжения, и спадает до уровня низкого напряжения согласно второму тактовому сигналу СК2, находящемуся на уровне низкого напряжения.

По сравнению с известной технологией, в которой второй узел $P(n)$ постоянно сохраняет уровень высокого напряжения, а четвертый и седьмой тонкопленочные транзисторы Т4, Т7 открыты в заданном интервале времени, второй узел $P(n)$ в схеме GOA, основанной на низкотемпературных полупроводни-

вых тонкопленочных транзисторах из поликристаллического кремния и предложенной в настоящем изобретении, на ступени 5, спадает согласно определенной частоте. Второй узел P(n) не должен сохранять уровень высокого напряжения постоянно. Таким образом, проблема сдвига порогового напряжения успешно решена относительно четвертого и седьмого тонкопленочных транзисторов T4, T7 при их длительном сроке эксплуатации. Кроме того, эффективно улучшена стабильность схемы GOA.

Обратимся к фиг. 6, на которой схематически показана схема GOA, основанная на низкотемпературном полупроводниковом тонкопленочном транзисторе из поликристаллического кремния, согласно другому предпочтительному варианту реализации настоящего изобретения. Различие между вариантом реализации по фиг. 3 и вариантом реализации по фиг. 6 состоит в том, что девятый тонкопленочный транзистор T9 содержит затвор, электрически связанный с четвертым тактовым сигналом СК4, исток, электрически соединенный со вторым узлом P(n), и сток, электрически связанный со вторым тактовым сигналом СК2 в модуле 38 управления узлами, как предложено в этом варианте реализации. При сохранении уровня низкого напряжения на выходной клемме G(n) уровень второго узла P(n) скачкообразно переходит на уровень высокого напряжения согласно второму тактовому сигналу СК2, который представляет собой тот же скачок на уровень высокого напряжения, и спадает до уровня низкого напряжения согласно четвертому тактовому сигналу СК4, представляющему собой падение на уровень низкого напряжения.

На фиг. 7 показана временная диаграмма схемы GOA, основанной на низкотемпературных полупроводниковых тонкопленочных транзисторах из поликристаллического кремния, при прямом сканировании, как показано на фиг. 6. Различие между фиг. 7 и фиг. 4 состоит в том, что при сохранении на выходной клемме G(n) уровня низкого напряжения уровень второго узла P(n) спадает до уровня низкого напряжения в ответ на скачок тактового сигнала СК4 от уровня низкого напряжения до уровня высокого напряжения. Специалисту в данной области техники понятны различия в последовательности операций согласно соединению девятого тонкопленочного транзистора T9 в схеме GOA, показанной на фиг. 3 и фиг. 6. Подробности не будут описаны ниже.

На фиг. 8 показана временная диаграмма схемы GOA, основанной на низкотемпературных полупроводниковых тонкопленочных транзисторах из поликристаллического кремния при обратном сканировании, как показано на фиг. 6. Различие между фиг. 8 и фиг. 5 состоит в том, что при сохранении на выходной клемме G(n) уровня низкого напряжения, уровень второго узла P(n) спадает до уровня низкого напряжения в ответ на скачок тактового сигнала СК4 от уровня низкого напряжения до уровня высокого напряжения. Специалисту в данной области техники понятны различия в последовательности операций согласно соединению девятого тонкопленочного транзистора T9 в схеме GOA, показанной на фиг. 3 и фиг. 6. Подробности не будут описаны ниже.

Итак, в настоящем изобретении предложена схема GOA, основанная на низкотемпературных тонкопленочных транзисторах из поликристаллического кремния. Девятый тонкопленочный транзистор введен для регулировки уровней высокого и низкого напряжения, прилагаемых ко второму узлу P(n). Девятый тонкопленочный транзистор содержит затвор и исток, электрически соединенные со вторым узлом P(n) и сток, электрически связанный со вторым тактовым сигналом. Иначе, девятый тонкопленочный транзистор содержит затвор, электрически связанный с четвертым тактовым сигналом, исток, электрически соединенный со вторым узлом P(n), и сток, электрически связанный со вторым тактовым сигналом. Такие конструкции обеспечивают возможность спадания уровня второго узла P(n) согласно определенной частоте при сохранении уровня низкого напряжения на выходной клемме G(n). Таким образом, в рамках настоящего изобретения второй узел P(n) не должен постоянно сохранять уровень высокого напряжения. Кроме того, у четвертого и седьмого транзисторов T4 и T7 нет проблем со сдвигом порогового напряжения в результате продолжительного времени эксплуатации. Стабильность схемы GOA улучшена относительно известного уровня техники, что с успехом может быть использовано в конструкции жидкокристаллических панелей с высоким разрешением. Предложенная в настоящем изобретении схема GOA может быть использована для управления сотовыми телефонами, дисплеями или телевизорами. Вышеупомянутое представляет собой преимущество настоящего изобретения.

Специалистам в данной области техники понятно, что многочисленные модификации и изменения устройства могут быть выполнены при сохранении сути изобретения. Согласно этому, вышеупомянутое раскрытие должно быть рассмотрено как ограниченное лишь границами прилагаемой формулы изобретения.

ФОРМУЛА ИЗОБРЕТЕНИЯ

1. Схема драйвера затворов на матрице (GOA), основанная на низкотемпературных полупроводниковых тонкопленочных транзисторах из поликристаллического кремния, содержащая множество каскадных блоков GOA, причем каждая ступень из указанного множества блоков GOA содержит модуль управления сканированием, выходной модуль, модуль понижения напряжения и модуль управления узлами;
на n-й ступени блока GOA, кроме первой ступени блока GOA и последней ступени блока GOA, где

n равно положительному целому числу, модуль управления сканированием содержит:

первый тонкопленочный транзистор, содержащий затвор, электрически связанный с первым тактовым сигналом, исток, электрически соединенный с выходной клеммой $G(n-1)$ для $(n-1)$ -й ступени блока GOA, и сток, электрически соединенный с третьим узлом;

третий тонкопленочный транзистор, содержащий затвор, электрически связанный с третьим тактовым сигналом, исток, электрически соединенный с выходной клеммой $G(n+1)$ для $(n+1)$ -й ступени блока GOA, и сток, электрически соединенный с третьим узлом;

пятый тонкопленочный транзистор, содержащий затвор, электрически подсоединенный к постоянному уровню высокого напряжения, исток, электрически соединенный с третьим узлом, и сток, электрически соединенный с первым узлом;

выходной модуль содержит:

второй тонкопленочный транзистор, содержащий затвор, электрически соединенный с первым узлом, исток, электрически связанный со вторым тактовым сигналом, и сток, электрически соединенный с выходной клеммой $G(n)$; и

первый конденсатор в цепи положительной обратной связи, электрически подсоединенный между первым узлом и выходной клеммой $G(n)$;

модуль понижения напряжения содержит:

четвертый тонкопленочный транзистор, содержащий затвор, электрически соединенный со вторым узлом, исток, электрически подсоединенный к постоянному уровню низкого напряжения, и сток, электрически соединенный с выходной клеммой $G(n)$;

шестой тонкопленочный транзистор, содержащий затвор, электрически соединенный с третьим узлом, исток, электрически подсоединенный к постоянному уровню низкого напряжения, и сток, электрически соединенный со вторым узлом;

седьмой тонкопленочный транзистор, содержащий затвор, электрически соединенный со вторым узлом, исток, электрически подсоединенный к постоянному уровню низкого напряжения, и сток, электрически соединенный с первым узлом;

восьмой тонкопленочный транзистор, содержащий затвор и исток, электрически связанные со вторым тактовым сигналом, и сток, электрически соединенный со вторым узлом;

десятый тонкопленочный транзистор, содержащий затвор, электрически связанный с четвертым тактовым сигналом, исток, электрически подсоединенный к постоянному уровню низкого напряжения, и сток, электрически соединенный с выходной клеммой $G(n)$; и

второй конденсатор в цепи положительной обратной связи, электрически подсоединенный между вторым узлом и постоянным уровнем низкого напряжения; и

причем модуль управления узлами, электрически связанный со вторым тактовым сигналом и вторым узлом, выполнен с возможностью управления вторым узлом для переключения между уровнем высокого напряжения и уровнем низкого напряжения согласно второму тактовому сигналу;

причем импульсы первого тактового сигнала, второго тактового сигнала, третьего тактового сигнала и четвертого тактового сигнала выводятся последовательно по очереди и никогда не накладываются;

при прямом сканировании первый тактовый сигнал, электрически связанный с первым тонкопленочным транзистором, и выходная клемма $G(n-1)$ одновременно обеспечивают уровень высокого напряжения;

при обратном сканировании третий тактовый сигнал, электрически связанный с третьим тонкопленочным транзистором, и выходная клемма $G(n+1)$ одновременно обеспечивают уровень высокого напряжения.

2. Схема GOA по п.1, в которой модуль управления узлами содержит девятый тонкопленочный транзистор, содержащий затвор и исток, электрически соединенные со вторым узлом, и сток, электрически связанный со вторым тактовым сигналом.

3. Схема GOA по п.2, в которой при сохранении уровня низкого напряжения на выходной клемме $G(n)$ уровень второго узла выполняет скачок к уровню высокого напряжения в ответ на скачок второго тактового сигнала от уровня низкого напряжения к уровню высокого напряжения, и уровень второго узла спадает до уровня низкого напряжения в ответ на падение второго тактового сигнала от уровня высокого напряжения к уровню низкого напряжения.

4. Схема GOA по п.1, в которой модуль управления узлами содержит девятый тонкопленочный транзистор T9, содержащий затвор, электрически связанный с четвертым тактовым сигналом, исток, электрически соединенный со вторым узлом, и сток, электрически связанный со вторым тактовым сигналом.

5. Схема GOA по п.4, в которой при сохранении уровня низкого напряжения на выходной клемме $G(n)$ уровень второго узла выполняет скачок к уровню высокого напряжения в ответ на скачок второго тактового сигнала от уровня низкого напряжения к уровню высокого напряжения, и уровень второго узла спадает до уровня низкого напряжения в ответ на скачок четвертого тактового сигнала от уровня низкого напряжения к уровню высокого напряжения.

6. Схема GOA по п.1, в которой все тонкопленочные транзисторы выполнены в форме низкотемпе-

ратурных полупроводниковых тонкопленочных транзисторов из поликристаллического кремния.

7. Схема драйвера затворов на матрице (GOA), основанная на низкотемпературных полупроводниковых тонкопленочных транзисторах из поликристаллического кремния, содержащая:

множество каскадных блоков GOA, причем каждая ступень из указанного множества блоков GOA содержит модуль управления сканированием, выходной модуль, модуль понижения напряжения и модуль управления узлами;

на n -й ступени блока GOA, кроме первой ступени блока GOA и последней ступени блока GOA, где n равно положительному целому числу, модуль управления сканированием содержит:

первый тонкопленочный транзистор, содержащий затвор, электрически связанный с первым тактовым сигналом, исток, электрически соединенный с выходной клеммой $G(n-1)$ для $(n-1)$ -й ступени блока GOA, и сток, электрически соединенный с третьим узлом;

третий тонкопленочный транзистор, содержащий затвор, электрически связанный с третьим тактовым сигналом, исток, электрически соединенный с выходной клеммой $G(n+1)$ для $(n+1)$ -й ступени блока GOA, и сток, электрически соединенный с третьим узлом; и

пятый тонкопленочный транзистор, содержащий затвор, электрически подсоединенный к постоянному уровню высокого напряжения, исток, электрически соединенный с третьим узлом, и сток, электрически соединенный с первым узлом;

выходной модуль содержит:

второй тонкопленочный транзистор, содержащий затвор, электрически соединенный с первым узлом, исток, электрически связанный со вторым тактовым сигналом, и сток, электрически соединенный с выходной клеммой $G(n)$; и

первый конденсатор в цепи положительной обратной связи, электрически подсоединенный между первым узлом и выходной клеммой $G(n)$;

модуль понижения напряжения содержит:

четвертый тонкопленочный транзистор, содержащий затвор, электрически соединенный со вторым узлом, исток, электрически подсоединенный к постоянному уровню низкого напряжения, и сток, электрически соединенный с выходной клеммой $G(n)$;

шестой тонкопленочный транзистор, содержащий затвор, электрически соединенный с третьим узлом, исток, электрически подсоединенный к постоянному уровню низкого напряжения, и сток, электрически соединенный со вторым узлом;

седьмой тонкопленочный транзистор, содержащий затвор, электрически соединенный со вторым узлом, исток, электрически подсоединенный к постоянному уровню низкого напряжения, и сток, электрически соединенный с первым узлом;

восьмой тонкопленочный транзистор, содержащий затвор и исток, электрически связанные со вторым тактовым сигналом, и сток, электрически соединенный со вторым узлом;

десятый тонкопленочный транзистор, содержащий затвор, электрически связанный с четвертым тактовым сигналом, исток, электрически подсоединенный к постоянному уровню низкого напряжения, и сток, электрически соединенный с выходной клеммой $G(n)$; и

второй конденсатор в цепи положительной обратной связи, электрически подсоединенный между вторым узлом и постоянным уровнем низкого напряжения; и

причем модуль управления узлами, электрически связанный со вторым тактовым сигналом и вторым узлом, выполнен с возможностью управления вторым узлом для переключения между уровнем высокого напряжения и уровнем низкого напряжения согласно второму тактовому сигналу.

8. Схема GOA по п.7, в которой модуль управления узлами содержит девятый тонкопленочный транзистор T9, содержащий затвор и исток, электрически соединенные со вторым узлом, и сток, электрически связанный со вторым тактовым сигналом.

9. Схема GOA по п.8, в которой при сохранении уровня низкого напряжения на выходной клемме $G(n)$ уровень второго узла выполняет скачок к уровню высокого напряжения в ответ на скачок второго тактового сигнала от уровня низкого напряжения к уровню высокого напряжения, и уровень второго узла спадает до уровня низкого напряжения в ответ на падение второго тактового сигнала от уровня высокого напряжения к уровню низкого напряжения.

10. Схема GOA по п.7, в которой модуль управления узлами содержит девятый тонкопленочный транзистор T9, содержащий затвор, электрически связанный с четвертым тактовым сигналом, исток, электрически соединенный со вторым узлом, и сток, электрически связанный со вторым тактовым сигналом.

11. Схема GOA по п.10, в которой при сохранении уровня низкого напряжения на выходной клемме $G(n)$ уровень второго узла выполняет скачок к уровню высокого напряжения в ответ на скачок второго тактового сигнала от уровня низкого напряжения к уровню высокого напряжения, и уровень второго узла спадает до уровня низкого напряжения в ответ на скачок четвертого тактового сигнала от уровня низкого напряжения к уровню высокого напряжения.

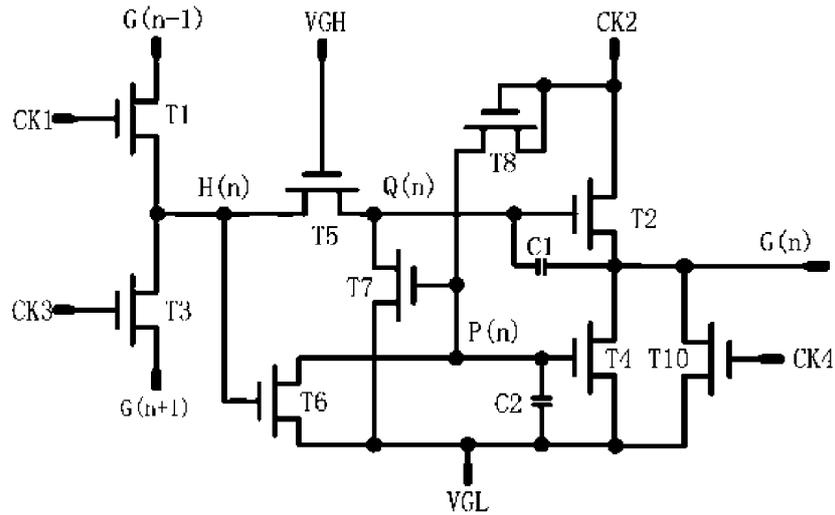
12. Схема GOA по п.7, в которой импульсы первого тактового сигнала, второго тактового сигнала, третьего тактового сигнала и четвертого тактового сигнала выведены последовательно по очереди и ни-

когда не перекрыты.

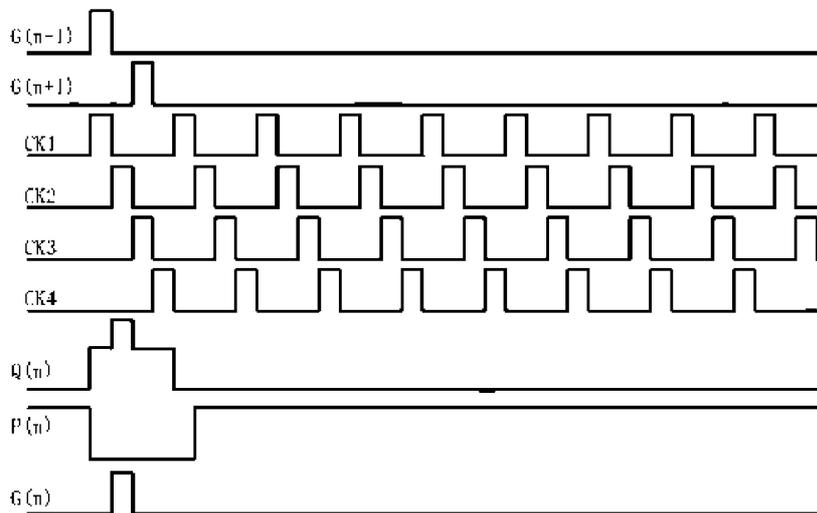
13. Схема GOA по п.7, в которой при прямом сканировании первый тактовый сигнал, электрически связанный с первым тонкопленочным транзистором, и выходная клемма $G(n-1)$ одновременно обеспечивают уровень высокого напряжения;

при обратном сканировании третий тактовый сигнал, электрически связанный с третьим тонкопленочным транзистором, и выходная клемма $G(n+1)$ одновременно обеспечивают уровень высокого напряжения.

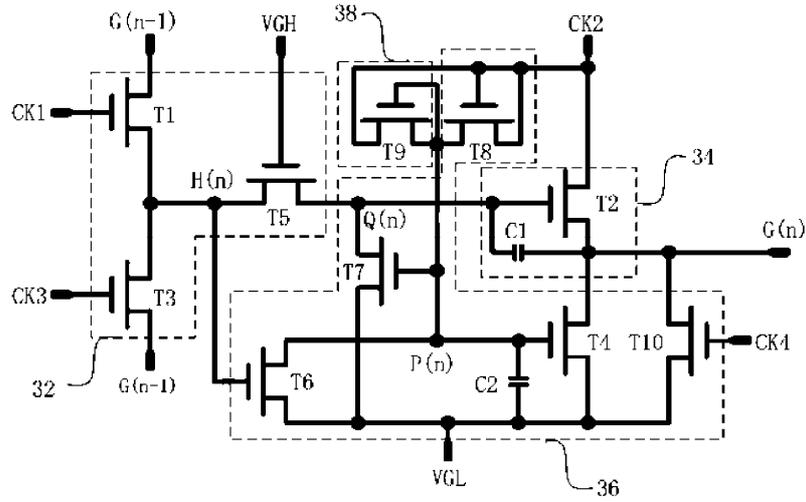
14. Схема GOA по п.7, в которой все тонкопленочные транзисторы выполнены в форме низкотемпературных полупроводниковых тонкопленочных транзисторов из поликристаллического кремния.



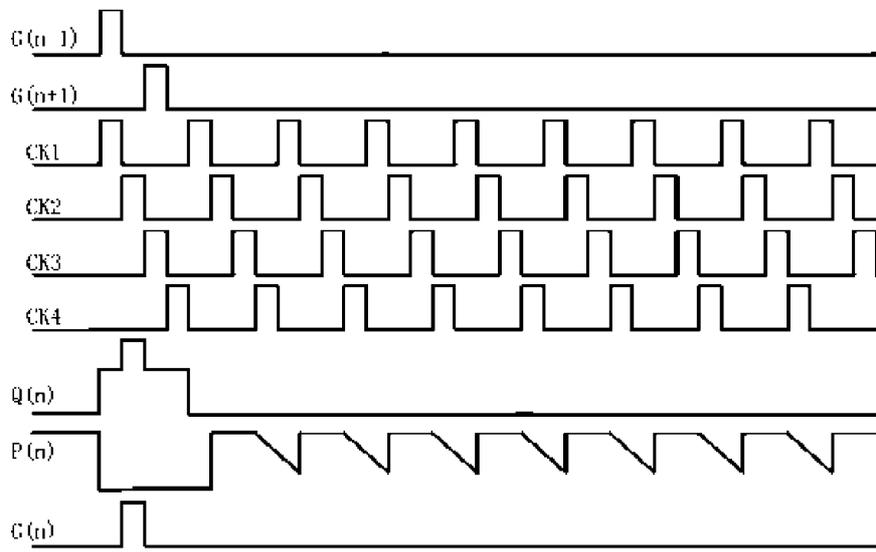
Фиг. 1
(Уровень техники)



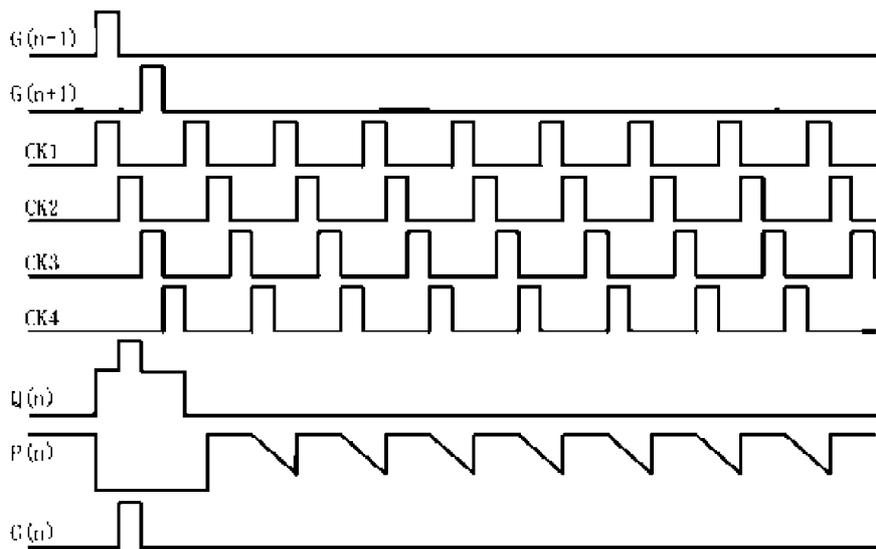
Фиг. 2
(Уровень техники)



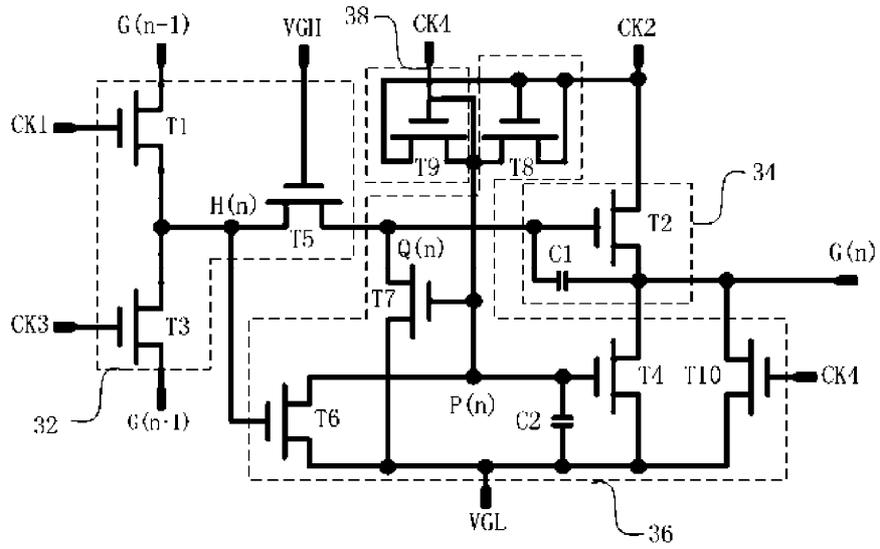
Фиг. 3



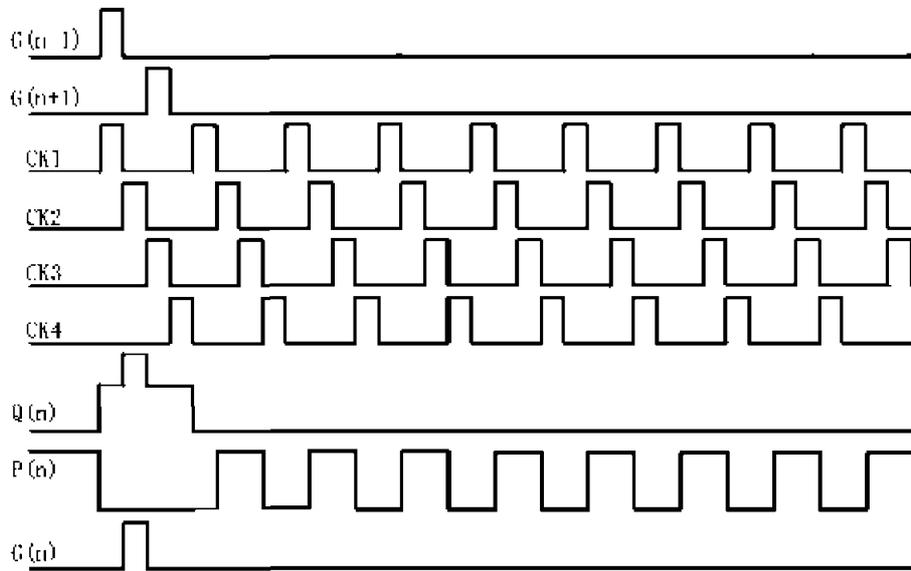
Фиг. 4



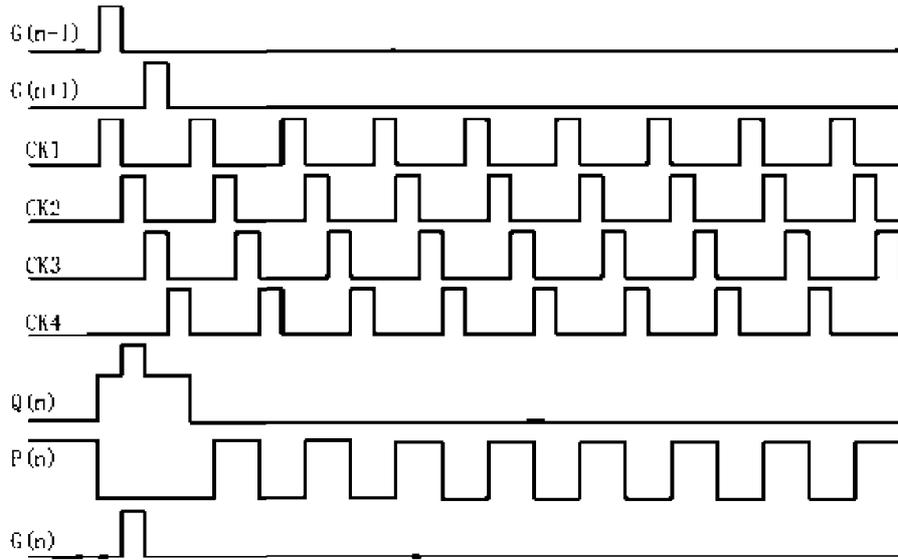
Фиг. 5



Фиг. 6



Фиг. 7



Фиг. 8