

(19)



**Евразийское  
патентное  
ведомство**

(11) **035508**

(13) **B1**

(12) **ОПИСАНИЕ ИЗОБРЕТЕНИЯ К ЕВРАЗИЙСКОМУ ПАТЕНТУ**

(45) Дата публикации и выдачи патента  
**2020.06.26**

(51) Int. Cl. **G09G 3/36 (2006.01)**

(21) Номер заявки  
**201891566**

(22) Дата подачи заявки  
**2016.06.13**

---

(54) **СХЕМА ДРАЙВЕРА ЗАТВОРА НА МАТРИЦЕ (GOA) НА ОСНОВЕ ПОЛУПРОВОДНИКОВЫХ ТОНКОПЛЕНОЧНЫХ ТРАНЗИСТОРОВ ИЗ НИЗКОТЕМПЕРАТУРНОГО ПОЛИКРЕМНИЯ (LTPS)**

---

(31) **201610331196.1**

(56) CN-A-105355187

(32) **2016.05.18**

CN-A-104537992

(33) **CN**

CN-A-105336302

(43) **2018.12.28**

CN-A-103065593

(86) **PCT/CN2016/085598**

US-A1-2008030445

(87) **WO 2017/197684 2017.11.23**

(71)(73) Заявитель и патентовладелец:  
**УХАНЬ ЧАЙНА СТАР  
ОПТОЭЛЕКТРОНИКС  
ТЕКНОЛОДЖИ КО., ЛТД (CN)**

(72) Изобретатель:  
**Ли Яфэн (CN)**

(74) Представитель:  
**Носырева Е.Л. (RU)**

---

(57) Схема GOA на основе полупроводниковых тонкопленочных транзисторов из LTPS, содержащая множество подключенных последовательно блоков GOA. Каждый из множества блоков GOA содержит модуль (32) управления разверткой, выходной модуль (34), модуль (36) снижения напряжения и выходной регулировочный модуль (38). Благодаря тому, что предусмотрен выходной регулировочный модуль (38), образованный девятым тонкопленочным транзистором, десятым тонкопленочным транзистором, одиннадцатым тонкопленочным транзистором и двенадцатым тонкопленочным транзистором (T9, T10, T11 и T12), либо в прямой развертке, либо в обратной развертке уровень напряжения четвертого узла M(n) перемещается между высоким уровнем напряжения и низким уровнем напряжения (VGH и VGL) со вторым синхронизирующим сигналом (СК2), и, таким образом, происходит одинаковое перемещение между высоким и низким уровнями напряжения. По сравнению с традиционной технологией, где высокий и низкий уровни напряжения выходного зажима G(n) в основном обеспечиваются с использованием второго тонкопленочного транзистора (T2), в схеме GOA на основе полупроводниковых тонкопленочных транзисторов из LTPS за один и тот же период времени до определенной степени повышается нагрузочная способность выходного зажима G(n) и улучшается зарядная емкость пикселей в плоскости для обеспечения лучшего результата отображения на жидкокристаллической панели.

---

**035508 B1**

**035508 B1**

## Предпосылки изобретения

### 1. Область изобретения

Настоящее изобретение относится к области жидкокристаллических дисплеев и, в частности, к схеме GOA на основе полупроводниковых тонкопленочных транзисторов из низкотемпературного поликремния (LTPS) для улучшения нагрузочной способности выходных узлов схемы GOA.

### 2. Описание известного уровня техники

Технология драйверов затвора на матрице (GOA) заключается в том, что управляющая схема затвором на основе развертки строк изготавливается на подложке матрицы на основе традиционного жидкокристаллического дисплея на тонкопленочных транзисторах (TFT-LCD) для обеспечения того, чтобы управление затвором осуществлялось за счет построчной развертки. Применение технологии GOA подходит для уменьшения соединения внешней интегральной микросхемы (IC), благоприятного увеличения емкости и сокращения издержек производства. Кроме того, становится возможным изготовление жидкокристаллических панелей, более подходящих для дисплеев с узкими рамками или без рамок.

По мере развития полупроводниковых тонкопленочных транзисторов из низкотемпературного поликремния (LTPS) жидкокристаллические дисплеи на основе тонкопленочных транзисторов из LTPS также становятся все более популярными. Жидкокристаллические дисплеи на основе тонкопленочных транзисторов из LTPS имеют такие преимущества, как высокая разрешающая способность, быстрое срабатывание, высокая яркость, высокие форматы изображения и т.д. Кроме того, полупроводники на основе LTPS имеют сверхвысокую подвижность носителей, чтобы драйверы затвора устанавливались на подложку матрицы тонкопленочного транзистора на основе технологии GOA для достижения интеграции систем (SI), экономии пространства и экономии затрат на интегральные микросхемы драйвера.

На фиг. 1 показано схематическое изображение традиционной схемы GOA на основе полупроводниковых тонкопленочных транзисторов из LTPS. Схема GOA содержит множество блоков GOA, подключенных последовательно. N представляет собой положительное целое число. N-й блок GOA содержит первый тонкопленочный транзистор T1, второй тонкопленочный транзистор T2, третий тонкопленочный транзистор T3, четвертый тонкопленочный транзистор T4, пятый тонкопленочный транзистор T5, шестой тонкопленочный транзистор T6, седьмой тонкопленочный транзистор T7, восьмой тонкопленочный транзистор T8, первый конденсатор C1 и второй конденсатор C2.

Первый тонкопленочный транзистор T1 содержит затвор, электрически связанный с первым синхронизирующим сигналом СК1, исток, электрически подключенный к выходному зажиму G(n-1) предыдущего n-1 блока GOA, и сток, электрически подключенный к третьему узлу H(n).

Второй тонкопленочный транзистор T2 содержит затвор, электрически подключенный к первому узлу Q(n), исток, электрически связанный со вторым синхронизирующим сигналом СК2, и сток, электрически подключенный к выходному зажиму G(n).

Третий тонкопленочный транзистор T3 содержит затвор, электрически связанный с третьим синхронизирующим сигналом СК3, сток, электрически подключенный к третьему узлу H(n), и исток, электрически подключенный к выходному зажиму G(n+1) следующего n+1 блока GOA.

Четвертый тонкопленочный транзистор T4 содержит затвор, электрически подключенный ко второму узлу P(n), сток, электрически подключенный к выходному зажиму G(n), и исток, электрически подключенный к постоянному напряжению на низком уровне напряжения VGL.

Пятый тонкопленочный транзистор T5 содержит затвор, электрически подключенный к постоянному напряжению на высоком уровне напряжения VGH, исток, электрически подключенный к третьему узлу H(n), и сток, электрически подключенный к первому узлу Q(n).

Шестой тонкопленочный транзистор T6 содержит затвор, электрически подключенный к третьему узлу H(n), сток, электрически подключенный ко второму узлу P(n), и исток, электрически подключенный к постоянному напряжению на низком уровне напряжения VGL.

Седьмой тонкопленочный транзистор T7 содержит затвор, электрически подключенный ко второму узлу P(n), сток, электрически подключенный к первому узлу Q(n), и исток, электрически подключенный к постоянному напряжению на низком уровне напряжения VGL.

Восьмой тонкопленочный транзистор T8 содержит затвор, электрически связанный со вторым синхронизирующим сигналом СК2, исток, электрически подключенный к выходному зажиму G(n), и сток, электрически подключенный к постоянному напряжению на низком уровне напряжения VGL.

Один вывод первого конденсатора C1 электрически подключен к первому узлу Q(n), а другой вывод электрически подключен к выходному зажиму G(n). Один вывод второго конденсатора C2 электрически подключен ко второму узлу P(n), а другой вывод электрически связан со вторым синхронизирующим сигналом СК2.

К схеме GOA, показанной на фиг. 1, может применяться прямая или обратная развертка. Поток действий при прямой развертке подобен потоку действий при обратной развертке. Как показано на фиг. 1 и 2, в данном случае направление развертки схемы является прямым. На фиг. 2 показана временная диаграмма традиционной схемы GOA на основе полупроводниковых тонкопленочных транзисторов из LTPS, показанной на фиг. 1, в прямой развертке. Поток действий в прямой развертке является следующим.

Стадия 1. Предварительная зарядка: оба из выходного зажима  $G(n-1)$  и первого синхронизирующего сигнала СК1 обеспечивают высокий уровень напряжения; первый тонкопленочный транзистор Т1 открыт; затвор пятого тонкопленочного транзистора Т5 подключен к постоянному напряжению на высоком уровне напряжения  $V_{GH}$ , так что пятый тонкопленочный транзистор Т5 открыт; третий узел  $H(n)$  предварительно заряжен до высокого уровня напряжения, и шестой тонкопленочный транзистор Т6 открыт; уровень напряжения третьего узла  $H(n)$  является таким же, как у первого узла  $Q(n)$ ; первый узел  $Q(n)$  предварительно заряжен до высокого уровня напряжения, напряжение второго узла  $P(n)$  снижено, и четвертый и седьмой тонкопленочные транзисторы Т4, Т7 закрыты.

Стадия 2. Выходной зажим  $G(n)$  дает высокий уровень напряжения: выходной зажим  $G(n-1)$  и первый синхронизирующий сигнал СК1 переведены на низкий уровень напряжения, и второй синхронизирующий сигнал СК2 обеспечивает высокий уровень напряжения; первый узел  $Q(n)$  поддерживает высокий уровень напряжения за счет функции накопления у первого конденсатора С1, второй тонкопленочный транзистор Т2 открыт, высокий уровень напряжения второго синхронизирующего сигнала СК2 передается на выходной зажим  $G(n)$ , и выходной зажим  $G(n)$  дает на выходе высокий уровень напряжения; и первый узел  $Q(n)$  поднят на более высокий уровень напряжения.

Стадия 3. Выходной зажим  $G(n)$  дает низкий уровень напряжения: оба из третьего синхронизирующего сигнала СК3 и выходного зажима  $G(n+1)$  обеспечивают высокий уровень напряжения, и первый узел  $Q(n)$  сохраняет высокий уровень напряжения; второй синхронизирующий сигнал СК2 переведен на низкий уровень напряжения, низкий уровень напряжения второго синхронизирующего сигнала СК2 передается на выходной зажим  $G(n)$ , и выходной зажим  $G(n)$  дает на выходе низкий уровень напряжения.

Стадия 4. Напряжение первого узла  $Q(n)$  снижается до постоянного напряжения на низком уровне напряжения  $V_{GL}$ : первый синхронизирующий сигнал СК1 снова обеспечивает высокий уровень напряжения, выходной зажим  $G(n-1)$  сохраняет низкий уровень напряжения, первый тонкопленочный транзистор Т1 открыт, так что напряжение первого узла  $Q(n)$  снижается до постоянного напряжения на низком уровне напряжения  $V_{GL}$ , и шестой тонкопленочный транзистор Т6 закрыт.

Стадия 5. Сохранение напряжения первого узла  $Q(n)$  и выходного зажима  $G(n)$  на низком уровне напряжения: второй синхронизирующий сигнал СК2 переводится на высокий уровень напряжения; за счет того, что второй конденсатор С2 имеет функцию ускорения, второй узел  $P(n)$  заряжается до высокого уровня напряжения, и четвертый и седьмой тонкопленочные транзисторы Т4, Т7 открыты для сохранения напряжения первого узла  $Q(n)$  и выходного зажима  $G(n)$  на низком уровне напряжения.

В традиционной схеме GOA высокий и низкий уровни напряжения выходного зажима  $G(n)$  в основном обеспечиваются с использованием второго тонкопленочного транзистора Т2. После предварительной зарядки первого узла  $Q(n)$  и усиления второго синхронизирующего сигнала СК2 напряжение выходного зажима  $G(n)$  посредством второго тонкопленочного транзистора Т2 повышается. После предварительной зарядки первого узла  $Q(n)$  и ослабления второго синхронизирующего сигнала СК2 напряжение выходного зажима  $G(n)$  посредством второго тонкопленочного транзистора Т2 понижается. Но зарядная емкость второго тонкопленочного транзистора Т2 ограничена в определенный период времени. В частности, чем больше на изображении число пикселей на дюйм (Pixel Per Inch, PPI), тем менее стремительно уменьшается время зарядки. Таким образом, возможно, что выходной зажим  $G(n)$  не достигнет требуемого уровня напряжения или соответствующая резистивно-емкостная задержка будет занимать много времени. Такие ситуации влияют на заряд пикселей в плоскости и результат отображения на жидкокристаллической панели.

Следовательно, цель настоящего изобретения заключается в предоставлении новой схемы GOA для улучшения нагрузочной способности выходных узлов схемы GOA.

#### **Сущность изобретения**

Цель настоящего изобретения заключается в предоставлении схемы GOA на основе полупроводниковых тонкопленочных транзисторов из LTPS. По сравнению с традиционными схемами GOA на основе полупроводниковых тонкопленочных транзисторов из LTPS, схема, предложенная согласно настоящему изобретению, имеет более высокую нагрузочную способность в выходном узле  $G(n)$  в один и тот же период времени. Таким образом, схема, предложенная согласно настоящему изобретению, имеет более высокую зарядную емкость пикселей в плоскости и более высокую нагрузочную способность для улучшения результата отображения на жидкокристаллической панели.

Согласно настоящему изобретению предложена схема драйвера затвора на матрице (GOA) на основе полупроводниковых тонкопленочных транзисторов из низкотемпературного поликремния (LTPS). Схема GOA содержит множество подключенных последовательно блоков GOA, при этом каждый из множества блоков GOA содержит модуль управления разверткой, выходной модуль, модуль снижения напряжения и выходной регулировочный модуль, при этом  $n$  представляет собой положительное целое число и, за исключением первого и последнего блоков GOA, в  $n$ -м блоке GOA: Модуль управления разверткой содержит первый тонкопленочный транзистор, третий тонкопленочный транзистор и пятый тонкопленочный транзистор, при этом первый тонкопленочный транзистор содержит затвор, электрически связанный с первым синхронизирующим сигналом, исток, электрически подключенный к выходному зажиму  $G(n-1)$  предыдущего  $n-1$  блока GOA, и сток, электрически подключенный к третьему узлу; тре-

тый тонкопленочный транзистор содержит затвор, электрически связанный с третьим синхронизирующим сигналом, исток, электрически подключенный к выходному зажиму  $G(n+1)$  следующего  $n+1$  блока GOA, и сток, электрически подключенный к третьему узлу; и пятый тонкопленочный транзистор содержит затвор, электрически подключенный к постоянному напряжению на высоком уровне напряжения, исток, электрически подключенный к третьему узлу, и сток, электрически подключенный к первому узлу. Выходной модуль содержит второй тонкопленочный транзистор и первый ускоряющий конденсатор, при этом второй тонкопленочный транзистор содержит затвор, электрически подключенный к первому узлу, исток, электрически связанный со вторым синхронизирующим сигналом, и сток, электрически подключенный к выходному зажиму  $G(n)$ ; и один вывод первого ускоряющего конденсатора электрически подключен к первому узлу, а другой вывод электрически подключен к выходному зажиму  $G(n)$ . Модуль снижения напряжения содержит четвертый тонкопленочный транзистор, шестой тонкопленочный транзистор, седьмой тонкопленочный транзистор, восьмой тонкопленочный транзистор и второй ускоряющий конденсатор, при этом четвертый тонкопленочный транзистор содержит затвор, электрически подключенный ко второму узлу, исток, электрически подключенный к постоянному напряжению на низком уровне напряжения, и сток, электрически подключенный к выходному зажиму  $G(n)$ ; шестой тонкопленочный транзистор содержит затвор, электрически подключенный к третьему узлу, исток, электрически подключенный к постоянному напряжению на низком уровне напряжения, и сток, электрически подключенный ко второму узлу; седьмой тонкопленочный транзистор содержит затвор, электрически подключенный ко второму узлу, исток, электрически подключенный к постоянному напряжению на низком уровне напряжения, и сток, электрически подключенный к первому узлу; восьмой тонкопленочный транзистор содержит затвор, электрически связанный с четвертым синхронизирующим сигналом, исток, электрически подключенный к постоянному напряжению на низком уровне напряжения, и сток, электрически подключенный к выходному зажиму  $G(n)$ ; и один вывод второго ускоряющего конденсатора электрически подключен ко второму узлу, а другой вывод электрически связан со вторым синхронизирующим сигналом. Выходной регулировочный модуль содержит девятый тонкопленочный транзистор, десятый тонкопленочный транзистор, одиннадцатый тонкопленочный транзистор и двенадцатый тонкопленочный транзистор, при этом девятый тонкопленочный транзистор содержит затвор, электрически связанный со вторым синхронизирующим сигналом, исток, электрически подключенный к постоянному напряжению на высоком уровне напряжения, и сток, электрически подключенный к четвертому узлу; десятый тонкопленочный транзистор содержит затвор, электрически подключенный к первому узлу, исток, электрически подключенный к четвертому узлу, и сток, электрически подключенный к выходному зажиму  $G(n)$ ; одиннадцатый тонкопленочный транзистор содержит затвор, электрически подключенный к выходному зажиму  $G(n-1)$ , исток, электрически подключенный к постоянному напряжению на низком уровне напряжения, и сток, электрически подключенный к четвертому узлу; и двенадцатый тонкопленочный транзистор содержит затвор, электрически подключенный к выходному зажиму  $G(n+1)$ , исток, электрически подключенный к постоянному напряжению на низком уровне напряжения, и сток, электрически подключенный к четвертому узлу.

В схеме GOA на основе полупроводниковых тонкопленочных транзисторов из LTPS, предложенной согласно настоящему изобретению, предусмотрен выходной регулировочный модуль, образованный девятым тонкопленочным транзистором T9, десятим тонкопленочным транзистором T10, одиннадцатым тонкопленочным транзистором T11 и двенадцатым тонкопленочным транзистором T12. Либо в прямой развертке, либо в обратной развертке уровень напряжения четвертого узла  $M(n)$  перемещается между высоким уровнем напряжения и низким уровнем напряжения со вторым синхронизирующим сигналом СК2, и, таким образом, происходит одинаковое перемещение между высоким и низким уровнями напряжения. По сравнению с традиционной технологией, где высокий и низкий уровни напряжения выходного зажима  $G(n)$  в основном обеспечиваются с использованием второго тонкопленочного транзистора T2, в схеме GOA на основе полупроводниковых тонкопленочных транзисторов из LTPS, предложенной согласно настоящему изобретению, на стадии предварительной зарядки первого узла  $Q(n)$  до определенной степени за один и тот же период времени повышается нагрузочная способность выходного зажима  $G(n)$  и улучшается зарядная емкость пикселей в плоскости для обеспечения лучшего результата отображения на жидкокристаллической панели. Схема GOA, предложенная согласно настоящему изобретению, может применяться в драйверах затворов сотовых телефонов, дисплеев или телевизоров. Представленное выше является предпочтительным способом осуществления настоящего изобретения.

#### **Краткое описание графических материалов**

На фиг. 1 показано схематическое изображение традиционной схемы GOA на основе полупроводниковых тонкопленочных транзисторов из LTPS.

На фиг. 2 показана временная диаграмма традиционной схемы GOA на основе полупроводниковых тонкопленочных транзисторов из LTPS, показанной на фиг. 1, в прямой развертке.

На фиг. 3 показано схематическое изображение схемы GOA на основе полупроводниковых тонкопленочных транзисторов из LTPS согласно одному предпочтительному варианту осуществления настоящего изобретения.

На фиг. 4 показана временная диаграмма схемы GOA на основе полупроводниковых тонкопленочных транзисторов из LTPS, показанной на фиг. 3, в прямой развертке.

На фиг. 5 показана временная диаграмма схемы GOA на основе полупроводниковых тонкопленочных транзисторов из LTPS, показанной на фиг. 3, в обратной развертке.

#### **Подробное описание предпочтительных вариантов осуществления**

Ниже схема драйвера затвора на матрице (GOA) на основе полупроводниковых тонкопленочных транзисторов (TFT) из низкотемпературного поликремния (LTPS), предложенная согласно настоящему изобретению, подробно описана со ссылкой на прилагаемые графические материалы.

На фиг. 3 показано схематическое изображение схемы GOA на основе полупроводниковых тонкопленочных транзисторов из LTPS согласно одному предпочтительному варианту осуществления настоящего изобретения. Схема GOA содержит множество блоков GOA, подключенных последовательно. Каждый из множества блоков GOA содержит модуль 32 управления разверткой, выходной модуль 34, модуль 36 снижения напряжения и выходной регулировочный модуль 38.

В  $n$  блоках GOA, за исключением первого блока GOA и последнего блока GOA, модуль 32 управления разверткой содержит первый тонкопленочный транзистор T1, третий тонкопленочный транзистор T3 и пятый тонкопленочный транзистор T5. Выходной модуль 34 содержит второй тонкопленочный транзистор T2 и первый ускоряющий конденсатор C1. Модуль 36 снижения напряжения содержит четвертый тонкопленочный транзистор T4, шестой тонкопленочный транзистор T6, седьмой тонкопленочный транзистор T7, восьмой тонкопленочный транзистор T8 и второй ускоряющий конденсатор C2. Выходной регулировочный модуль 38 содержит девятый тонкопленочный транзистор T9, десятый тонкопленочный транзистор T10, одиннадцатый тонкопленочный транзистор T11 и двенадцатый тонкопленочный транзистор T12.  $N$  представляет собой положительное целое число.

В модуле 32 управления разверткой первый тонкопленочный транзистор T1 содержит затвор, электрически связанный с первым синхронизирующим сигналом СК1, исток, электрически подключенный к выходному зажиму  $G(n-1)$  предыдущего  $n-1$  блока GOA, и сток, электрически подключенный к третьему узлу  $H(n)$ . Третий тонкопленочный транзистор T3 содержит затвор, электрически связанный с третьим синхронизирующим сигналом СК3, исток, электрически подключенный к выходному зажиму  $G(n+1)$  следующего  $n+1$  блока GOA, и сток, электрически подключенный к третьему узлу  $H(n)$ . Пятый тонкопленочный транзистор T5 содержит затвор, электрически подключенный к постоянному напряжению на высоком уровне напряжения  $V_{GH}$ , исток, электрически подключенный к третьему узлу  $H(n)$ , и сток, электрически подключенный к первому узлу  $Q(n)$ .

В выходном модуле 34 второй тонкопленочный транзистор T2 содержит затвор, электрически подключенный к первому узлу  $Q(n)$ , исток, электрически связанный со вторым синхронизирующим сигналом СК2, и сток, электрически подключенный к выходному зажиму  $G(n)$ . Один вывод первого ускоряющего конденсатора C1 электрически подключен к первому узлу  $Q(n)$ , а другой вывод электрически подключен к выходному зажиму  $G(n)$ .

В модуле 36 снижения напряжения четвертый тонкопленочный транзистор T4 содержит затвор, электрически подключенный ко второму узлу  $P(n)$ , исток, электрически подключенный к постоянному напряжению на низком уровне напряжения  $V_{GL}$ , и сток, электрически подключенный к выходному зажиму  $G(n)$ . Шестой тонкопленочный транзистор T6 содержит затвор, электрически подключенный к третьему узлу  $H(n)$ , исток, электрически подключенный к постоянному напряжению на низком уровне напряжения  $V_{GL}$ , и сток, электрически подключенный ко второму узлу  $P(n)$ . Седьмой тонкопленочный транзистор T7 содержит затвор, электрически подключенный ко второму узлу  $P(n)$ , исток, электрически подключенный к постоянному напряжению на низком уровне напряжения  $V_{GL}$ , и сток, электрически подключенный к первому узлу  $Q(n)$ . Восьмой тонкопленочный транзистор T8 содержит затвор, электрически связанный с четвертым синхронизирующим сигналом СК4, исток, электрически подключенный к постоянному напряжению на низком уровне напряжения  $V_{GL}$ , и сток, электрически подключенный к выходному зажиму  $G(n)$ . Один вывод второго ускоряющего конденсатора C2 электрически подключен ко второму узлу  $P(n)$ , а другой вывод электрически связан со вторым синхронизирующим сигналом СК2.

В выходном регулировочном модуле 38 девятый тонкопленочный транзистор T9 содержит затвор, электрически связанный со вторым синхронизирующим сигналом СК2, исток, электрически подключенный к постоянному напряжению на высоком уровне напряжения  $V_{GH}$ , и сток, электрически подключенный к четвертому узлу  $M(n)$ . Десятый тонкопленочный транзистор T10 содержит затвор, электрически подключенный к первому узлу  $Q(n)$ , исток, электрически подключенный к четвертому узлу  $M(n)$ , и сток, электрически подключенный к выходному зажиму  $G(n)$ . Одиннадцатый тонкопленочный транзистор T11 содержит затвор, электрически подключенный к выходному зажиму  $G(n-1)$ , исток, электрически подключенный к постоянному напряжению на низком уровне напряжения  $V_{GL}$ , и сток, электрически подключенный к четвертому узлу  $M(n)$ . Двенадцатый тонкопленочный транзистор T12 содержит затвор, электрически подключенный к выходному зажиму  $G(n+1)$ , исток, электрически подключенный к постоянному напряжению на низком уровне напряжения  $V_{GL}$ , и сток, электрически подключенный к четвертому узлу  $M(n)$ .

В частности, каждый из тонкопленочных транзисторов, применяемых в настоящем изобретении, представляет собой полупроводниковый тонкопленочный транзистор из LTPS.

В частности, схема GOA содержит четыре синхронизирующих сигнала, а именно первый синхронизирующий сигнал СК1, второй синхронизирующий сигнал СК2, третий синхронизирующий сигнал СК3 и четвертый синхронизирующий сигнал СК4. Импульсы четырех синхронизирующих сигналов последовательно выводятся друг за другом и никогда не перекрываются.

В частности, в первом блоке GOA исток первого тонкопленочного транзистора Т1 электрически соединен с начальным сигналом STV схемы. В последнем блоке GOA исток третьего тонкопленочного транзистора Т3 электрически соединен с начальным сигналом STV схемы. Схема GOA на основе полупроводниковых тонкопленочных транзисторов из LTPS, предложенная согласно настоящему изобретению, может быть развернута поочередно с первого блока к последнему блоку в прямой развертке или с последнего блока к первому в обратной развертке. В прямой развертке сначала на первый тонкопленочный транзистор Т1 поступает первый синхронизирующий сигнал (т.е. первый синхронизирующий сигнал СК1 на высоком уровне напряжения) и начальный сигнал STV схемы. Другими словами, первый синхронизирующий сигнал СК1, электрически связанный с первым тонкопленочным транзистором Т1, и выходной зажим G(n-1) предыдущего (n-1) блока GOA, одновременно обеспечивают высокий уровень напряжения в прямой развертке. В обратной развертке сначала на третий тонкопленочный транзистор Т3 последнего блока GOA поступает первый синхронизирующий сигнал (т.е. третий синхронизирующий сигнал СК3 на высоком уровне напряжения) и начальный сигнал STV схемы. Другими словами, третий синхронизирующий сигнал СК3, электрически связанный с третьим тонкопленочным транзистором Т3, и выходной зажим G(n+1) следующего (n+1) блока GOA одновременно обеспечивают высокий уровень напряжения в обратной развертке.

В схеме GOA на основе полупроводниковых тонкопленочных транзисторов из LTPS, предложенной согласно настоящему изобретению, либо в прямой развертке, либо в обратной развертке уровень напряжения четвертого узла M(n) перемещается между высоким уровнем напряжения и низким уровнем напряжения со вторым синхронизирующим сигналом СК2, и, таким образом, происходит одинаковое перемещение между высоким и низким уровнями напряжения. По сравнению с традиционной технологией, за один и тот же период времени можно до определенной степени повысить нагрузочную способность выходного зажима G(n) и повысить зарядную емкость пикселей в плоскости, чтобы дополнительно улучшить результат отображения на жидкокристаллической панели.

На фиг. 4 показана временная диаграмма схемы GOA на основе полупроводниковых тонкопленочных транзисторов из LTPS, показанной на фиг. 3, в прямой развертке. Поток действий в прямой развертке является следующим.

Стадия 1. Предварительная зарядка: оба из первого синхронизирующего сигнала СК1 и выходного зажима G(n-1) обеспечивают высокий уровень напряжения. Второй, третий и четвертый синхронизирующие сигналы СК2, СК3, СК4 обеспечивают низкий уровень напряжения. Выходной зажим G(n+1) также обеспечивает низкий уровень напряжения. Первый тонкопленочный транзистор Т1, управляемый первым синхронизирующим сигналом СК1, открыт. Третий узел Н(n) предварительно заряжен до высокого уровня напряжения. Шестой тонкопленочный транзистор Т6, управляемый третьим узлом Н(n), открыт. Пятый тонкопленочный транзистор Т5 все время остается открытым под действием постоянного напряжения на высоком уровне напряжения VGH, и, таким образом, у третьего узла Н(n) и первого узла Q(n) все время один и тот же уровень напряжения. Первый узел Q(n) предварительно заряжается до высокого уровня напряжения. Второй узел Р(n) переведен на постоянное напряжение на низком уровне напряжения VGL. Наконец, четвертый и седьмой тонкопленочные транзисторы Т4, Т7, управляемые вторым узлом Р(n), закрыты. В то же время одиннадцатый тонкопленочный транзистор Т11 открыт и напряжение четвертого узла M(n) понижено, поскольку выходной зажим G(n-1) обеспечивает высокий уровень напряжения.

Стадия 2. Выходной зажим G(n) обеспечивает высокий уровень напряжения: оба из первого синхронизирующего сигнала СК1 и выходного зажима G(n-1) переведены на низкий уровень напряжения. Второй синхронизирующий сигнал СК2 обеспечивает высокий уровень напряжения. Третий и четвертый синхронизирующие сигналы СК3, СК4 и выходной зажим G(n+1) по-прежнему обеспечивают низкий уровень напряжения. Первый узел Q(n) сохраняет высокий уровень напряжения благодаря функции накопления у первого ускоряющего конденсатора С1. Второй тонкопленочный транзистор Т2 открыт. Высокий уровень напряжения второго синхронизирующего сигнала СК2 передается на выходной зажим G(n), и затем выходной зажим G(n) выдает высокий уровень напряжения, и, наконец, первый узел Q(n) получает более высокий уровень напряжения. Шестой тонкопленочный транзистор Т6 по-прежнему открыт. Второй узел Р(n) сохраняет постоянное напряжение на низком уровне напряжения VGL. Наконец, четвертый и седьмой тонкопленочные транзисторы Т4, Т7, управляемые вторым узлом Р(n), остаются закрытыми. В то же время, поскольку второй синхронизирующий сигнал СК2 обеспечивает высокий уровень напряжения, девятый тонкопленочный транзистор Т9 открыт, и четвертый узел М(n) в отношении постоянного напряжения на высоком уровне напряжения VGH предварительно заряжается до постоянного напряжения на высоком уровне напряжения VGH; десятый тонкопленочный транзистор Т10 от-

крыт, и выходной зажим  $G(n)$  предварительно заряжается от высокого уровня напряжения четвертого узла  $M(n)$ .

Стадия 3. Выходной зажим  $G(n)$  обеспечивает низкий уровень напряжения: второй синхронизирующий сигнал СК2 переводится на низкий уровень напряжения. Оба из третьего синхронизирующего сигнала СК3 и выходного зажима  $G(n+1)$  обеспечивают высокий уровень напряжения. Первый и четвертый синхронизирующие сигналы СК1, СК4 и выходной зажим  $G(n-1)$  по-прежнему обеспечивают низкий уровень напряжения. Третий тонкопленочный транзистор Т3, управляемый третьим синхронизирующим сигналом СК3, открыт. Первый узел  $Q(n)$  сохраняет высокий уровень напряжения. Второй и шестой тонкопленочные транзисторы Т2, Т6 остаются открытыми. Второй узел  $P(n)$  по-прежнему сохраняет постоянное напряжение на низком уровне напряжения VGL. Четвертый и седьмой тонкопленочные транзисторы Т4, Т7, управляемые вторым узлом  $P(n)$ , остаются закрытыми. Поскольку второй тонкопленочный транзистор Т2 остается открытым, низкий уровень напряжения второго синхронизирующего сигнала СК2 передается на выходной зажим  $G(n)$ , и затем напряжение выходного зажима  $G(n)$  понижается. В то же время второй синхронизирующий сигнал СК2 обеспечивает низкий уровень напряжения, и девятый тонкопленочный транзистор Т9 закрыт. Поскольку выходной зажим  $G(n+1)$  обеспечивает высокий уровень напряжения, двенадцатый тонкопленочный транзистор Т12 открыт и четвертый узел  $M(n)$  в отношении постоянного напряжения на низком уровне напряжения VGL предварительно заряжается до постоянного напряжения на низком уровне напряжения VGL. Десятый тонкопленочный транзистор Т10 по-прежнему остается открытым, и низкий уровень напряжения в четвертом узле  $M(n)$  также приводит к понижению напряжения выходного зажима  $G(n)$ .

Стадия 4. Напряжение первого узла  $Q(n)$  понижается до постоянного напряжения на низком уровне напряжения VGL: первый синхронизирующий сигнал СК1 снова обеспечивает высокий уровень напряжения. Второй, третий и четвертый синхронизирующие сигналы СК2, СК3, СК4, а также выходной зажим  $G(n-1)$  обеспечивают низкий уровень напряжения. Первый тонкопленочный транзистор Т1, управляемый первым синхронизирующим сигналом СК1, открыт. Первый узел  $Q(n)$  переведен на постоянное напряжение на низком уровне напряжения VGL. Наконец, второй и шестой тонкопленочные транзисторы Т2, Т6 закрыты.

Стадия 5. Сохранение напряжения первого узла  $Q(n)$  и выходного зажима  $G(n)$  на низком уровне напряжения: второй синхронизирующий сигнал СК2 снова обеспечивает высокий уровень напряжения. Первый синхронизирующий сигнал СК1 переводится на низкий уровень напряжения. Третий и четвертый синхронизирующие сигналы СК3, СК4 и выходные зажимы  $G(n-1)$ ,  $G(n+1)$  обеспечивают низкий уровень напряжения. Благодаря ускорению от второго ускоряющего конденсатора С2 второй узел  $P(n)$  заряжается до высокого уровня напряжения. Четвертый и седьмой тонкопленочные транзисторы Т4, Т7 открыты, и, таким образом, первый узел  $Q(n)$  и выходной зажим  $G(n)$  сохраняют низкий уровень напряжения.

В традиционной технологии высокий и низкий уровни напряжения выходного зажима  $G(n)$  в основном обеспечиваются с использованием второго тонкопленочного транзистора Т2, но зарядная емкость второго тонкопленочного транзистора Т2 ограничивается в определенный период времени. В схеме GOA на основе полупроводниковых тонкопленочных транзисторов из LTPS, предложенной согласно настоящему изобретению, выходной регулировочный модуль 38, образованный девятым тонкопленочным транзистором Т9, десятим тонкопленочным транзистором Т10, одиннадцатым тонкопленочным транзистором Т11 и двенадцатым тонкопленочным транзистором Т12, на стадии предварительной зарядки первого узла  $Q(n)$  (стадия 1) до определенной степени за один и тот же период времени повышает нагрузочную способность выходного зажима  $G(n)$  и улучшает зарядную емкость пикселей в плоскости для обеспечения лучшего результата отображения на жидкокристаллической панели.

На фиг. 5 показана временная диаграмма схемы GOA на основе полупроводниковых тонкопленочных транзисторов из LTPS, показанной на фиг. 3, в обратной развертке. Поток действий прямой развертки подобен потоку действий обратной развертки. Поток действий схемы в обратной развертке описывается следующим образом.

Стадия 1. Оба из третьего синхронизирующего сигнала СК3 и выходного зажима  $G(n+1)$  обеспечивают высокий уровень напряжения. Третий тонкопленочный транзистор Т3, управляемый третьим синхронизирующим сигналом СК3, открыт. Третий узел  $H(n)$  предварительно заряжается до высокого уровня напряжения. Шестой тонкопленочный транзистор Т6, управляемый третьим узлом  $H(n)$ , открыт. Пятый тонкопленочный транзистор Т5 все время остается открытым под действием постоянного напряжения на высоком уровне напряжения VGH, и, таким образом, у третьего узла  $H(n)$  и первого узла  $Q(n)$  все время один и тот же уровень напряжения. Первый узел  $Q(n)$  предварительно заряжается до высокого уровня напряжения. Второй узел  $P(n)$  переведен на постоянное напряжение на низком уровне напряжения VGL. Наконец, четвертый и седьмой тонкопленочные транзисторы Т4, Т7 закрыты. В то же время, поскольку выходной зажим  $G(n+1)$  обеспечивает высокий уровень напряжения, двенадцатый тонкопленочный транзистор Т12 открыт и напряжение четвертого узла  $M(n)$  снижается.

Стадия 2. Выходной зажим  $G(n)$  выдает высокий уровень напряжения: второй синхронизирующий сигнал СК2 обеспечивает высокий уровень напряжения. Первый узел  $Q(n)$  сохраняет высокий уровень

напряжения благодаря функции накопления у первого ускоряющего конденсатора C1. Второй тонкопленочный транзистор T2 открыт. Высокий уровень напряжения второго синхронизирующего сигнала СК2 передается на выходной зажим G(n), и затем выходной зажим G(n) выдает высокий уровень напряжения, и, наконец, первый узел Q(n) получает более высокий уровень напряжения. В то же время, поскольку второй синхронизирующий сигнал СК2 обеспечивает высокий уровень напряжения, девятый тонкопленочный транзистор T9 открыт и четвертый узел M(n) в отношении постоянного напряжения на высоком уровне напряжения VGH предварительно заряжается до постоянного напряжения на высоком уровне напряжения VGH; десятый тонкопленочный транзистор T10 открыт и выходной зажим G(n) предварительно заряжается от высокого уровня напряжения четвертого узла M(n).

Стадия 3. Выходной зажим G(n) обеспечивает низкий уровень напряжения: второй синхронизирующий сигнал СК2 переводится на низкий уровень напряжения. Оба из первого синхронизирующего сигнала СК1 и выходного зажима G(n-1) обеспечивают высокий уровень напряжения. Первый узел Q(n) по-прежнему находится на высоком уровне напряжения. Второй тонкопленочный транзистор T2 по-прежнему открыт. Низкий уровень напряжения второго синхронизирующего сигнала СК2 передается на выходной зажим G(n), а затем выходной зажим G(n) дает низкий уровень напряжения. В то же время второй синхронизирующий сигнал СК2 обеспечивает низкий уровень напряжения, и девятый тонкопленочный транзистор T9 закрыт. Поскольку выходной зажим G(n-1) обеспечивает высокий уровень напряжения, одиннадцатый тонкопленочный транзистор T11 открыт, и четвертый узел M(n) в отношении постоянного напряжения на низком уровне напряжения VGL предварительно заряжается до постоянного напряжения на низком уровне напряжения VGL. Десятый тонкопленочный транзистор T10 по-прежнему остается открытым, и низкий уровень напряжения в четвертом узле M(n) также приводит к понижению напряжения выходного зажима G(n).

Стадия 4. Понижение напряжения первого узла Q(n) до постоянного напряжения на низком уровне напряжения VGL: третий синхронизирующий сигнал СК3 снова обеспечивает высокий уровень напряжения. Выходной зажим G(n+1) обеспечивает низкий уровень напряжения. Третий тонкопленочный транзистор T3 открыт. Первый узел Q(n) переведен на постоянное напряжение на низком уровне напряжения VGL.

Стадия 5. Сохранение напряжения первого узла Q(n) и выходного зажима G(n) на низком уровне напряжения: второй синхронизирующий сигнал СК2 снова обеспечивает высокий уровень напряжения. Третий синхронизирующий сигнал СК3 переводится на низкий уровень напряжения. Благодаря ускорению от второго ускоряющего конденсатора C2, второй узел P(n) заряжается до высокого уровня напряжения. Четвертый и седьмой тонкопленочные транзисторы T4, T7 открыты, и, таким образом, первый узел Q(n) и выходной зажим G(n) сохраняют низкий уровень напряжения.

В традиционной технологии высокий и низкий уровень напряжения выходного зажима G(n) в основном обеспечиваются с использованием второго тонкопленочного транзистора T2, но зарядная емкость второго тонкопленочного транзистора T2 ограничивается в определенный период времени. В схеме GOA на основе полупроводниковых тонкопленочных транзисторов из LTPS, предложенной согласно настоящему изобретению, выходной регулировочный модуль 38, образованный девятым тонкопленочным транзистором T9, десятым тонкопленочным транзистором T10, одиннадцатым тонкопленочным транзистором T11 и двенадцатым тонкопленочным транзистором T12, на стадии предварительной зарядки первого узла Q(n) (стадия 1) до определенной степени за один и тот же период времени повышает нагрузочную способность выходного зажима G(n) и улучшает зарядную емкость пикселей в плоскости для обеспечения лучшего результата отображения на жидкокристаллической панели.

В целом, в схеме GOA на основе полупроводниковых тонкопленочных транзисторов из LTPS, предложенной согласно настоящему изобретению, предусмотрен выходной регулировочный модуль, образованный девятым тонкопленочным транзистором T9, десятым тонкопленочным транзистором T10, одиннадцатым тонкопленочным транзистором T11 и двенадцатым тонкопленочным транзистором T12. Либо в прямой развертке, либо в обратной развертке уровень напряжения четвертого узла M(n) перемещается между высоким уровнем напряжения и низким уровнем напряжения со вторым синхронизирующим сигналом СК2, и, таким образом, происходит одинаковое перемещение между высоким и низким уровнями напряжения. По сравнению с традиционной технологией, где высокий и низкий уровни напряжения выходного зажима G(n) в основном обеспечиваются с использованием второго тонкопленочного транзистора T2, в схеме GOA на основе полупроводниковых тонкопленочных транзисторов из LTPS, предложенной согласно настоящему изобретению, на стадии предварительной зарядки первого узла Q(n) до определенной степени за один и тот же период времени повышается нагрузочная способность выходного зажима G(n) и улучшается зарядная емкость пикселей в плоскости для обеспечения лучшего результата отображения на жидкокристаллической панели. Схема GOA, предложенная согласно настоящему изобретению, может применяться в драйверах затворов сотовых телефонов, дисплеев или телевизоров. Представленное выше является предпочтительным способом осуществления настоящего изобретения.

Специалисты в данной области техники легко поймут, что на основе идеи настоящего изобретения в устройство могут быть внесены многочисленные модификации и изменения. Соответственно, выше-

указанное раскрытие должно толковаться как ограниченное только пределами и границами прилагаемой формулы изобретения.

#### ФОРМУЛА ИЗОБРЕТЕНИЯ

1. Схема драйвера затвора на матрице (GOA) на основе полупроводниковых тонкопленочных транзисторов из низкотемпературного поликремния (LTPS), содержащая множество подключенных последовательно блоков GOA, при этом каждый из множества блоков GOA содержит модуль управления разверткой, выходной модуль, модуль снижения напряжения и выходной регулировочный модуль;

при этом  $n$  представляет собой положительное целое число и, за исключением первого и последнего блоков GOA, в  $n$ -м блоке GOA:

модуль управления разверткой содержит первый тонкопленочный транзистор, третий тонкопленочный транзистор и пятый тонкопленочный транзистор, при этом

первый тонкопленочный транзистор содержит затвор, электрически связанный с первым синхронизирующим сигналом, исток, электрически подключенный к выходному зажиму  $G(n-1)$  предыдущего  $n-1$  блока GOA, и сток, электрически подключенный к третьему узлу;

третий тонкопленочный транзистор содержит затвор, электрически связанный с третьим синхронизирующим сигналом, исток, электрически подключенный к выходному зажиму  $G(n+1)$  следующего  $n+1$  блока GOA, и сток, электрически подключенный к третьему узлу; и

пятый тонкопленочный транзистор содержит затвор, электрически подключенный к постоянному напряжению на высоком уровне напряжения, исток, электрически подключенный к третьему узлу, и сток, электрически подключенный к первому узлу;

выходной модуль содержит второй тонкопленочный транзистор и первый ускоряющий конденсатор, при этом

второй тонкопленочный транзистор содержит затвор, электрически подключенный к первому узлу, исток, электрически связанный со вторым синхронизирующим сигналом, и сток, электрически подключенный к выходному зажиму  $G(n)$ ; и

один вывод первого ускоряющего конденсатора электрически подключен к первому узлу, а другой вывод электрически подключен к выходному зажиму  $G(n)$ ;

модуль снижения напряжения содержит четвертый тонкопленочный транзистор, шестой тонкопленочный транзистор, седьмой тонкопленочный транзистор, восьмой тонкопленочный транзистор и второй ускоряющий конденсатор, при этом

четвертый тонкопленочный транзистор содержит затвор, электрически подключенный ко второму узлу, исток, электрически подключенный к постоянному напряжению на низком уровне напряжения, и сток, электрически подключенный к выходному зажиму  $G(n)$ ;

шестой тонкопленочный транзистор содержит затвор, электрически подключенный к третьему узлу, исток, электрически подключенный к постоянному напряжению на низком уровне напряжения, и сток, электрически подключенный ко второму узлу;

седьмой тонкопленочный транзистор содержит затвор, электрически подключенный ко второму узлу, исток, электрически подключенный к постоянному напряжению на низком уровне напряжения, и сток, электрически подключенный к первому узлу;

восьмой тонкопленочный транзистор содержит затвор, электрически связанный с четвертым синхронизирующим сигналом, исток, электрически подключенный к постоянному напряжению на низком уровне напряжения, и сток, электрически подключенный к выходному зажиму  $G(n)$ ; и

один вывод второго ускоряющего конденсатора электрически подключен ко второму узлу, а другой вывод электрически связан со вторым синхронизирующим сигналом; и

выходной регулировочный модуль содержит девятый тонкопленочный транзистор, десятый тонкопленочный транзистор, одиннадцатый тонкопленочный транзистор и двенадцатый тонкопленочный транзистор, при этом

девятый тонкопленочный транзистор содержит затвор, электрически связанный со вторым синхронизирующим сигналом, исток, электрически подключенный к постоянному напряжению на высоком уровне напряжения, и сток, электрически подключенный к четвертому узлу;

десятый тонкопленочный транзистор содержит затвор, электрически подключенный к первому узлу, исток, электрически подключенный к четвертому узлу, и сток, электрически подключенный к выходному зажиму  $G(n)$ ;

одиннадцатый тонкопленочный транзистор содержит затвор, электрически подключенный к выходному зажиму  $G(n-1)$ , исток, электрически подключенный к постоянному напряжению на низком уровне напряжения, и сток, электрически подключенный к четвертому узлу; и

двенадцатый тонкопленочный транзистор содержит затвор, электрически подключенный к выходному зажиму  $G(n+1)$ , исток, электрически подключенный к постоянному напряжению на низком уровне напряжения, и сток, электрически подключенный к четвертому узлу;

при этом все тонкопленочные транзисторы представляют собой полупроводниковые тонкопленоч-

ные транзисторы из низкотемпературного поликремния;

при этом обеспечен последовательный вывод импульсов первого синхронизирующего сигнала, второго синхронизирующего сигнала, третьего синхронизирующего сигнала и четвертого синхронизирующего сигнала без перекрывания; и

при этом перемещение уровня напряжения четвертого узла происходит со вторым синхронизирующим сигналом между высоким уровнем напряжения и низким уровнем напряжения с обеспечением одинакового перемещения между высоким уровнем напряжения и низким уровнем напряжения.

2. Схема GOA по п.1, отличающаяся тем, что в прямой развертке оба из первого синхронизирующего сигнала, электрически связанного с первым тонкопленочным транзистором, и выходного зажима  $G(n-1)$  обеспечивают высокий уровень напряжения; в обратной развертке оба из третьего синхронизирующего сигнала, электрически связанного с третьим тонкопленочным транзистором, и выходного зажима  $G(n+1)$  обеспечивают высокий уровень напряжения.

3. Схема драйвера затвора на матрице (GOA) на основе полупроводниковых тонкопленочных транзисторов из низкотемпературного поликремния (LTPS), содержащая множество подключенных последовательно блоков GOA, при этом каждый из множества блоков GOA содержит модуль управления разверткой, выходной модуль, модуль снижения напряжения и выходной регулировочный модуль;

при этом  $n$  представляет собой положительное целое число и, за исключением первого и последнего блоков GOA, в  $n$ -м блоке GOA:

модуль управления разверткой содержит первый тонкопленочный транзистор, третий тонкопленочный транзистор и пятый тонкопленочный транзистор, при этом

первый тонкопленочный транзистор содержит затвор, электрически связанный с первым синхронизирующим сигналом, исток, электрически подключенный к выходному зажиму  $G(n-1)$  предыдущего  $n-1$  блока GOA, и сток, электрически подключенный к третьему узлу;

третий тонкопленочный транзистор содержит затвор, электрически связанный с третьим синхронизирующим сигналом, исток, электрически подключенный к выходному зажиму  $G(n+1)$  следующего  $n+1$  блока GOA, и сток, электрически подключенный к третьему узлу; и

пятый тонкопленочный транзистор содержит затвор, электрически подключенный к постоянному напряжению на высоком уровне напряжения, исток, электрически подключенный к третьему узлу, и сток, электрически подключенный к первому узлу;

выходной модуль содержит второй тонкопленочный транзистор и первый ускоряющий конденсатор, при этом

второй тонкопленочный транзистор содержит затвор, электрически подключенный к первому узлу, исток, электрически связанный со вторым синхронизирующим сигналом, и сток, электрически подключенный к выходному зажиму  $G(n)$ ; и

один вывод первого ускоряющего конденсатора электрически подключен к первому узлу, а другой вывод электрически подключен к выходному зажиму  $G(n)$ ;

модуль снижения напряжения содержит четвертый тонкопленочный транзистор, шестой тонкопленочный транзистор, седьмой тонкопленочный транзистор, восьмой тонкопленочный транзистор и второй ускоряющий конденсатор, при этом

четвертый тонкопленочный транзистор содержит затвор, электрически подключенный ко второму узлу, исток, электрически подключенный к постоянному напряжению на низком уровне напряжения, и сток, электрически подключенный к выходному зажиму  $G(n)$ ;

шестой тонкопленочный транзистор содержит затвор, электрически подключенный к третьему узлу, исток, электрически подключенный к постоянному напряжению на низком уровне напряжения, и сток, электрически подключенный ко второму узлу;

седьмой тонкопленочный транзистор содержит затвор, электрически подключенный ко второму узлу, исток, электрически подключенный к постоянному напряжению на низком уровне напряжения, и сток, электрически подключенный к первому узлу;

восьмой тонкопленочный транзистор содержит затвор, электрически связанный с четвертым синхронизирующим сигналом, исток, электрически подключенный к постоянному напряжению на низком уровне напряжения, и сток, электрически подключенный к выходному зажиму  $G(n)$ ; и

один вывод второго ускоряющего конденсатора электрически подключен ко второму узлу, а другой вывод электрически связан со вторым синхронизирующим сигналом; и

выходной регулировочный модуль содержит девятый тонкопленочный транзистор, десятый тонкопленочный транзистор, одиннадцатый тонкопленочный транзистор и двенадцатый тонкопленочный транзистор, при этом

девятый тонкопленочный транзистор содержит затвор, электрически связанный со вторым синхронизирующим сигналом, исток, электрически подключенный к постоянному напряжению на высоком уровне напряжения, и сток, электрически подключенный к четвертому узлу;

десятый тонкопленочный транзистор содержит затвор, электрически подключенный к первому узлу, исток, электрически подключенный к четвертому узлу, и сток, электрически подключенный к выходному зажиму  $G(n)$ ;

одиннадцатый тонкопленочный транзистор содержит затвор, электрически подключенный к выходному зажиму  $G(n-1)$ , исток, электрически подключенный к постоянному напряжению на низком уровне напряжения, и сток, электрически подключенный к четвертому узлу; и

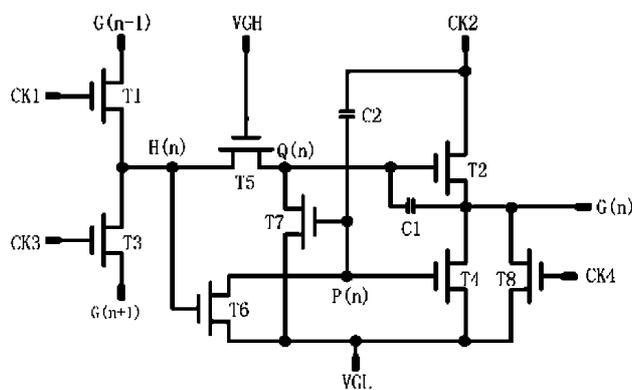
двенадцатый тонкопленочный транзистор содержит затвор, электрически подключенный к выходному зажиму  $G(n+1)$ , исток, электрически подключенный к постоянному напряжению на низком уровне напряжения, и сток, электрически подключенный к четвертому узлу.

4. Схема GOA по п.3, отличающаяся тем, что перемещение уровня напряжения четвертого узла происходит со вторым синхронизирующим сигналом между высоким уровнем напряжения и низким уровнем напряжения с обеспечением одинакового перемещения между высоким уровнем напряжения и низким уровнем напряжения.

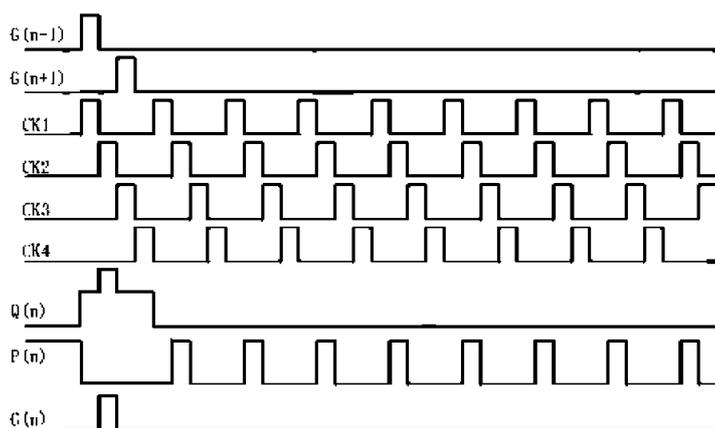
5. Схема GOA по п.3, отличающаяся тем, что обеспечен последовательный вывод импульсов первого синхронизирующего сигнала, второго синхронизирующего сигнала, третьего синхронизирующего сигнала и четвертого синхронизирующего сигнала без перекрытия.

6. Схема GOA по п.3, отличающаяся тем, что в прямой развертке оба из первого синхронизирующего сигнала, электрически связанного с первым тонкопленочным транзистором, и выходного зажима  $G(n-1)$  обеспечивают высокий уровень напряжения; в обратной развертке оба из третьего синхронизирующего сигнала, электрически связанного с третьим тонкопленочным транзистором, и выходного зажима  $G(n+1)$  обеспечивают высокий уровень напряжения.

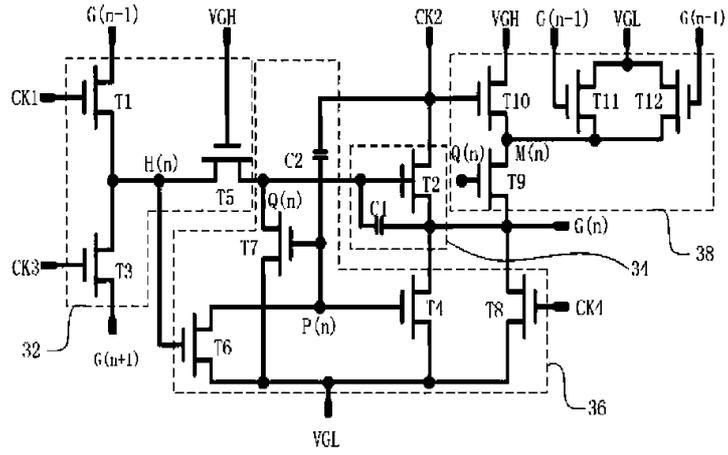
7. Схема GOA по п.3, отличающаяся тем, что все тонкопленочные транзисторы представляют собой полупроводниковые тонкопленочные транзисторы из низкотемпературного поликремния.



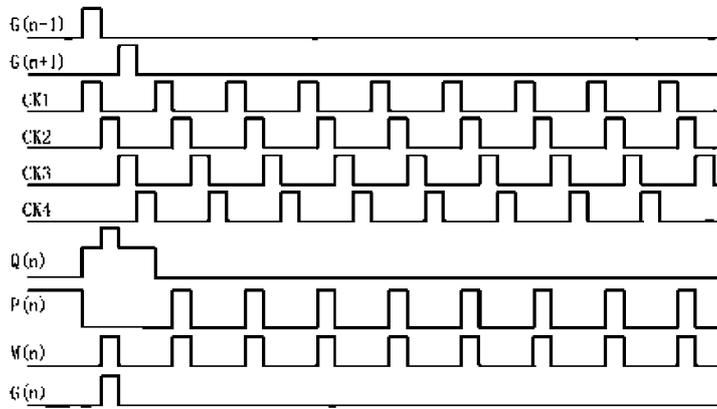
Фиг. 1



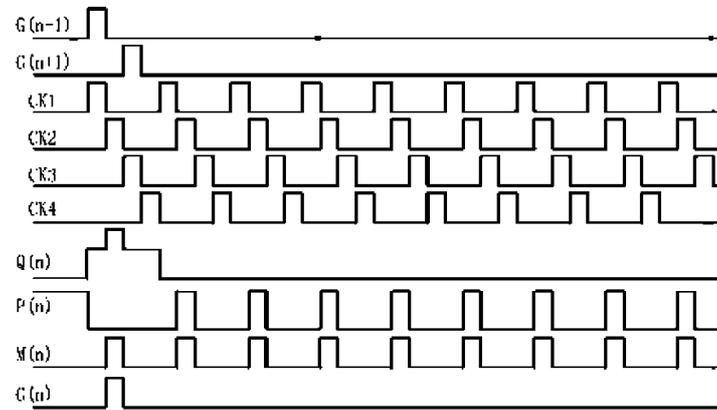
Фиг. 2



Фиг. 3



Фиг. 4



Фиг. 5

