

(19)



**Евразийское
патентное
ведомство**

(11) **034645**

(13) **B1**

(12) **ОПИСАНИЕ ИЗОБРЕТЕНИЯ К ЕВРАЗИЙСКОМУ ПАТЕНТУ**

(45) Дата публикации и выдачи патента
2020.03.02

(51) Int. Cl. **G09G 3/36 (2006.01)**

(21) Номер заявки
201890995

(22) Дата подачи заявки
2015.12.23

(54) **ЖИДКОКРИСТАЛЛИЧЕСКИЙ ДИСПЛЕЙ И СХЕМА ДРАЙВЕРА ЗАТВОРОВ НА МАТРИЦЕ**

(31) **201510782727.4**

(56) CN-A-103680388

(32) **2015.11.16**

CN-A-102650751

(33) **CN**

CN-A-104167191

(43) **2018.09.28**

CN-A-104732904

(86) **PCT/CN2015/098427**

CN-A-104795034

(87) **WO 2017/084146 2017.05.26**

US-A1-2015213746

JP-A-2001013187

(71)(73) Заявитель и патентовладелец:
**ШЭНЬЧЖЭНЬ ЧАЙНА
СТАР ОПТОЭЛЕКТРОНИКС
ТЕКНОЛОДЖИ КО., ЛТД. (CN)**

(72) Изобретатель:
Ду Пэн (CN)

(74) Представитель:
Носырева Е.Л. (RU)

(57) Схема GOA для LCD содержит множество блоков GOA, соединенных каскадно, и множество блоков GOA на сформированных ступенях. Блок GOA на n-й ступени соответствует линии развертки. Эта линия развертки содержит n-ю линию развертки, (n+1)-ю линию развертки и (n+2)-ю линию развертки. Блок GOA на n-й ступени содержит первую схему блокировки понижения напряжения, схему повышения напряжения, схему ускоряющего конденсатора, схему понижения напряжения и схему синхронизации. Данная усовершенствованная схема GOA на одной ступени соответствует выводу трех линий затворов. Таким образом сокращается количество ступеней схемы GOA. Требуется лишь 1/3 ступеней традиционной схемы GOA. Из-за уменьшения количества ступеней схеме GOA на каждой ступени придается большая гибкость. Это является полезным для конструкции с узкими рамками.

B1

034645

034645

B1

Предпосылки изобретения

1. Область техники, к которой относится изобретение

Настоящее изобретение относится к области жидкокристаллических дисплеев (LCD) и, в частности, к применению в LCD схемы драйвера затворов на матрице (GOA).

2. Описание известного уровня техники

Чрезвычайную популярность на рынке приобретает конструкция с узкими рамками. С другой стороны, постепенно уменьшается граница панели. Для традиционной схемы GOA высота h разводки соединений схемы GOA на каждой ступени согласуется с размером соответствующего пиксела. Поскольку популярными становятся изделия с дисплейными панелями с разрешением 4096 и более пикселов на дюйм, размер пиксела уменьшается. Иными словами, также уменьшается и объем свободного пространства для разводки соединений схемы GOA. Ограничение по высоте компенсируется за счет большей ширины, что является чрезвычайно неблагоприятным для конструкции с узкой рамкой.

Традиционным способом сокращения затрат является конструкция с тремя затворами. Что касается конструкции с тремя затворами, количество линий развертки втрое превышает это количество для исходной конструкции, тогда как количество линий передачи данных составляет одну треть от их количества в исходной конструкции. Использование линий передачи данных значительно сокращается. Обычно микросхема истока, т.е. интегральная микросхема (IC) истока, является более дорогостоящей, чем микросхема затвора, т.е. IC затвора, и, таким образом, достигается цель сокращения затрат. Использование конструкции с тремя затворами в сочетании со схемой GOA делает возможным использование в панели относительно небольшого количества микросхем IC истоков и отсутствие использования микросхем IC затворов. Таким образом, снижается себестоимость панели, что делает ее конкурентоспособной на рынке.

Однако при выборе конструкции с тремя затворами места для схемы GOA на каждой ступени становится меньше, поскольку количество линий развертки втрое превышает это количество в исходной конструкции. На основании конструкции традиционной схемы ширина области GOA уменьшается, однако в настоящее время это не является неблагоприятным для распространенных конструкций рамок.

Тройной затвор часто используется в дешевых панелях. Возьмем в качестве примера панель класса "Full high definition" (FHD). Стандартная панель содержит 1080 линий затворов и 5760 линий передачи данных. Всего используется 6840 сигнальных линий. Панель с тремя затворами содержит 3240 линий общих затворов и 1920 линий передачи данных. Всего используется 5160 сигнальных линий. Очевидно, панель с тремя затворами содержит меньше сигнальных линий, чем стандартная панель. Для конструкции с тремя затворами, встроенной в GOA, линии затворов не требуются. Следовательно, себестоимость панелей уменьшается в наибольшей степени.

Критическим электрическим потенциалом для схемы GOA является узел $Q(n)$ сигнала затвора. Если узел $Q(n)$ сигнала затвора имеет высокий уровень напряжения, схема GOA продолжает выполнять замыкание и вывод. С другой стороны, если узел $Q(n)$ сигнала затвора имеет низкий уровень напряжения, схема GOA остается замкнутой. При этом сигнал затвора, выводимый схемой GOA, также имеет низкий уровень напряжения.

Обратимся к фиг. 1. На фиг. 1 показана принципиальная электрическая схема традиционной схемы 10 GOA. Схема 10 GOA содержит множество блоков 15 GOA. Множество блоков 15 GOA соединены каскадно. Блок 15 GOA на p -й ступени заряжает соответствующую линию $G(n)$ развертки. Блок 15 GOA содержит схему 100 синхронизации, схему 200 понижения напряжения, схему 300 ускоряющего конденсатора, схему 400 повышения напряжения и схему 500 понижения напряжения. Базовая конструкция блока 15 GOA содержит схему 100 синхронизации, схему 200 понижения напряжения, схему 300 ускоряющего конденсатора и схему 400 повышения напряжения. Блок 15 GOA содержит четыре тонкопленочных транзистора (TFT) и конденсатор. Поскольку аморфный кремний может быть неустойчивым и ненадежным, в работе, помимо базовой конструкции, также необходима схема 500 понижения напряжения. Основной функцией схемы 500 понижения напряжения является понижение уровня напряжения линии $G(n)$ затвора, то есть обеспечение того, чтобы вывод схемы GOA и узел $Q(n)$ сигнала затвора сохраняли низкий уровень напряжения для повышения устойчивости схемы GOA в ходе работы.

Обычно в традиционной конструкции используются две вспомогательные схемы понижения напряжения. Функцией этих вспомогательных схем понижения напряжения является понижение напряжения узла $Q(n)$ сигнала затвора при замыкании схемы GOA, так чтобы узел $Q(n)$ сигнала затвора мог сохранять низкий уровень напряжения. Это обеспечивает нормальное рабочее состояние панели и повышает устойчивость ее работы. Вспомогательная схема понижения напряжения обычно содержит больше TFT-транзисторов. Эти TFT-транзисторы занимают больше места, что является неблагоприятным, поскольку рассматривается узкая рамка. Что касается двух вспомогательных схем понижения напряжения, их подробное представление представлено ниже.

Обратимся к фиг. 2 и 3. На фиг. 2 показана принципиальная электрическая схема другой традиционной схемы 20 GOA. На фиг. 3 показаны формы сигналов при применении схемы 20 GOA, показанной на фиг. 2. В сравнении с фиг. 1 схема 500 понижения напряжения содержит первую вспомогательную схему 510 понижения напряжения и вторую вспомогательную схему 520 понижения напряжения. Первая

вспомогательная схема 510 понижения напряжения и вторая вспомогательная схема 520 понижения напряжения управляются соответственно низкочастотным сигналом LC1 и низкочастотным сигналом LC2. Первая вспомогательная схема 510 понижения напряжения и вторая вспомогательная схема 520 понижения напряжения действуют попеременно в разные промежутки времени с целью обеспечения поддержания выходного вывода схемы GOA и узла Q(n) сигнала затвора на низком уровне напряжения при замыкании линии G(n) затвора. Низкочастотный сигнал LC1 и низкочастотный сигнал LC2 являются обратными. Когда низкочастотный сигнал LC1 имеет высокий уровень напряжения, для понижения напряжения линии G(n) затвора используется первая вспомогательная схема 510 понижения напряжения, тогда как вторая вспомогательная схема 520 понижения напряжения в это время имеет низкий уровень напряжения. Через несколько кадров низкочастотный сигнал LC1 приобретает низкий уровень напряжения, а низкочастотный сигнал LC2 приобретает высокий уровень напряжения. Вторая вспомогательная схема 520 понижения напряжения используется для понижения напряжения линии затвора G(n). Кроме того, схема 500 понижения напряжения может иметь и другие конструкции. На фиг. 3 показано, что сигнал СК на шести ступенях, действующий совместно с низкочастотным сигналом LC1 и низкочастотным сигналом LC2, переключается один раз приблизительно каждые 100 кадров, вырабатывая соответствующие сигналы линии G(n) затвора. Характерная особенность схемы, показанной на фиг. 2, заключается в том, что схема GOA на каждой ступени соответствует выводу линии G(n) затвора. Когда для панели выбрана конструкция с тремя затворами, количество линий развертки становится втрое больше этого количества в исходной конструкции, тогда как высота пространства, занятого схемой GOA на каждой ступени, становится равной одной трети высоты исходной конструкции. Приходится увеличивать ширину разводки соединений. Как результат, границу панели необходимо расширить, что является неблагоприятным для распространенной конструкции с узкой рамкой.

Следовательно, необходимо предложить схему GOA, применимую для LCD, в которой будет решена проблема, возникшая в традиционной технологии.

Краткое описание изобретения

Целью настоящего изобретения является предложение схемы GOA, применимой для LCD.

В соответствии с настоящим изобретением схема драйвера затворов на матрице (GOA) для жидкокристаллического дисплея (LCD) содержит множество блоков GOA, соединенных каскадно, и множество блоков GOA на сформированных ступенях. Блок GOA на n-й ступени соответствует по меньшей мере одной линии развертки. Указанная по меньшей мере одна линия развертки содержит n-ю линию развертки, (n+1)-ю линию развертки и (n+2)-ю линию развертки. Блок GOA на n-й ступени содержит первую схему блокировки понижения напряжения, схему повышения напряжения, схему ускоряющего конденсатора, схему понижения напряжения и схему синхронизации.

Первая схема блокировки понижения напряжения соединена с узлом сигнала затвора. Схема повышения напряжения соединена с первой схемой блокировки понижения напряжения посредством узла сигнала затвора. Схема ускоряющего конденсатора соединена со схемой повышения напряжения посредством узла сигнала затвора. Схема понижения напряжения соединена со схемой ускоряющего конденсатора посредством узла сигнала затвора. Схема синхронизации соединена со схемой ускоряющего конденсатора посредством узла сигнала затвора и принимает первый синхронизирующий сигнал.

Первая схема блокировки понижения напряжения и схема понижения напряжения соединены с источником низкого напряжения постоянного тока.

Схема синхронизации содержит первый транзистор, второй транзистор, третий транзистор и четвертый транзистор.

Первый транзистор содержит первый управляющий вывод, соединенный с узлом сигнала затвора, первый входной вывод, соединенный с первым синхронизирующим сигналом, и первый выходной вывод, выводящий пусковой импульс на n-й ступени. Второй транзистор содержит второй управляющий вывод, соединенный с узлом сигнала затвора, второй входной вывод, соединенный с первым синхронизирующим сигналом, и второй выходной вывод, соединенный с n-й линией развертки. Третий транзистор содержит третий управляющий вывод, соединенный с узлом сигнала затвора, третий входной вывод, соединенный с первым синхронизирующим сигналом, и третий выходной вывод, соединенный с (n+1)-й линией развертки. Четвертый транзистор содержит четвертый управляющий вывод, соединенный с узлом сигнала затвора, четвертый входной вывод, соединенный с первым синхронизирующим сигналом, и четвертый выходной вывод, соединенный с (n+2)-й линией развертки.

В соответствии с одним из предпочтительных вариантов осуществления схема ускоряющего конденсатора содержит первый конденсатор, содержащий два вывода, соединенные соответственно с узлом сигнала затвора и с пусковым импульсом на n-й ступени.

В соответствии с одним из предпочтительных вариантов осуществления схема повышения напряжения содержит пятый транзистор. Пятый транзистор содержит пятый управляющий вывод, принимающий пусковой импульс на (n-3)-й ступени, пятый входной вывод, соединенный с пятым управляющим выводом, и пятый выходной вывод, соединенный с узлом сигнала затвора.

В соответствии с одним из предпочтительных вариантов осуществления первая схема блокировки понижения напряжения содержит шестой транзистор, седьмой транзистор, восьмой транзистор, девятый

транзистор, десятый транзистор, одиннадцатый транзистор и двенадцатый транзистор.

Шестой транзистор содержит шестой управляющий вывод, принимающий пусковой импульс на $(n+3)$ -й ступени, шестой входной вывод, соединенный с источником низкого напряжения постоянного тока, и шестой выходной вывод, соединенный с узлом сигнала затвора. Седьмой транзистор содержит седьмой управляющий вывод, соединенный с узлом сигнала затвора, и седьмой входной вывод, соединенный с источником низкого напряжения постоянного тока. Восьмой транзистор содержит восьмой управляющий вывод, соединенный с источником высокого напряжения постоянного тока, восьмой выходной вывод, соединенный с восьмым управляющим выводом, и восьмой входной вывод, соединенный с седьмым выходным выводом. Девятый транзистор содержит девятый управляющий вывод, соединенный с узлом сигнала затвора, и девятый входной вывод, соединенный с источником низкого напряжения постоянного тока. Десятый транзистор содержит десятый управляющий вывод, соединенный с седьмым выходным выводом, десятый входной вывод, соединенный с девятым выходным выводом, и десятый выходной вывод, соединенный с восьмым выходным выводом. Одиннадцатый транзистор содержит одиннадцатый управляющий вывод, соединенный с десятым входным выводом, одиннадцатый входной вывод, соединенный с источником низкого напряжения постоянного тока, и одиннадцатый выходной вывод, соединенный с узлом сигнала затвора. Двенадцатый транзистор содержит двенадцатый управляющий вывод, соединенный с десятым входным выводом, двенадцатый входной вывод, соединенный с источником низкого напряжения постоянного тока, и двенадцатый выходной вывод, соединенный с пусковым импульсом на n -й ступени.

В соответствии с одним из предпочтительных вариантов осуществления схема понижения напряжения содержит тринадцатый транзистор, четырнадцатый транзистор, пятнадцатый транзистор, шестнадцатый транзистор, семнадцатый транзистор, восемнадцатый транзистор, девятнадцатый транзистор, двадцатый транзистор и двадцать первый транзистор.

Тринадцатый транзистор содержит тринадцатый управляющий вывод, соединенный с первой схемой блокировки понижения напряжения, тринадцатый входной вывод, соединенный с источником низкого напряжения постоянного тока, и тринадцатый выходной вывод, соединенный с n -й линией развертки. Четырнадцатый транзистор содержит четырнадцатый управляющий вывод, соединенный со вторым синхронизирующим сигналом, четырнадцатый входной вывод, соединенный с источником низкого напряжения постоянного тока, и четырнадцатый выходной вывод, соединенный с n -й линией развертки. Пятнадцатый транзистор содержит пятнадцатый управляющий вывод, соединенный с четвертым синхронизирующим сигналом, пятнадцатый входной вывод, соединенный с источником низкого напряжения постоянного тока, и пятнадцатый выходной вывод, соединенный с n -й линией развертки. Шестнадцатый транзистор содержит шестнадцатый управляющий вывод, соединенный с первой схемой блокировки понижения напряжения, шестнадцатый входной вывод, соединенный с источником низкого напряжения постоянного тока, и шестнадцатый выходной вывод, соединенный с $(n+1)$ -й линией развертки. Семнадцатый транзистор содержит семнадцатый управляющий вывод, соединенный с третьим синхронизирующим сигналом, семнадцатый входной вывод, соединенный с источником низкого напряжения постоянного тока, и семнадцатый выходной вывод, соединенный с $(n+1)$ -й линией развертки. Восемнадцатый транзистор содержит восемнадцатый управляющий вывод, соединенный с пятым синхронизирующим сигналом, восемнадцатый входной вывод, соединенный с источником низкого напряжения постоянного тока, и восемнадцатый выходной вывод, соединенный с $(n+1)$ -й линией развертки. Девятнадцатый транзистор содержит девятнадцатый управляющий вывод, соединенный с первой схемой блокировки понижения напряжения, девятнадцатый входной вывод, соединенный с источником низкого напряжения постоянного тока, и девятнадцатый выходной вывод, соединенный с $(n+2)$ -й линией развертки. Двадцатый транзистор содержит двадцатый управляющий вывод, соединенный с четвертым синхронизирующим сигналом, двадцатый входной вывод, соединенный с источником низкого напряжения постоянного тока, и двадцатый выходной вывод, соединенный с $(n+2)$ -й линией развертки. Двадцать первый транзистор содержит двадцать первый управляющий вывод, соединенный с шестым синхронизирующим сигналом, двадцать первый входной вывод, соединенный с источником низкого напряжения постоянного тока, и двадцать первый выходной вывод, соединенный с $(n+2)$ -й линией развертки.

В соответствии с одним из предпочтительных вариантов осуществления схема GOA дополнительно содержит вторую схему блокировки понижения напряжения. Вторая схема блокировки понижения напряжения содержит двадцать второй транзистор и двадцать третий транзистор. Двадцать второй транзистор содержит двадцать второй управляющий вывод, соединенный с четвертым синхронизирующим сигналом, двадцать второй входной вывод, соединенный с источником низкого напряжения постоянного тока, и двадцать второй выходной вывод, соединенный с узлом сигнала затвора. Двадцать третий транзистор содержит двадцать третий управляющий вывод, соединенный с четвертым синхронизирующим сигналом, двадцать третий входной вывод, соединенный с источником низкого напряжения постоянного тока, и двадцать третий выходной вывод, соединенный с пусковым импульсом на n -й ступени.

В соответствии с одним из предпочтительных вариантов осуществления период первого синхронизирующего сигнала, период второго синхронизирующего сигнала и период третьего синхронизирующего сигнала являются равными, и первый синхронизирующий сигнал, второй синхронизирующий сигнал и

третий синхронизирующий сигнал запускаются последовательно на основании разности в $1/3$ периода.

В соответствии с одним из предпочтительных вариантов осуществления четвертый синхронизирующий сигнал является обратным первому синхронизирующему сигналу, пятый синхронизирующий сигнал является обратным второму синхронизирующему сигналу, и шестой синхронизирующий сигнал является обратным третьему синхронизирующему сигналу.

В соответствии с настоящим изобретением схема драйвера затворов на матрице (GOA) для жидкокристаллического дисплея (LCD) содержит множество блоков GOA, соединенных каскадно, и множество блоков GOA на сформированных ступенях. Блок GOA на n -й ступени соответствует по меньшей мере одной линии развертки. Указанная по меньшей мере одна линия развертки содержит $(n+3)$ -ю линию развертки, $(n+4)$ -ю линию развертки и $(n+5)$ -ю линию развертки. Блок GOA на n -й ступени содержит первую схему блокировки понижения напряжения, схему повышения напряжения, схему ускоряющего конденсатора, схему понижения напряжения и схему синхронизации.

Первая схема блокировки понижения напряжения соединена с узлом сигнала затвора. Схема повышения напряжения соединена с первой схемой блокировки понижения напряжения посредством узла сигнала затвора. Схема ускоряющего конденсатора соединена со схемой повышения напряжения посредством узла сигнала затвора. Схема понижения напряжения соединена со схемой ускоряющего конденсатора посредством узла сигнала затвора. Схема синхронизации соединена со схемой ускоряющего конденсатора посредством узла сигнала затвора и принимает первый синхронизирующий сигнал.

Первая схема блокировки понижения напряжения и схема понижения напряжения соединены с источником низкого напряжения постоянного тока.

Схема синхронизации содержит первый транзистор, второй транзистор, третий транзистор и четвертый транзистор.

Первый транзистор содержит первый управляющий вывод, соединенный с узлом сигнала затвора, первый входной вывод, соединенный с четвертым синхронизирующим сигналом, и первый выходной вывод, выводящий пусковой импульс на $(n+3)$ -й ступени. Второй транзистор содержит второй управляющий вывод, соединенный с узлом сигнала затвора, второй входной вывод, соединенный с четвертым синхронизирующим сигналом, и второй выходной вывод, соединенный с $(n+4)$ -й линией развертки. Третий транзистор содержит третий управляющий вывод, соединенный с узлом сигнала затвора, третий входной вывод, соединенный с четвертым синхронизирующим сигналом, и третий выходной вывод, соединенный с $(n+5)$ -й линией развертки. Четвертый транзистор содержит четвертый управляющий вывод, соединенный с узлом сигнала затвора, четвертый входной вывод, соединенный с четвертым синхронизирующим сигналом, и четвертый выходной вывод, соединенный с $(n+5)$ -й линией развертки.

В соответствии с одним из предпочтительных вариантов осуществления схема ускоряющего конденсатора содержит первый конденсатор. Первый конденсатор содержит два вывода, соединенные соответственно с узлом сигнала затвора и с пусковым импульсом на $(n+3)$ -й ступени.

В соответствии с одним из предпочтительных вариантов осуществления схема повышения напряжения содержит пятый транзистор. Пятый транзистор содержит пятый управляющий вывод, принимающий пусковой импульс на n -й ступени, пятый входной вывод, соединенный с пятым управляющим выводом, и пятый выходной вывод, соединенный с узлом сигнала затвора.

В соответствии с одним из предпочтительных вариантов осуществления первая схема блокировки понижения напряжения содержит шестой транзистор, седьмой транзистор, восьмой транзистор, девятый транзистор, десятый транзистор, одиннадцатый транзистор и двенадцатый транзистор.

Шестой транзистор содержит шестой управляющий вывод, принимающий пусковой импульс на $(n+6)$ -й ступени, шестой входной вывод, соединенный с источником низкого напряжения постоянного тока, и шестой выходной вывод, соединенный с узлом сигнала затвора. Седьмой транзистор содержит седьмой управляющий вывод, соединенный с узлом сигнала затвора, и седьмой входной вывод, соединенный с источником низкого напряжения постоянного тока. Восьмой транзистор содержит восьмой управляющий вывод, соединенный с источником высокого напряжения постоянного тока, восьмой выходной вывод, соединенный с восьмым управляющим выводом, и восьмой входной вывод, соединенный с седьмым выходным выводом. Девятый транзистор содержит девятый управляющий вывод, соединенный с узлом сигнала затвора, и девятый входной вывод, соединенный с источником низкого напряжения постоянного тока. Десятый транзистор содержит десятый управляющий вывод, соединенный с седьмым выходным выводом, десятый входной вывод, соединенный с девятым выходным выводом, и десятый выходной вывод, соединенный с восьмым выходным выводом. Одиннадцатый транзистор содержит одиннадцатый управляющий вывод, соединенный с десятым входным выводом, одиннадцатый входной вывод, соединенный с источником низкого напряжения постоянного тока, и одиннадцатый выходной вывод, соединенный с узлом сигнала затвора. Двенадцатый транзистор содержит двенадцатый управляющий вывод, соединенный с десятым входным выводом, двенадцатый входной вывод, соединенный с источником низкого напряжения постоянного тока, и двенадцатый выходной вывод, соединенный с пусковым импульсом на $(n+3)$ -й ступени.

В соответствии с одним из предпочтительных вариантов осуществления схема понижения напряжения содержит тринадцатый транзистор, четырнадцатый транзистор, пятнадцатый транзистор, шестна-

дцатый транзистор, семнадцатый транзистор, восемнадцатый транзистор, девятнадцатый транзистор, двадцатый транзистор и двадцать первый транзистор.

Тринадцатый транзистор содержит тринадцатый управляющий вывод, соединенный с первой схемой блокировки понижения напряжения, тринадцатый входной вывод, соединенный с источником низкого напряжения постоянного тока, и тринадцатый выходной вывод, соединенный с $(n+3)$ -й линией развертки. Четырнадцатый транзистор содержит четырнадцатый управляющий вывод, соединенный с первым синхронизирующим сигналом, четырнадцатый входной вывод, соединенный с источником низкого напряжения постоянного тока, и четырнадцатый выходной вывод, соединенный с $(n+3)$ -й линией развертки. Пятнадцатый транзистор содержит пятнадцатый управляющий вывод, соединенный с третьим синхронизирующим сигналом, пятнадцатый входной вывод, соединенный с источником низкого напряжения постоянного тока, и пятнадцатый выходной вывод, соединенный с $(n+3)$ -й линией развертки. Шестнадцатый транзистор содержит шестнадцатый управляющий вывод, соединенный с первой схемой блокировки понижения напряжения, шестнадцатый входной вывод, соединенный с источником низкого напряжения постоянного тока, и шестнадцатый выходной вывод, соединенный с $(n+4)$ -й линией развертки. Семнадцатый транзистор содержит семнадцатый управляющий вывод, соединенный со вторым синхронизирующим сигналом, семнадцатый входной вывод, соединенный с источником низкого напряжения постоянного тока, и семнадцатый выходной вывод, соединенный с $(n+4)$ -й линией развертки. Восемнадцатый транзистор содержит восемнадцатый управляющий вывод, соединенный с четвертым синхронизирующим сигналом, восемнадцатый входной вывод, соединенный с источником низкого напряжения постоянного тока, и восемнадцатый выходной вывод, соединенный с $(n+4)$ -й линией развертки. Девятнадцатый транзистор содержит девятнадцатый управляющий вывод, соединенный с первой схемой блокировки понижения напряжения, девятнадцатый входной вывод, соединенный с источником низкого напряжения постоянного тока, и девятнадцатый выходной вывод, соединенный с $(n+5)$ -й линией развертки. Двадцатый транзистор содержит двадцатый управляющий вывод, соединенный с третьим синхронизирующим сигналом, двадцатый входной вывод, соединенный с источником низкого напряжения постоянного тока, и двадцатый выходной вывод, соединенный с $(n+5)$ -й линией развертки. Двадцать первый транзистор содержит двадцать первый управляющий вывод, соединенный с пятым синхронизирующим сигналом, двадцать первый входной вывод, соединенный с источником низкого напряжения постоянного тока, и двадцать первый выходной вывод, соединенный с $(n+5)$ -й линией развертки.

В соответствии с одним из предпочтительных вариантов осуществления схема GOA дополнительно содержит вторую схему блокировки понижения напряжения. Вторая схема блокировки понижения напряжения содержит двадцать второй транзистор и двадцать третий транзистор. Двадцать второй транзистор содержит двадцать второй управляющий вывод, соединенный с первым синхронизирующим сигналом, двадцать второй входной вывод, соединенный с источником низкого напряжения постоянного тока, и двадцать второй выходной вывод, соединенный с узлом сигнала затвора. Двадцать третий транзистор содержит двадцать третий управляющий вывод, соединенный с первым синхронизирующим сигналом, двадцать третий входной вывод, соединенный с источником низкого напряжения постоянного тока, и двадцать третий выходной вывод, соединенный с пусковым импульсом на $(n+3)$ -й ступени.

В соответствии с одним из предпочтительных вариантов осуществления период первого синхронизирующего сигнала, период второго синхронизирующего сигнала и период третьего синхронизирующего сигнала являются равными, и первый синхронизирующий сигнал, второй синхронизирующий сигнал и третий синхронизирующий сигнал запускаются последовательно на основании разности в $1/3$ периода.

В соответствии с одним из предпочтительных вариантов осуществления четвертый синхронизирующий сигнал является обратным первому синхронизирующему сигналу, пятый синхронизирующий сигнал является обратным второму синхронизирующему сигналу, и шестой синхронизирующий сигнал является обратным третьему синхронизирующему сигналу.

Что касается схемы GOA, содержащей три затвора, настоящее изобретение предлагает усовершенствованную схему GOA. Усовершенствованная схема GOA на одной ступени соответствует выводу трех линий затворов, тогда как традиционная схема GOA на одной ступени соответствует выводу одной линии затвора. Таким образом сокращается количество ступеней схемы GOA. Требуется лишь $1/3$ ступеней традиционной схемы GOA. По причине количественного уменьшения схемы GOA схеме GOA на каждой ступени придается большая гибкость конструкции. Это является полезным для конструкции с узкими рамками.

Краткое описание графических материалов

На фиг. 1 показана принципиальная электрическая схема традиционной схемы GOA.

На фиг. 2 показана принципиальная электрическая схема другой традиционной схемы GOA.

На фиг. 3 показаны формы сигналов при применении схемы GOA, показанной на фиг. 2.

На фиг. 4 показана принципиальная электрическая схема данной схемы GOA в соответствии с первым предпочтительным вариантом осуществления настоящего изобретения.

На фиг. 5 показана принципиальная электрическая схема данной схемы GOA в соответствии со вторым предпочтительным вариантом осуществления настоящего изобретения.

На фиг. 6 показаны формы сигналов при применении схем GOA, показанных на фиг. 4 и 5.

На фиг. 7 показана принципиальная электрическая схема данной схемы GOA в соответствии с третьим предпочтительным вариантом осуществления настоящего изобретения.

На фиг. 8 показана принципиальная электрическая схема данной схемы GOA в соответствии с четвертым предпочтительным вариантом осуществления настоящего изобретения.

Подробное описание предпочтительных вариантов осуществления

Выражения пространственного отношения, такие как "под", "ниже", "нижний", "над", "верхний" и тому подобные, могут быть использованы в данном документе для облегчения описания, чтобы описать взаимосвязь одного элемента или признака с другим элементом (элементами) или признаком (признаками), как изображено на фигурах. Следует понимать, что выражения пространственного отношения предназначены для охватывания различных ориентаций устройства при использовании или работе в дополнение к ориентации, изображенной на фигурах.

На фиг. 4 показана принципиальная электрическая схема конструкции схемы 30 GOA в соответствии с первым предпочтительным вариантом осуществления настоящего изобретения. Схема 30 GOA используется для жидкокристаллических дисплеев (LCD). Схема 30 GOA содержит множество блоков 35 GOA. Это множество блоков 35 GOA соединено каскадно с образованием блоков 35 GOA на множестве ступеней. Блок 35 GOA на n -й ступени соответствует по меньшей мере одной линии развертки на одной ступени. По меньшей мере одна линия развертки содержит линию $G(n)$ развертки на n -й ступени, линию $G(n+1)$ развертки на $(n+1)$ -й ступени, и линию $G(n+2)$ развертки на $(n+2)$ -й ступени. Блок 35 GOA на n -й ступени содержит первую схему 500 блокировки понижения напряжения, схему 400 повышения напряжения, схему 300 ускоряющего конденсатора, схему 200 понижения напряжения и схему 100 синхронизации.

Первая схема 500 блокировки понижения напряжения соединена с узлом $Q(n)$ сигнала затвора. Схема 400 повышения напряжения соединена с первой схемой 500 блокировки понижения напряжения посредством узла $Q(n)$ сигнала затвора. Схема 300 ускоряющего конденсатора соединена со схемой 400 повышения напряжения посредством узла $Q(n)$ сигнала затвора. Схема 200 понижения напряжения соединена со схемой 300 ускоряющего конденсатора посредством узла $Q(n)$ сигнала затвора. Схема 100 синхронизации соединена со схемой 300 ускоряющего конденсатора посредством узла $Q(n)$ сигнала затвора и принимает первый синхронизирующий сигнал СК1.

Первая схема 500 блокировки понижения напряжения и схема 200 понижения напряжения соединены с источником низкого напряжения постоянного тока.

Схема 100 синхронизации содержит первый транзистор T11, второй транзистор T21, третий транзистор T22 и четвертый транзистор T23.

Первый транзистор T11 содержит первый управляющий вывод, первый входной вывод и первый выходной вывод. Первый управляющий вывод соединен с узлом $Q(n)$ сигнала затвора. Первый входной вывод соединен с первым синхронизирующим сигналом СК1. Первый выходной вывод выводит пусковой импульс $ST(n)$ на n -й ступени. Второй транзистор T21 содержит второй управляющий вывод, второй входной вывод и второй выходной вывод. Второй управляющий вывод соединен с узлом $Q(n)$ сигнала затвора. Второй входной вывод соединен с первым синхронизирующим сигналом СК1. Второй выходной вывод соединен с линией $G(n)$ развертки на n -й ступени. Третий транзистор T22 содержит третий управляющий вывод, третий входной вывод и третий выходной вывод. Третий управляющий вывод соединен с узлом $Q(n)$ сигнала затвора. Третий входной вывод соединен с первым синхронизирующим сигналом СК1. Третий выходной вывод соединен с линией $G(n+1)$ развертки на $(n+1)$ -й ступени. Четвертый транзистор T23 содержит четвертый управляющий вывод, четвертый входной вывод и четвертый выходной вывод. Четвертый управляющий вывод соединен с узлом $Q(n)$ сигнала затвора. Четвертый входной вывод соединен с первым синхронизирующим сигналом СК1. Четвертый выходной вывод соединен с линией $G(n+2)$ развертки на $(n+2)$ -й ступени.

Схема 300 ускоряющего конденсатора содержит первый конденсатор C_{boost} . Первый конденсатор C_{boost} содержит два вывода. Эти выводы соединены соответственно с узлом $Q(n)$ сигнала затвора и с пусковым импульсом $ST(n)$ на n -й ступени.

Схема 400 повышения напряжения содержит пятый транзистор T5. Пятый транзистор T5 содержит пятый управляющий вывод, пятый входной вывод и пятый выходной вывод. Пятый управляющий вывод принимает пусковой импульс $ST(n-3)$ на $(n-3)$ -й ступени. Пятый входной вывод соединен с пятым управляющим выводом. Пятый выходной вывод соединен с узлом $Q(n)$ сигнала затвора.

Первая схема 500 блокировки понижения напряжения содержит шестой транзистор T6, седьмой транзистор T7, восьмой транзистор T8, девятый транзистор T9, десятый транзистор T10, одиннадцатый транзистор T44 и двенадцатый транзистор T41.

Шестой транзистор T6 содержит шестой управляющий вывод, шестой входной вывод и шестой выходной вывод. Шестой управляющий вывод принимает пусковой импульс $ST(n+3)$ на $(n+3)$ -й ступени. Шестой входной вывод соединен с источником V_{ss} низкого напряжения постоянного тока. Шестой выходной вывод соединен с узлом $Q(n)$ сигнала затвора. Седьмой транзистор T7 содержит седьмой управляющий вывод, седьмой входной вывод и седьмой выходной вывод. Седьмой управляющий вывод соединен с узлом $Q(n)$ сигнала затвора. Седьмой входной вывод соединен с источником V_{ss} низкого на-

пряжения постоянного тока. Восьмой транзистор Т8 содержит восьмой управляющий вывод, восьмой входной вывод и восьмой выходной вывод. Восьмой управляющий вывод соединен с источником VDD высокого напряжения постоянного тока. Восьмой выходной вывод соединен с восьмым управляющим выводом. Восьмой входной вывод соединен с седьмым выходным выводом. Девятый транзистор Т9 содержит девятый управляющий вывод, девятый входной вывод и девятый выходной вывод. Девятый управляющий вывод соединен с узлом Q(n) сигнала затвора. Девятый входной вывод соединен с источником Vss низкого напряжения постоянного тока. Десятый транзистор Т10 содержит десятый управляющий вывод, десятый входной вывод и десятый выходной вывод. Десятый управляющий вывод соединен с седьмым выходным выводом. Десятый входной вывод соединен с девятым выходным выводом. Десятый выходной вывод соединен с девятым выходным выводом. Одиннадцатый транзистор Т44 содержит одиннадцатый управляющий вывод, одиннадцатый входной вывод и одиннадцатый выходной вывод. Одиннадцатый управляющий вывод соединен с десятым входным выводом. Одиннадцатый входной вывод соединен с источником Vss низкого напряжения постоянного тока. Одиннадцатый выходной вывод соединен с узлом Q(n) сигнала затвора. Двенадцатый транзистор Т45 содержит двенадцатый управляющий вывод, двенадцатый входной вывод и двенадцатый выходной вывод. Двенадцатый управляющий вывод соединен с десятым входным выводом. Двенадцатый входной вывод соединен с источником Vss низкого напряжения постоянного тока. Двенадцатый выходной вывод выводит пусковой импульс ST(n) на n-й ступени.

Схема 200 понижения напряжения содержит тринадцатый транзистор Т41, четырнадцатый транзистор Т311, пятнадцатый транзистор Т312, шестнадцатый транзистор Т42, семнадцатый транзистор Т321, восемнадцатый транзистор Т322, девятнадцатый транзистор Т43, двадцатый транзистор Т331 и двадцать первый транзистор Т332.

Тринадцатый транзистор Т41 содержит тринадцатый управляющий вывод, тринадцатый входной вывод и тринадцатый выходной вывод. Тринадцатый управляющий вывод соединен с первой схемой 500 блокировки понижения напряжения. Тринадцатый входной вывод соединен с источником Vss низкого напряжения постоянного тока. Тринадцатый выходной вывод соединен с n-й линией G(n) развертки. Четырнадцатый транзистор Т311 содержит четырнадцатый управляющий вывод, четырнадцатый входной вывод и четырнадцатый выходной вывод. Четырнадцатый входной вывод соединен со вторым синхронизирующим сигналом СК2. Четырнадцатый входной вывод соединен с источником Vss низкого напряжения постоянного тока. Четырнадцатый выходной вывод соединен с n-й линией развертки G(n). Пятнадцатый транзистор Т312 содержит пятнадцатый управляющий вывод, пятнадцатый входной вывод и пятнадцатый выходной вывод. Пятнадцатый управляющий вывод соединен с четвертым синхронизирующим сигналом СК4. Пятнадцатый входной вывод соединен с источником Vss низкого напряжения постоянного тока. Пятнадцатый выходной вывод соединен с n-й линией развертки G(n). Шестнадцатый транзистор Т42 содержит шестнадцатый управляющий вывод, шестнадцатый входной вывод и шестнадцатый выходной вывод. Шестнадцатый управляющий вывод соединен с первой схемой 500 блокировки понижения напряжения. Шестнадцатый входной вывод соединен с источником Vss низкого напряжения постоянного тока. Шестнадцатый выходной вывод соединен с линией G(n+1) развертки. Семнадцатый транзистор Т321 содержит семнадцатый управляющий вывод, семнадцатый входной вывод и семнадцатый выходной вывод. Семнадцатый управляющий вывод соединен с третьим синхронизирующим сигналом СК3. Семнадцатый входной вывод соединен с источником Vss низкого напряжения постоянного тока. Семнадцатый выходной вывод соединен с линией G(n+1) развертки. Восемнадцатый транзистор Т322 содержит восемнадцатый управляющий вывод, восемнадцатый входной вывод и восемнадцатый выходной вывод. Восемнадцатый управляющий вывод соединен с пятым синхронизирующим сигналом СК5. Восемнадцатый входной вывод соединен с источником Vss низкого напряжения постоянного тока. Восемнадцатый выходной вывод соединен с линией G(n+1) развертки. Девятнадцатый транзистор Т43 содержит девятнадцатый управляющий вывод, девятнадцатый входной вывод и девятнадцатый выходной вывод. Девятнадцатый управляющий вывод соединен с первой схемой 500 блокировки понижения напряжения. Девятнадцатый входной вывод соединен с источником Vss низкого напряжения постоянного тока. Девятнадцатый выходной вывод соединен с линией G(n+2) развертки. Двадцатый транзистор Т331 содержит двадцатый управляющий вывод, двадцатый входной вывод и двадцатый выходной вывод.

Двадцатый управляющий вывод соединен с четвертым синхронизирующим сигналом СК4. Двадцатый входной вывод соединен с источником Vss низкого напряжения постоянного тока. Двадцатый выходной вывод соединен с линией G(n+2) развертки. Двадцать первый транзистор Т332 содержит двадцать первый управляющий вывод, двадцать первый входной вывод и двадцать первый выходной вывод. Двадцать первый управляющий вывод соединен с шестым синхронизирующим сигналом СК6. Двадцать первый входной вывод соединен с источником Vss низкого напряжения постоянного тока. Двадцать первый выходной вывод соединен с линией G(n+2) развертки.

Входной вывод первого транзистора Т11, входной вывод второго транзистора Т21, входной вывод третьего транзистора Т22 и входной вывод четвертого транзистора Т23 соединены с первым синхронизирующим сигналом СК1. Управляющий вывод (затвор) первого транзистора Т11, управляющий вывод (затвор) второго транзистора Т21, управляющий вывод (затвор) третьего транзистора Т22 и управляю-

щий вывод (затвор) четвертого транзистора T23 соединены с узлом Q(n) сигналов затворов. Первый транзистор T11 используется для вывода пускового импульса ST(n) на n-й ступени для схемы GOA на следующей ступени. Второй транзистор T21, третий транзистор T22 и четвертый транзистор T23 соответствуют выводу трех линий G(n), G(n+1), G(n+2) затворов на начальной ступени. Как и в случае n-й линии G(n) развертки, управляющий вывод (затвор) четырнадцатого транзистора T311 и управляющий вывод (затвор) пятнадцатого транзистора T312 управляются соответственно вторым синхронизирующим сигналом СК2 и четвертым синхронизирующим сигналом СК4. Четырнадцатый транзистор T311 и пятнадцатый транзистор T312 используются для понижения напряжения сигнала развертки на n-й ступени G(n) в различные промежутки времени. После соединения второго транзистора T21, третьего транзистора T22 и четвертого транзистора T23 с первым синхронизирующим сигналом СК1 их выводы являются одинаковыми. Импульсные сигналы затворов из трех линий G(n), G(n+1), G(n+2) затворов не перекрываются. Поэтому напряжение выходных сигналов второго транзистора T21, третьего транзистора T22 и четвертого транзистора T23 в соответствующий промежуток времени необходимо понижать. Выше было подробно описано понижение напряжения n-й линии G(n) развертки. Понижение напряжения линии G(n+1) развертки выполняется семнадцатым транзистором T321 и восемнадцатым транзистором T322. Семнадцатый транзистор T321 и восемнадцатый транзистор T322 управляются третьим синхронизирующим сигналом СК3 и пятым синхронизирующим сигналом СК5. Понижение напряжения линии G(n+2) развертки выполняется двадцатым транзистором T331 и двадцать первым транзистором T332. Двадцатый транзистор T331 и двадцать первый транзистор T332 управляются четвертым синхронизирующим сигналом СК4 и шестым синхронизирующим сигналом СК6. Двадцатый транзистор T331 и двадцать первый транзистор T332 действуют совместно со вторым транзистором T21, третьим транзистором T22 и четвертым транзистором T23. Этим обеспечивается то, что три линии затворов, которым соответствует схема GOA на ступени 35, выводят сигналы правильной формы. Тринадцатый транзистор T41, шестнадцатый транзистор T42 и девятнадцатый транзистор T43 используются для понижения напряжений трех линий затворов. Функцией этих транзисторов является понижение напряжения выходных сигналов посредством n-й линии G(n) развертки, линии G(n+1) развертки и линии G(n+2) развертки с целью обеспечения вывода низкого уровня напряжения, когда схема GOA на ступени 35 не действует, т.е. узел Q(n) сигнала затвора имеет низкий уровень напряжения. Когда схема GOA на ступени 35 выполняет вывод, т.е. когда узел Q(n) сигнала затвора имеет высокий уровень напряжения, управляющие выводы (затворы) тринадцатого транзистора T41, шестнадцатого транзистора T42 и девятнадцатого транзистора T43 имеют низкий уровень напряжения. Управляющие выводы замкнуты. Воздействие на вывод n-й линии G(n) развертки, линии G(n+1) развертки и линии G(n+2) развертки отсутствует. Одиннадцатый транзистор T44 и тринадцатый транзистор T41 также используются для понижения напряжения сигналов. Когда схема GOA на ступени 35 не выполняет вывод, пусковой импульс ST на узле Q(n) сигнала затвора сохраняет низкий уровень напряжения.

Схема 35 GOA, предложенная в настоящем варианте осуществления, может выводить сигналы из трех линий затворов, и это полезно для увеличения высоты разводки, уменьшения ширины и конструирования узких рамок. В дополнение, схема 35 GOA содержит на каждой ступени двадцать один транзистор. Для сравнения традиционная схема 25 GOA, показанная на фиг. 2, содержит пятьдесят один TFT-транзистор, поскольку схеме 25 GOA на трех ступенях требуется три линии затворов. Поэтому схема 35 GOA требует намного меньше места, чем традиционная схема 25 GOA.

На фиг. 5 показана принципиальная электрическая схема данной схемы 40 GOA в соответствии со вторым предпочтительным вариантом осуществления настоящего изобретения. Явным отличием второго предпочтительного варианта осуществления от первого предпочтительного варианта осуществления является использование разных сигналов для соединений. Подробности являются следующими.

Пусковой импульс ST продвигается на три ступени, т.е. n-3 меняется на n, n меняется на n+3, и n+3 меняется на n+6.

Во втором предпочтительном варианте осуществления входные выводы первого транзистора T11, второго транзистора T21, третьего транзистора T22 и четвертого транзистора T23 соединены с четвертым синхронизирующим сигналом СК4. Выходной вывод второго транзистора T21, выходной вывод третьего транзистора T22 и выходной вывод четвертого транзистора T23 соединены соответственно с линией G(n+3) развертки, линией G(n+4) развертки и линией G(n+5) развертки.

Управляющий вывод четырнадцатого транзистора T311 соединен с первым синхронизирующим сигналом СК1. Управляющий вывод пятнадцатого транзистора T312 соединен с третьим синхронизирующим сигналом СК3. Выходные выводы четырнадцатого транзистора T311 и пятнадцатого транзистора T312 соединены с линией G(n+3) развертки.

Управляющий вывод семнадцатого транзистора T321 соединен со вторым синхронизирующим сигналом СК2. Управляющий вывод восемнадцатого транзистора T322 соединен с четвертым синхронизирующим сигналом СК4. Выходные выводы семнадцатого транзистора T321 и восемнадцатого транзистора T322 соединены с линией G(n+4) развертки.

Управляющий вывод двадцатого транзистора T331 соединен с третьим синхронизирующим сигналом СК3. Управляющий вывод двадцать первого транзистора T332 соединен с пятым синхронизирующим

щим сигналом СК5. Выходные выводы двадцатого транзистора Т331 и двадцать первого транзистора Т332 соединены с линией G(n+5) развертки.

В сравнении с вышеописанным первым предпочтительным вариантом осуществления, где в действие приводятся линии развертки на нечетных ступенях, во втором предпочтительном варианте осуществления в действие приводятся линии развертки на четных ступенях. В этом заключается разница между этими двумя вариантами осуществления.

На фиг. 6 показана схема форм сигналов схемы GOA, показанной на фиг. 4 и 5. Период первого синхронизирующего сигнала СК1, период второго синхронизирующего сигнала СК2 и период третьего синхронизирующего сигнала СК3 являются одинаковыми. Кроме того, первый синхронизирующий сигнал СК1, второй синхронизирующий сигнал СК2 и третий синхронизирующий сигнал СК3 включаются последовательно на основании разности в 1/3 периода. Четвертый синхронизирующий сигнал СК4, пятый синхронизирующий сигнал СК5 и шестой синхронизирующий сигнал СК6 представляют собой сигналы, обратные соответственно первому синхронизирующему сигналу СК1, второму синхронизирующему сигналу СК2 и третьему синхронизирующему сигналу СК3. Таким образом, получаются сигналы для последовательного включения линий развертки (от n-й ступени до (n+5)-й ступени).

На фиг. 7 показана принципиальная электрическая схема конструкции схемы 50 GOA в соответствии с третьим предпочтительным вариантом осуществления настоящего изобретения. В сравнении с первым предпочтительным вариантом осуществления в третий предпочтительный вариант осуществления добавлена вторая схема блокировки понижения напряжения, содержащая двадцать второй транзистор Т91 и двадцать третий транзистор Т92. В этом заключается разница между этими двумя вариантами осуществления.

Двадцать второй транзистор Т91 содержит двадцать второй управляющий вывод, двадцать второй входной вывод и двадцать второй выходной вывод. Двадцать второй управляющий вывод соединен с четвертым синхронизирующим сигналом СК4. Двадцать второй входной вывод соединен с источником Vss низкого напряжения постоянного тока. Двадцать второй выходной вывод соединен с узлом Q(n) сигнала затвора. Двадцать третий транзистор Т92 содержит двадцать третий управляющий вывод, двадцать третий входной вывод и двадцать третий выходной вывод. Двадцать третий управляющий вывод соединен с четвертым синхронизирующим сигналом СК4. Двадцать третий входной вывод соединен с источником Vss низкого напряжения постоянного тока. Двадцать третий выходной вывод выводит пусковой импульс ST(n) на n-й ступени.

Схема 55 GOA на каждой ступени вводит две пары схем (500, 600) блокировки понижения напряжения. Напряжение пар схем (500, 600) блокировки понижения напряжения понижается в различные промежутки времени. Таким образом, от транзисторов в парах схем (500, 600) блокировки понижения напряжения не требуется выдерживать долговременную нагрузку. В любом случае электрический дрейф, который может являться результатом неэффективности схемы 55 GOA, не возникает. Соответственно значительно повышается устойчивость работы LCD-панели.

Когда схема 55 GOA выполняет вывод, т.е. узел Q(n) сигнала затвора имеет высокий уровень напряжения, две пары схем (500, 600) блокировки понижения напряжения не действуют, что обеспечивает вывод сигналов правильной формы посредством соответствующих линий затворов. Когда схема 55 GOA не выполняет вывод, т.е. узел Q(n) сигнала затвора имеет низкий уровень напряжения, две пары схем (500, 600) блокировки понижения напряжения понижают напряжение попеременно. Когда первый синхронизирующий сигнал СК1 имеет высокий уровень напряжения, а четвертый синхронизирующий сигнал СК4 имеет низкий уровень напряжения, первый синхронизирующий сигнал СК1 соединен с n-й линией G(n) развертки, линией G(n+1) развертки и линией G(n+2) развертки соответственно посредством второго транзистора Т21, третьего транзистора Т22 и четвертого транзистора Т23. Напряжение n-й линии G(n) развертки, линии G(n+1) развертки и линии G(n+2) развертки понижается с целью повышения устойчивости работы схемы GOA. При этом напряжение узла Q(n) сигнала затвора и пускового импульса ST также необходимо понизить. Этот режим работы аналогичен режиму работы схемы GOA в первом предпочтительном варианте осуществления. Когда первый синхронизирующий сигнал СК1 имеет низкий уровень напряжения, а четвертый синхронизирующий сигнал СК4 имеет высокий уровень напряжения, двадцать второй транзистор Т91 и двадцать третий транзистор Т92 принудительно включаются. Напряжение узла Q(n) сигнала затвора и пускового импульса ST необходимо понизить. В то же время первый синхронизирующий сигнал СК1 имеет низкий уровень напряжения, и, таким образом, соответствующая n-я линия G(n) развертки, соответствующая линия G(n+1) развертки на (n+1)-й ступени и соответствующая линия G(n+2) развертки на (n+2)-й ступени также имеют низкий уровень напряжения, даже при утечке электричества во втором транзисторе Т21, третьем транзисторе Т22 и четвертом транзисторе Т23. Воздействие на вывод n-й линии G(n) развертки, линии G(n+1) развертки и линии G(n+2) развертки отсутствует. Таким образом, понижение напряжения n-й линии G(n) развертки, линии G(n+1) развертки и линии G(n+2) развертки не требуется.

На фиг. 8 показана принципиальная электрическая схема конструкции схемы 60 GOA в соответствии с четвертым предпочтительным вариантом осуществления настоящего изобретения. Явным отличием четвертого предпочтительного варианта осуществления от третьего предпочтительного варианта

осуществления является использование разных сигналов для соединений. Подробности являются следующими.

Пусковой импульс ST продвигается на три ступени, т.е. $n-3$ меняется на n , n меняется на $n+3$, и $n+3$ меняется на $n+6$.

В четвертом предпочтительном варианте осуществления входные выводы первого транзистора T11, второго транзистора T21, третьего транзистора T22 и четвертого транзистора T23 соединены с четвертым синхронизирующим сигналом СК4. Выходной вывод второго транзистора T21, выходной вывод третьего транзистора T22 и выходной вывод четвертого транзистора T23 соединены соответственно с линией G(n+3) развертки, линией G(n+4) развертки и линией G(n+5) развертки.

Управляющий вывод четырнадцатого транзистора T311 соединен с первым синхронизирующим сигналом СК1. Управляющий вывод пятнадцатого транзистора T312 соединен с третьим синхронизирующим сигналом СК3. Выходные выводы четырнадцатого транзистора T311 и пятнадцатого транзистора T312 соединены с линией G(n+3) развертки.

Управляющий вывод семнадцатого транзистора T321 соединен со вторым синхронизирующим сигналом СК2. Управляющий вывод восемнадцатого транзистора T322 соединен с четвертым синхронизирующим сигналом СК4. Выходные выводы семнадцатого транзистора T321 и восемнадцатого транзистора T322 соединены с линией G(n+4) развертки.

Управляющий вывод двадцатого транзистора T331 соединен с третьим синхронизирующим сигналом СК3. Управляющий вывод двадцать первого транзистора T332 соединен с пятым синхронизирующим сигналом СК5. Выходные выводы двадцатого транзистора T331 и двадцать первого транзистора T332 соединены с линией G(n+5) развертки.

Управляющие выводы двадцать второго транзистора T91 и двадцать третьего транзистора T92 соединены с первым синхронизирующим сигналом СК1.

В сравнении с вышеописанным третьим предпочтительным вариантом осуществления, где в действие приводятся линии развертки на нечетных ступенях, в четвертом предпочтительном варианте осуществления в действие приводятся линии развертки на четных ступенях. В этом заключается разница между этими двумя вариантами осуществления.

Несмотря на то, что настоящее изобретение было описано применительно к тому, что считается наиболее практичными и предпочтительными вариантами осуществления, следует понимать, что настоящее изобретение не ограничено описанными вариантами осуществления, но направлено на охватывание различных компоновок, выполненных без отступления от объема наиболее широкого толкования прилагаемой формулы изобретения.

ФОРМУЛА ИЗОБРЕТЕНИЯ

1. Схема драйвера затворов на матрице (GOA) для жидкокристаллического дисплея (LCD), содержащая множество блоков GOA, соединенных каскадно, и множество блоков GOA на сформированных ступенях, при этом блок GOA на n -й ступени соответствует по меньшей мере одной линии развертки, при этом по меньшей мере одна линия развертки содержит n -ю линию развертки, $(n+1)$ -ю линию развертки и $(n+2)$ -ю линию развертки, при этом блок GOA на n -й ступени содержит

первую схему блокировки понижения напряжения, соединенную с узлом сигнала затвора;

схему повышения напряжения, соединенную с первой схемой блокировки понижения напряжения посредством узла сигнала затвора;

схему ускоряющего конденсатора, соединенную со схемой повышения напряжения посредством узла сигнала затвора;

схему понижения напряжения, соединенную со схемой ускоряющего конденсатора посредством узла сигнала затвора; и

схему синхронизации, соединенную со схемой ускоряющего конденсатора посредством узла сигнала затвора и принимающую первый синхронизирующий сигнал;

при этом первая схема блокировки понижения напряжения и схема понижения напряжения соединены с источником низкого напряжения постоянного тока;

схема синхронизации содержит

первый транзистор, содержащий первый управляющий вывод, соединенный с узлом сигнала затвора, первый входной вывод, соединенный с первым синхронизирующим сигналом, и первый выходной вывод, выводящий пусковой импульс на n -й ступени;

второй транзистор, содержащий второй управляющий вывод, соединенный с узлом сигнала затвора, второй входной вывод, соединенный с первым синхронизирующим сигналом, и второй выходной вывод, соединенный с n -й линией развертки;

третий транзистор, содержащий третий управляющий вывод, соединенный с узлом сигнала затвора, третий входной вывод, соединенный с первым синхронизирующим сигналом, и третий выходной вывод, соединенный с $(n+1)$ -й линией развертки; и

четвертый транзистор, содержащий четвертый управляющий вывод, соединенный с узлом сигнала

затвора, четвертый входной вывод, соединенный с первым синхронизирующим сигналом, и четвертый выходной вывод, соединенный с $(n+2)$ -й линией развертки;

при этом схема понижения напряжения содержит

тринадцатый транзистор, содержащий тринадцатый управляющий вывод, соединенный с первой схемой блокировки понижения напряжения, тринадцатый входной вывод, соединенный с источником низкого напряжения постоянного тока, и тринадцатый выходной вывод, соединенный с n -й линией развертки;

четырнадцатый транзистор, содержащий четырнадцатый управляющий вывод, соединенный со вторым синхронизирующим сигналом, четырнадцатый входной вывод, соединенный с источником низкого напряжения постоянного тока, и четырнадцатый выходной вывод, соединенный с n -й линией развертки;

пятнадцатый транзистор, содержащий пятнадцатый управляющий вывод, соединенный с четвертым синхронизирующим сигналом, пятнадцатый входной вывод, соединенный с источником низкого напряжения постоянного тока, и пятнадцатый выходной вывод, соединенный с n -й линией развертки;

шестнадцатый транзистор, содержащий шестнадцатый управляющий вывод, соединенный с первой схемой блокировки понижения напряжения, шестнадцатый входной вывод, соединенный с источником низкого напряжения постоянного тока, и шестнадцатый выходной вывод, соединенный с $(n+1)$ -й линией развертки;

семнадцатый транзистор, содержащий семнадцатый управляющий вывод, соединенный с третьим синхронизирующим сигналом, семнадцатый входной вывод, соединенный с источником низкого напряжения постоянного тока, и семнадцатый выходной вывод, соединенный с $(n+1)$ -й линией развертки;

восемнадцатый транзистор, содержащий восемнадцатый управляющий вывод, соединенный с пятым синхронизирующим сигналом, восемнадцатый входной вывод, соединенный с источником низкого напряжения постоянного тока, и восемнадцатый выходной вывод, соединенный с $(n+1)$ -й линией развертки;

девятнадцатый транзистор, содержащий девятнадцатый управляющий вывод, соединенный с первой схемой блокировки понижения напряжения, девятнадцатый входной вывод, соединенный с источником низкого напряжения постоянного тока, и девятнадцатый выходной вывод, соединенный с $(n+2)$ -й линией развертки;

двадцатый транзистор, содержащий двадцатый управляющий вывод, соединенный с четвертым синхронизирующим сигналом, двадцатый входной вывод, соединенный с источником низкого напряжения постоянного тока, и двадцатый выходной вывод, соединенный с $(n+2)$ -й линией развертки;

двадцать первый транзистор, содержащий двадцать первый управляющий вывод, соединенный с шестым синхронизирующим сигналом, двадцать первый входной вывод, соединенный с источником низкого напряжения постоянного тока, и двадцать первый выходной вывод, соединенный с $(n+2)$ -й линией развертки; и

при этом период первого синхронизирующего сигнала, период второго синхронизирующего сигнала и период третьего синхронизирующего сигнала являются равными, и первый синхронизирующий сигнал, второй синхронизирующий сигнал и третий синхронизирующий сигнал запускаются последовательно на основании разности в $1/3$ периода; четвертый синхронизирующий сигнал является обратным первому синхронизирующему сигналу, пятый синхронизирующий сигнал является обратным второму синхронизирующему сигналу и шестой синхронизирующий сигнал является обратным третьему синхронизирующему сигналу.

2. Схема драйвера затворов на матрице (GOA) для жидкокристаллического дисплея (LCD), содержащая множество блоков GOA, соединенных каскадно, и множество блоков GOA на сформированных ступенях, при этом блок GOA на n -й ступени соответствует по меньшей мере одной линии развертки, при этом по меньшей мере одна линия развертки содержит n -ю линию развертки, $(n+1)$ -ю линию развертки и $(n+2)$ -ю линию развертки, при этом блок GOA на n -й ступени содержит

первую схему блокировки понижения напряжения, соединенную с узлом сигнала затвора;

схему повышения напряжения, соединенную с первой схемой блокировки понижения напряжения посредством узла сигнала затвора;

схему ускоряющего конденсатора, соединенную со схемой повышения напряжения посредством узла сигнала затвора;

схему понижения напряжения, соединенную со схемой ускоряющего конденсатора посредством узла сигнала затвора; и

схему синхронизации, соединенную со схемой ускоряющего конденсатора посредством узла сигнала затвора и принимающую первый синхронизирующий сигнал;

при этом первая схема блокировки понижения напряжения и схема понижения напряжения соединены с источником низкого напряжения постоянного тока;

схема синхронизации содержит

первый транзистор, содержащий первый управляющий вывод, соединенный с узлом сигнала затвора, первый входной вывод, соединенный с первым синхронизирующим сигналом, и первый выходной

вывод, выводящий пусковой импульс на n -й ступени;

второй транзистор, содержащий второй управляющий вывод, соединенный с узлом сигнала затвора, второй входной вывод, соединенный с первым синхронизирующим сигналом, и второй выходной вывод, соединенный с n -й линией развертки;

третий транзистор, содержащий третий управляющий вывод, соединенный с узлом сигнала затвора, третий входной вывод, соединенный с первым синхронизирующим сигналом, и третий выходной вывод, соединенный с $(n+1)$ -й линией развертки; и

четвертый транзистор, содержащий четвертый управляющий вывод, соединенный с узлом сигнала затвора, четвертый входной вывод, соединенный с первым синхронизирующим сигналом, и четвертый выходной вывод, соединенный с $(n+2)$ -й линией развертки.

3. Схема GOA по п.2, отличающаяся тем, что схема ускоряющего конденсатора содержит первый конденсатор, содержащий два вывода, соединенные соответственно с узлом сигнала затвора и пусковым импульсом на n -й ступени.

4. Схема GOA по п.2, отличающаяся тем, что схема повышения напряжения содержит пятый транзистор, содержащий пятый управляющий вывод, принимающий пусковой импульс на $(n-3)$ -й ступени, пятый входной вывод, соединенный с пятым управляющим выводом, и пятый выходной вывод, соединенный с узлом сигнала затвора.

5. Схема GOA по п.2, отличающаяся тем, что первая схема блокировки понижения напряжения содержит

шестой транзистор, содержащий шестой управляющий вывод, принимающий пусковой импульс на $(n+3)$ -й ступени, шестой входной вывод, соединенный с источником низкого напряжения постоянного тока, и шестой выходной вывод, соединенный с узлом сигнала затвора;

седьмой транзистор, содержащий седьмой управляющий вывод, соединенный с узлом сигнала затвора, и седьмой входной вывод, соединенный с источником низкого напряжения постоянного тока;

восьмой транзистор, содержащий восьмой управляющий вывод, соединенный с источником высокого напряжения постоянного тока, восьмой выходной вывод, соединенный с восьмым управляющим выводом, и восьмой входной вывод, соединенный с седьмым выходным выводом;

девятый транзистор, содержащий девятый управляющий вывод, соединенный с узлом сигнала затвора, и девятый входной вывод, соединенный с источником низкого напряжения постоянного тока;

десятый транзистор, содержащий десятый управляющий вывод, соединенный с седьмым выходным выводом, десятый входной вывод, соединенный с девятым выходным выводом, и десятый выходной вывод, соединенный с восьмым выходным выводом;

одиннадцатый транзистор, содержащий одиннадцатый управляющий вывод, соединенный с десятым входным выводом, одиннадцатый входной вывод, соединенный с источником низкого напряжения постоянного тока, и одиннадцатый выходной вывод, соединенный с узлом сигнала затвора;

двенадцатый транзистор, содержащий двенадцатый управляющий вывод, соединенный с десятым входным выводом, двенадцатый входной вывод, соединенный с источником низкого напряжения постоянного тока, и двенадцатый выходной вывод, соединенный с пусковым импульсом на n -й ступени.

6. Схема GOA по п.2, отличающаяся тем, что схема понижения напряжения содержит

тринадцатый транзистор, содержащий тринадцатый управляющий вывод, соединенный с первой схемой блокировки понижения напряжения, тринадцатый входной вывод, соединенный с источником низкого напряжения постоянного тока, и тринадцатый выходной вывод, соединенный с n -й линией развертки;

четырнадцатый транзистор, содержащий четырнадцатый управляющий вывод, соединенный со вторым синхронизирующим сигналом, четырнадцатый входной вывод, соединенный с источником низкого напряжения постоянного тока, и четырнадцатый выходной вывод, соединенный с n -й линией развертки;

пятнадцатый транзистор, содержащий пятнадцатый управляющий вывод, соединенный с четвертым синхронизирующим сигналом, пятнадцатый входной вывод, соединенный с источником низкого напряжения постоянного тока, и пятнадцатый выходной вывод, соединенный с n -й линией развертки;

шестнадцатый транзистор, содержащий шестнадцатый управляющий вывод, соединенный с первой схемой блокировки понижения напряжения, шестнадцатый входной вывод, соединенный с источником низкого напряжения постоянного тока, и шестнадцатый выходной вывод, соединенный с $(n+1)$ -й линией развертки;

семнадцатый транзистор, содержащий семнадцатый управляющий вывод, соединенный с третьим синхронизирующим сигналом, семнадцатый входной вывод, соединенный с источником низкого напряжения постоянного тока, и

семнадцатый выходной вывод, соединенный с $(n+1)$ -й линией развертки;

восемнадцатый транзистор, содержащий восемнадцатый управляющий вывод, соединенный с пятым синхронизирующим сигналом, восемнадцатый входной вывод, соединенный с источником низкого напряжения постоянного тока, и восемнадцатый выходной вывод, соединенный с $(n+1)$ -й линией развертки;

девятнадцатый транзистор, содержащий девятнадцатый управляющий вывод, соединенный с первой схемой блокировки понижения напряжения, девятнадцатый входной вывод, соединенный с источником низкого напряжения постоянного тока, и девятнадцатый выходной вывод, соединенный с (n+2)-й линией развертки;

двадцатый транзистор, содержащий двадцатый управляющий вывод, соединенный с четвертым синхронизирующим сигналом, двадцатый входной вывод, соединенный с источником низкого напряжения постоянного тока, и двадцатый выходной вывод, соединенный с (n+2)-й линией развертки;

двадцать первый транзистор, содержащий двадцать первый управляющий вывод, соединенный с шестым синхронизирующим сигналом, двадцать первый входной вывод, соединенный с источником низкого напряжения постоянного тока, и двадцать первый выходной вывод, соединенный с (n+2)-й линией развертки.

7. Схема GOA по п.2, отличающаяся тем, что схема GOA дополнительно содержит вторую схему блокировки понижения напряжения, содержащую

двадцать второй транзистор, содержащий двадцать второй управляющий вывод, соединенный с четвертым синхронизирующим сигналом, двадцать второй входной вывод, соединенный с источником низкого напряжения постоянного тока, и двадцать второй выходной вывод, соединенный с узлом сигнала затвора;

двадцать третий транзистор, содержащий двадцать третий управляющий вывод, соединенный с четвертым синхронизирующим сигналом, двадцать третий входной вывод, соединенный с источником низкого напряжения постоянного тока, и двадцать третий выходной вывод, соединенный с пусковым импульсом на n-й ступени.

8. Схема GOA по п.6, отличающаяся тем, что период первого синхронизирующего сигнала, период второго синхронизирующего сигнала и период третьего синхронизирующего сигнала являются равными, и первый синхронизирующий сигнал, второй синхронизирующий сигнал и третий синхронизирующий сигнал запускаются последовательно на основании разности в 1/3 периода.

9. Схема GOA по п.6, отличающаяся тем, что четвертый синхронизирующий сигнал является обратным первому синхронизирующему сигналу, пятый синхронизирующий сигнал является обратным второму синхронизирующему сигналу, и шестой синхронизирующий сигнал является обратным третьему синхронизирующему сигналу.

10. Схема драйвера затворов на матрице (GOA) для жидкокристаллического дисплея (LCD), содержащая множество блоков GOA, соединенных каскадно, и множество блоков GOA на сформированных ступенях, при этом блок GOA на n-й ступени соответствует по меньшей мере одной линии развертки, при этом по меньшей мере одна линия развертки содержит (n+3)-ю линию развертки, (n+4)-ю линию развертки и (n+5)-ю линию развертки, при этом блок GOA на n-й ступени содержит

первую схему блокировки понижения напряжения, соединенную с узлом сигнала затвора;

схему повышения напряжения, соединенную с первой схемой блокировки понижения напряжения посредством узла сигнала затвора;

схему ускоряющего конденсатора, соединенную со схемой повышения напряжения посредством узла сигнала затвора;

схему понижения напряжения, соединенную со схемой ускоряющего конденсатора посредством узла сигнала затвора; и

схему синхронизации, соединенную со схемой ускоряющего конденсатора посредством узла сигнала затвора и принимающую четвертый синхронизирующий сигнал;

при этом первая схема блокировки понижения напряжения и схема понижения напряжения соединены с источником низкого напряжения постоянного тока;

схема синхронизации содержит

первый транзистор, содержащий первый управляющий вывод, соединенный с узлом сигнала затвора, первый входной вывод, соединенный с четвертым синхронизирующим сигналом, и первый выходной вывод, выводящий пусковой импульс на (n+3)-й ступени;

второй транзистор, содержащий второй управляющий вывод, соединенный с узлом сигнала затвора, второй входной вывод, соединенный с четвертым синхронизирующим сигналом, и второй выходной вывод, соединенный с (n+4)-й линией развертки;

третий транзистор, содержащий третий управляющий вывод, соединенный с узлом сигнала затвора, третий входной вывод, соединенный с четвертым синхронизирующим сигналом, и третий выходной вывод, соединенный с (n+5)-й линией развертки; и

четвертый транзистор, содержащий четвертый управляющий вывод, соединенный с узлом сигнала затвора, четвертый входной вывод, соединенный с четвертым синхронизирующим сигналом, и четвертый выходной вывод, соединенный с (n+5)-й линией развертки.

11. Схема GOA по п.10, отличающаяся тем, что схема ускоряющего конденсатора содержит первый конденсатор, содержащий два вывода, соединенные соответственно с узлом сигнала затвора и пусковым импульсом на (n+3)-й ступени.

12. Схема GOA по п.10, отличающаяся тем, что схема повышения напряжения содержит пятый

транзистор, содержащий пятый управляющий вывод, принимающий пусковой импульс на n -й ступени, пятый входной вывод, соединенный с пятым управляющим выводом, и пятый выходной вывод, соединенный с узлом сигнала затвора.

13. Схема GOA по п.10, отличающаяся тем, что первая схема блокировки понижения напряжения содержит

шестой транзистор, содержащий шестой управляющий вывод, принимающий пусковой импульс на $(n+6)$ -й ступени, шестой входной вывод, соединенный с источником низкого напряжения постоянного тока, и шестой выходной вывод, соединенный с узлом сигнала затвора;

седьмой транзистор, содержащий седьмой управляющий вывод, соединенный с узлом сигнала затвора, и седьмой входной вывод, соединенный с источником низкого напряжения постоянного тока;

восьмой транзистор, содержащий восьмой управляющий вывод, соединенный с источником высокого напряжения постоянного тока, восьмой выходной вывод, соединенный с восьмым управляющим выводом, и восьмой входной вывод, соединенный с седьмым выходным выводом;

девятый транзистор, содержащий девятый управляющий вывод, соединенный с узлом сигнала затвора, и девятый входной вывод, соединенный с источником низкого напряжения постоянного тока;

десятый транзистор, содержащий десятый управляющий вывод, соединенный с седьмым выходным выводом, десятый входной вывод, соединенный с девятым выходным выводом, и десятый выходной вывод, соединенный с восьмым выходным выводом;

одиннадцатый транзистор, содержащий одиннадцатый управляющий вывод, соединенный с десятым входным выводом, одиннадцатый входной вывод, соединенный с источником низкого напряжения постоянного тока, и одиннадцатый выходной вывод, соединенный с узлом сигнала затвора;

двенадцатый транзистор, содержащий двенадцатый управляющий вывод, соединенный с десятым входным выводом, двенадцатый входной вывод, соединенный с источником низкого напряжения постоянного тока, и двенадцатый выходной вывод, соединенный с пусковым импульсом на $(n+3)$ -й ступени.

14. Схема GOA по п.10, отличающаяся тем, что схема понижения напряжения содержит

тринадцатый транзистор, содержащий тринадцатый управляющий вывод, соединенный с первой схемой блокировки понижения напряжения, тринадцатый входной вывод, соединенный с источником низкого напряжения постоянного тока, и тринадцатый выходной вывод, соединенный с $(n+3)$ -й линией развертки;

четырнадцатый транзистор, содержащий четырнадцатый управляющий вывод, соединенный с первым синхронизирующим сигналом, четырнадцатый входной вывод, соединенный с источником низкого напряжения постоянного тока, и четырнадцатый выходной вывод, соединенный с $(n+3)$ -й линией развертки;

пятнадцатый транзистор, содержащий пятнадцатый управляющий вывод, соединенный с третьим синхронизирующим сигналом, пятнадцатый входной вывод, соединенный с источником низкого напряжения постоянного тока, и пятнадцатый выходной вывод, соединенный с $(n+3)$ -й линией развертки;

шестнадцатый транзистор, содержащий шестнадцатый управляющий вывод, соединенный с первой схемой блокировки понижения напряжения, шестнадцатый входной вывод, соединенный с источником низкого напряжения постоянного тока, и шестнадцатый выходной вывод, соединенный с $(n+4)$ -й линией развертки;

семнадцатый транзистор, содержащий семнадцатый управляющий вывод, соединенный со вторым синхронизирующим сигналом, семнадцатый входной вывод, соединенный с источником низкого напряжения постоянного тока, и семнадцатый выходной вывод, соединенный с $(n+4)$ -й линией развертки;

восемнадцатый транзистор, содержащий восемнадцатый управляющий вывод, соединенный с четвертым синхронизирующим сигналом, восемнадцатый входной вывод, соединенный с источником низкого напряжения постоянного тока, и восемнадцатый выходной вывод, соединенный с $(n+4)$ -й линией развертки;

девятнадцатый транзистор, содержащий девятнадцатый управляющий вывод, соединенный с первой схемой блокировки понижения напряжения, девятнадцатый входной вывод, соединенный с источником низкого напряжения постоянного тока, и девятнадцатый выходной вывод, соединенный с $(n+5)$ -й линией развертки;

двадцатый транзистор, содержащий двадцатый управляющий вывод, соединенный с третьим синхронизирующим сигналом, двадцатый входной вывод, соединенный с источником низкого напряжения постоянного тока, и двадцатый выходной вывод, соединенный с $(n+5)$ -й линией развертки;

двадцать первый транзистор, содержащий двадцать первый управляющий вывод, соединенный с пятым синхронизирующим сигналом, двадцать первый входной вывод, соединенный с источником низкого напряжения постоянного тока, и двадцать первый выходной вывод, соединенный с $(n+5)$ -й линией развертки.

15. Схема GOA по п.10, отличающаяся тем, что схема GOA дополнительно содержит вторую схему блокировки понижения напряжения, содержащую

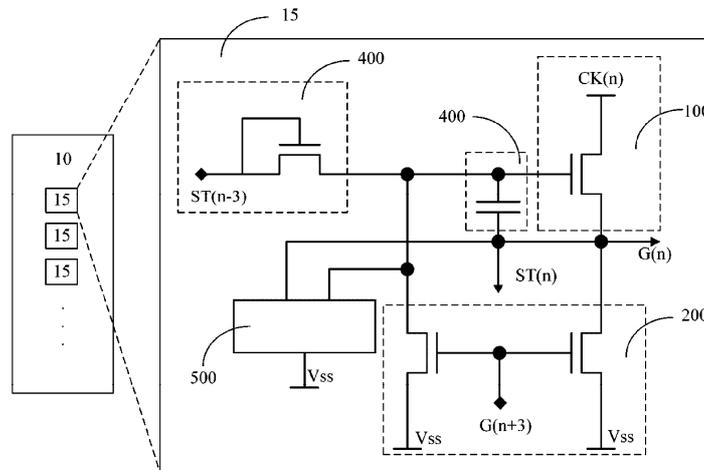
двадцать второй транзистор, содержащий двадцать второй управляющий вывод, соединенный с первым синхронизирующим сигналом, двадцать второй входной вывод, соединенный с источником низ-

кого напряжения постоянного тока, и двадцать второй выходной вывод, соединенный с узлом сигнала затвора;

двадцать третий транзистор, содержащий двадцать третий управляющий вывод, соединенный с первым синхронизирующим сигналом, двадцать третий входной вывод, соединенный с источником низкого напряжения постоянного тока, и двадцать третий выходной вывод, соединенный с пусковым импульсом на $(n+3)$ -й ступени.

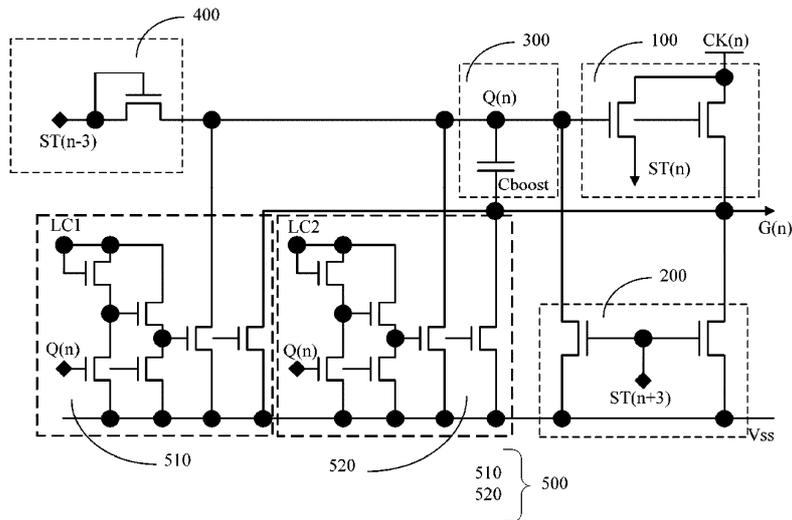
16. Схема GOA по п.14, отличающаяся тем, что период первого синхронизирующего сигнала, период второго синхронизирующего сигнала и период третьего синхронизирующего сигнала являются равными, и первый синхронизирующий сигнал, второй синхронизирующий сигнал и третий синхронизирующий сигнал запускаются последовательно на основании разности в $1/3$ периода.

17. Схема GOA по п.14, отличающаяся тем, что четвертый синхронизирующий сигнал является обратным первому синхронизирующему сигналу, пятый синхронизирующий сигнал является обратным второму синхронизирующему сигналу, и шестой синхронизирующий сигнал является обратным третьему синхронизирующему сигналу.

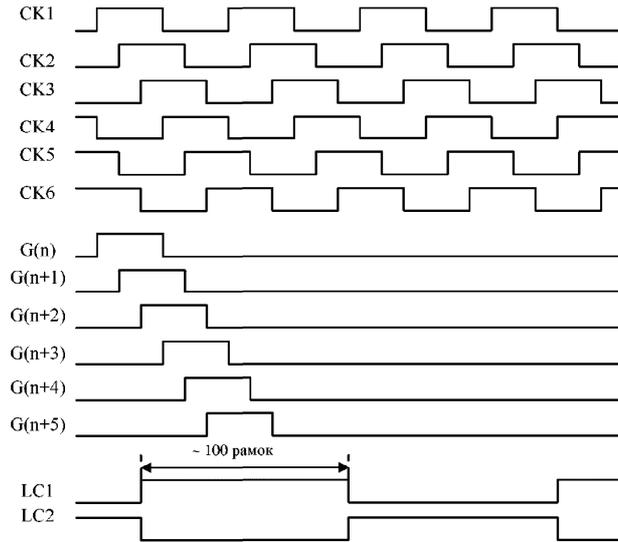


Фиг. 1

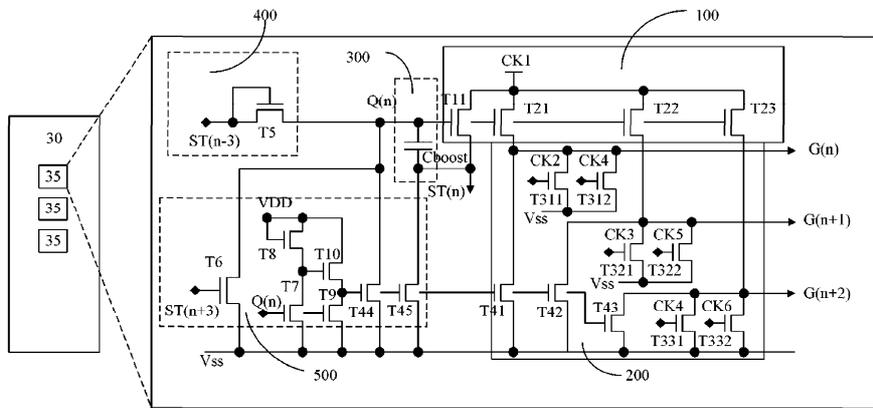
25



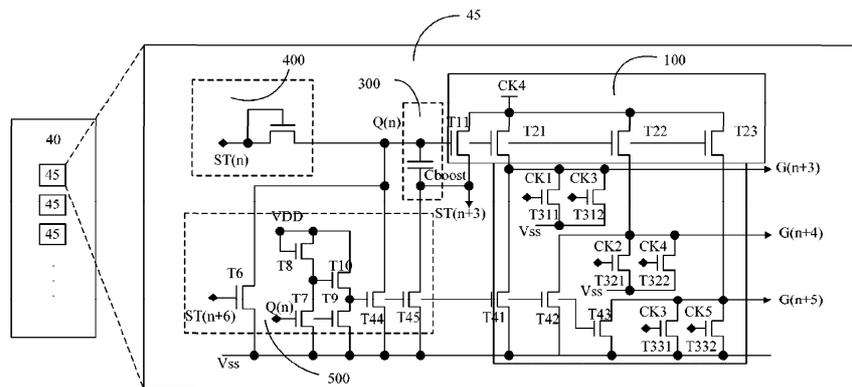
Фиг. 2



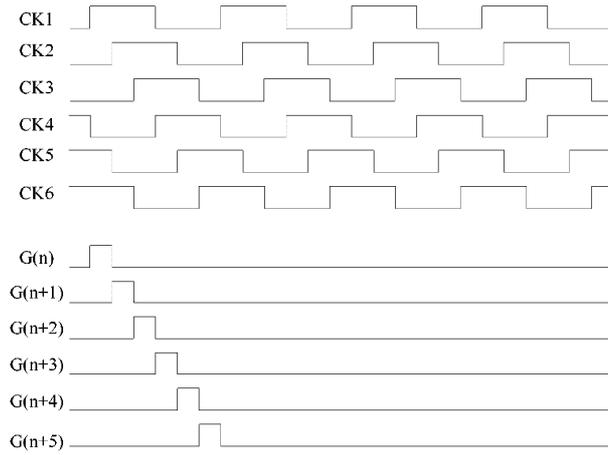
Фиг. 3



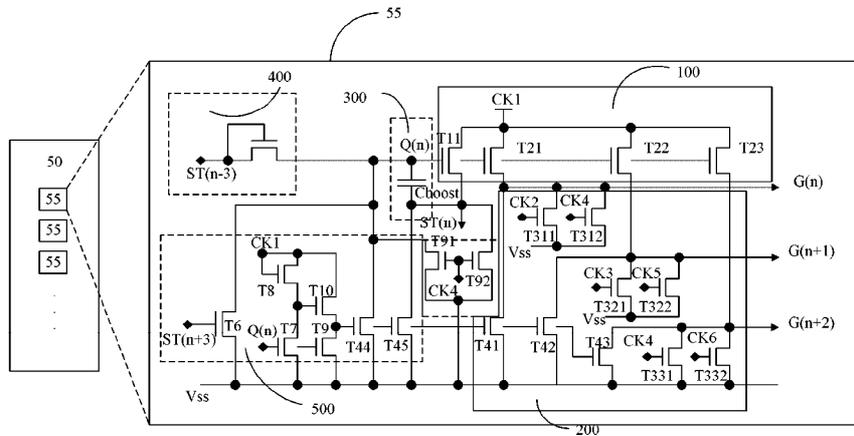
Фиг. 4



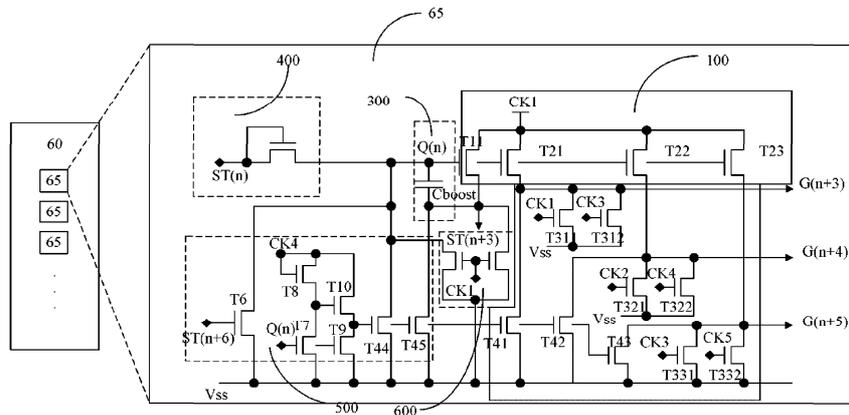
Фиг. 5



Фиг. 6



Фиг. 7



Фиг. 8

