

(19)



Евразийское  
патентное  
ведомство

(21) 201800290 (13) A2

(12) ОПИСАНИЕ ИЗОБРЕТЕНИЯ К ЕВРАЗИЙСКОЙ ЗАЯВКЕ

(43) Дата публикации заявки  
2019.01.31

(51) Int. Cl. G06F 7/535 (2006.01)

(22) Дата подачи заявки  
2018.04.23

(54) УСТРОЙСТВО БЫСТРОГО ДЕЛЕНИЯ

(31) 2017/0613.1

(32) 2017.07.18

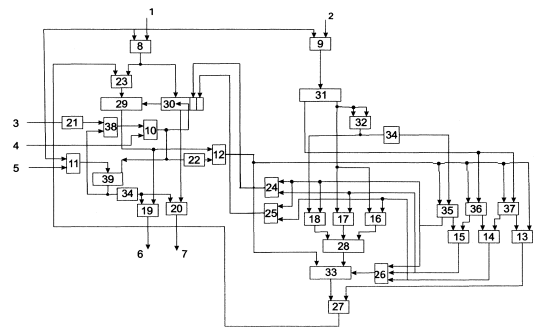
(33) KZ

(96) KZ2018/020 (KZ) 2018.04.23

(71) Заявитель:  
ТЫНЫМБАЕВ САХЫБАЙ (KZ)

(72) Изобретатель:  
Тынымбаев Сахыбай, Бердибаев  
Рат Шындалиевич, Жайбергенова  
Жаншуак Алменбеткызы (KZ)

(57) Изобретение относится к вычислительной технике и может быть использовано в вычислительных машинах и системах для построения быстродействующих делительных устройств. Ускорение выполнения операции деления достигается за счет сдвига частичных остатков сразу на два разряда в сторону старшего ( $4r_{i-1}$ ) и вводом в состав делительного устройства трех схем сравнения и логических схем. Схемы сравнения в зависимости от соотношения числа ( $4r_{i-1}$ ) со значениями делителей  $X$ ,  $2X$  и  $3X$  вырабатывают управляющие сигналы, которые приводят к выполнению одной из операций  $4r_{i-1}-x$ ,  $4r_{i-1}-2x$ ,  $4r_{i-1}-3x$  сумматором в дополнительном коде. При этом в каждом шаге деления формируется очередной остаток и соответствующая пара разрядов частного от деления. Технический результат заключается в минимизации аппаратных затрат для построения рассматриваемого делителя.



A2

201800290

201800290

A2

## УСТРОЙСТВО БЫСТРОГО ДЕЛЕНИЯ

Изобретение относится к области вычислительной техники и может быть использовано в вычислительных машинах и системах для построения быстродействующих делительных устройств.

Известно устройство быстрого деления чисел (патент США 3293418 от 20.12.1966) МПК G06F 7/52, которое является прототипом. Данное устройство состоит из регистров для хранения разрядов делимого (остатка и частного) и делителя из четырех двоичных сумматоров, логических схем И, ИЛИ для выделения наименьшего положительного остатка и формирования двух цифр частного путем анализа знаков полученных разностей. Для этого в устройстве предварительно формируются кратные значения  $2X$  и  $3X$  делителя  $X$ . Кратное значение  $3X$  формируется путем сложения  $2X$  и  $X$  на двоичном сумматоре или программно до начала выполнения операций деления. При этом значение  $2X$  формируется путем сдвига влево на один разряд значения делителя  $X$ . Во время каждого цикла деления в схеме производятся вычитания  $X$ ,  $2X$  и  $3X$  из сдвинутого сразу на два разряда предыдущего остатка  $(4r_{i-1})$ :  $4r_{i-1} - x$ ,  $4r_{i-1} - 2x$ ;  $4r_{i-1} - 3x$  одновременно на трех сумматорах. При этом на выходах каждого сумматора формируются разности со своими знаками. По знакам полученных разностей определяются две двоичные цифры частного и определяется одна из разностей или величина  $4r_{i-1}$  при  $4r_{i-1} < x$  и становится новым остатком ( $r_i$ ). Если, например,  $4r_{i-1} - x \geq 0$  и  $4r_{i-1} - 3x < 0$  и  $4r_{i-1} - 3x < 0$ , то очевидно в разряды частного следует записать цифру  $01_2$  и следующим остатком становится  $r_i = 4r_{i-1} - x$ .

Недостатком рассмотренного делительного устройства является большой объем оборудования из-за использования двоичных сумматоров для одновременного вычисления разностей.

Технической задачей изобретения является уменьшение объема оборудования.

Технический результат заключается в минимизации аппаратных затрат для построения рассматриваемого делителя.

Технический результат достигается путем частичной замены двоичных сумматоров схемами сравнения, что приводит к существенной минимизации аппаратных затрат устройства.

На фигуре 1 приведена схема делительного устройства с одновременным формированием двух битов частного на каждом шаге деления. Устройство содержит сдвигающие регистры остатка 29 и частного 30, регистра делителя 31, двух двоичных сумматоров 32 и 33, трех схем сравнения 35, 36, 37, инвертор 34, линии задержек 21, 22, 23, триггер 38, вычитающий счетчик 39, схемы ИЛИ  $23 \div 28$ , схемы И  $8 \div 20$ .

На вход 1 перед началом деления подаются разряды делимого. Вход 2 служит для подачи в схему устройства делителя. Сигнал «Пуск» подается на вход 3. На вход 4 подаются тактовые сигналы ТИ. Ко входу 5 перед началом деления подается двоичный код числа сдвигов К, необходимый для формирования разрядов частного. С выхода 6 выдаются разряды остатка, а с выхода 7 выдаются разряды частного от деления.

Делимое через вход 1 поступает в регистры 29 и 30. Выход регистра 29 связан с информационным входом схемы 12. После окончания операции деления остаток формируется в регистре 29, который выводится на выход 6 через схему 19.

В регистре 30 формируются разряды частного от деления и в конце операции выводятся на выход 7 схемой И 20.

Делитель X через вход 2 подается на вход регистра 31. С инверсных выходов регистра 31 значение  $\bar{X}$  подается на первые входы сумматора 32, а

на вторые входы сумматора 32 подается значение  $\bar{X}$  со сдвигом на один разряд, формируя значение  $2\bar{X}$ . В результате суммирования на выходе сумматора 32 формируется значение  $3\bar{X}$ , которое подается на первые входы схемы И18. Кроме этого с выходов сумматора 32 код  $3\bar{X}$  подается на входы инвертора НЕ34. На выходе инвертора формируется прямой код утроенного делителя  $3X$ , который подается на вторые входы схемы сравнения 35. С прямых выходов регистра 31 значение  $X$  подается на первые входы схемы сравнения 37. Сдвинутое значение  $X$  влево на один разряд  $-2X$  подается на вторые входы схемы сравнения 36. На первые входы схем сравнения 35, 36, 37 подается остаток, сдвинутый на два разряда влево т.е.  $4r_{i-1}$ . Таким образом, схема 35 сравнивает  $4r_{i-1}$  с  $3X$ , схема 36 сравнивает значение  $4r_{i-1}$  с  $2X$ , а схема 37 сравнивает  $4r_{i-1}$  со значением  $X$ .

Схема сравнения 37 при условии  $4r_{i-1} < X$  на правом выходе вырабатывает сигнал «1», который подается на второй вход схемы И13, разрешая передачу значения  $4r_{i-1}$  на входы регистра 29 через схемы ИЛИ 27 и 23, образуя остаток  $r_i$ , при этом разряды частного равны 00.

При соотношении  $4r_{i-1} > X$  на левом выходе схемы сравнения 37 формируется единичный сигнал 1, который поступает на вход И14, а при соотношении  $4r_{i-1} > 2X$  на правом выходе схемы 36 формируется единичный сигнал, при совпадении которых схема И14 вырабатывает сигнал «1», который подается на младший разряд сумматора 33 через схему ИЛИ 26. Одновременно этот сигнал коммутирует инверсный выход  $\bar{X}$  регистра 31 на второй вход схемы И16, при этом на правый вход сумматора 33 подается значение  $\bar{X}$  и выполняется операция  $4r_{i-1} + \bar{X} + 1$  и одновременно сигналом с выхода И14 на схемах ИЛИ 24 и 25 формируется двоичный код частного 01, который подается в младшие разряды регистра 30, а полученная разница на

входе сумматора 33 через схемы ИЛИ 27,23 подается в регистр остатка 29, образуя остаток  $r_i$ .

При соотношении  $4r_{i-1} \geq 2X$  на левом выходе схемы 36 и при соотношении  $4r_{i-1} < 3X$  на правом выходе схемы 35 формируются «1» сигналы, которые подаются на входы схемы И15. При их совпадении на выходе схемы И15 формируется единичный сигнал, который через схему ИЛИ 26 подается в младший разряд сумматора 33. Одновременно «1» с выхода И15 подается на первый вход схемы И17, на второй вход которого подается обратный код удвоенного делителя  $2\bar{X}$ , который сигналом с выхода И15 коммутируется через схему ИЛИ 28 с правыми входами сумматора 33.

При этом выполняется операция  $4r_{i-1} + 2\bar{X} + 1$  и на выходе сумматора 33 формируется разница, которая передается в регистр остатка. Сигналом 1 с выхода И15 на схемах ИЛИ 24 и 25 формируются двоичные биты 10.

При соотношении  $4r_{i-1} \geq 3x$  на левом выходе схемы 35 формируется сигнал 1, который подается в младший разряд сумматора 33 и коммутирует значение  $3\bar{X}$  на левые входы сумматора 33. Операция выполняется  $4r_{i-1} + 3\bar{X} + 1$  в дополнительном коде. По единичному сигналу с выхода схемы 35 схемами ИЛИ 24 и 25 формируется пара бит 11, которые подаются в младшие разряды регистра 30.

В табл. 1 приведены виды выполняемых операции и значения пары цифр частного при различных соотношениях  $4r_{i-1}$  и  $3X, 2X$  и  $X$ .

Табл.1 Выполняемые операции и значение пары цифр частного при различных соотношениях  $4r_{i-1}$  и  $3X, 2X$  и  $X$ .

соотношения $4r_{i-1}$	и	Выполняемые операции	Значения пары цифр частного
$3X, 2X$ и $X$			
$4r_{i-1} < X$	-		00

$X \leq 4r_{i-1} < 2X$	$4r_{i-1} + \bar{X} + 1$	01
$2X \leq 4r_{i-1} < 3X$	$4r_{i-1} + 2\bar{X} + 1$	10
$3X \leq 4r_{i-1}$	$4r_{i-1} + 3\bar{X} + 1$	11

Устройство деления работает следующим образом

Работа устройства начинается с подачей сигнала ПУСК который подается на вход 3. При этом  $2n$  разрядное делимое  $A$  через вход 1 схемой И8 принимается в регистры 29 и 30. Эти регистры между собой соединены последовательно. Таким образом, сдвигая регистр 30 на два разряда влево автоматически сдвигаем регистр 29 так же на два разряда влево (в сторону старшего разряда).

Сигналом ПУСК делитель  $X$  принимается схемой И9 в регистр 31. Этим сигналом двоичный код числа сдвигов  $K$ , необходимых для выполнения операции посредством схемой И11 записывается в вычитающий счетчик 39. Сигнал пуск, задерживаясь на линии задержки 21 и поступает на единичный вход триггера 38 и переводит его в единичное состояние. Величина задержки на 21 определяется временем записи множимого в регистра 29, делителя в регистр 31 и временем приема  $K$  в счетчик 39.

После перехода триггера 38 в единичное состояние схема И10 пропускает первый тактовый импульс, который поступает со входа 4. Первый ТИ подается на сдвигающий вход регистра 30 и сдвигает содержимые регистров 29 и 30 на два разряда влево. При этом на выходах регистра 29 формируется код  $4r_{i-1}$ , который подается на первые входы схемы И12. Первый ТИ с выхода И10 так же подается на вход счетчика 39, уменьшая его содержимое на единицу одновременно ТИ1 с задержкой на линии задержки 32 подается на второй вход схемы И12. Значение  $4r_{i-1}$  с выхода И12 подается на левые входы сумматора 33 и на правые входы схем сравнений 35,36,37. В

зависимости от соотношения  $4r_{i-1}$ , с  $3X$ ,  $2X$  и  $X$  на сумматоре 33 выполняется одна из операций  $4r_{i-1} + 3\bar{X} + 1$ ,  $4r_{i-1} + 2\bar{X} + 1$ ,  $4r_{i-1} + \bar{X} + 1$ , полученный остаток на выходе сумматора 33 через схем ИЛИ 27 и 23 записывается в регистр 23. Схемами ИЛИ 24 и 25 формируется пара разрядов частного, которая принимается в младшие разряды регистра 30.

К этому времени второй тактовый сигнал ТИ2 со входа 4, проходя через схему И10 сдвигает регистры 29 и 30 на два разряда влево и в регистре 29 формируется следующего остаток, в сдвинутый на два разряда влево  $4r_{i-1}$ , который подается на первые входы сумматора 33 и на входы схемы И12 задержанным сигналом ТИ2. Значение  $4r_i$  с выхода И12 подается на первые входы сумматора 33 и на входы схем сравнения 35, 36, 37 и в зависимости от соотношений  $4r_{i-1}$  с  $3X$ ,  $2X$  и  $X$  на выходе сумматора 33 формируется очередной остаток и следующая пара разрядов частного.

Процесс формирования остатков и пара разрядов частного продолжается до тех пор, пока в счетчике 39 не установится код «0». При этом счетчик 39 вырабатывает сигнал «Конец операции». Сигналом «Конец операции» триггер 38 установится в «0», что запрещает передачу на выход схемы И10 следующего тактового сигнала. Задержанный сигнал «Конец операции» на линии задержки 39 разрешает выдачу на выход схемы остатка с выходов регистра 29 посредством схемы И19 и разряды частного от деления с выходов регистра 30 посредством схемы И20.

Рассмотрим пример на деление числа со сдвигом на два разряда влево в каждом шаге деления. Пусть делимое  $A = 521_{10} = 1000001001_2$ , делитель  $X = 23_{10} = 10111_2$ ,  $2X = 46_{10}$  и  $3X = 69_{10}$ .

Для наглядности все вычисления производим в десятичной системе счисления

Из  $A = 1000001001_2$  видно, что  $r_0 =$  составляет,  $1\ 000_2 = 8_{10}$

1 шаг:  $r_0$  сдвигаем на 2 раз влево тогда,  $4 r_0 = 32_{10}$  и поскольку  $4 r_0 < 2X$  т.е.  $32 < 46$  и  $4 r_0 \geq 2X$  т.е.  $32 > 23$ ,

при этом  $r_1 = 4 r_0 - X = 32 - 23 = 9$ .

В регистр частного записывается двоичный код  $01_2$ .

2 шаг: остаток  $r_1$  сдвигаем на 2 разряда влево. При этом учитываем следующие два младших разряда ( $10_2 = 2_{10}$ ) числа  $A$

Тогда  $4 r_1 = 4 \cdot 9 + 2 = 38_{10}$ .

Сравнивая  $4 r_1 = 38_{10}$  со значениями  $3X = 69_{10}$ ,  $2X = 46_{10}$  и  $X = 23_{10}$ ,

установим, что  $4 r_1 < 2X$  т.е.  $38_{10} < 46_{10}$  и  $4 r_1 \geq X$ , т.е.  $38_{10} \geq 23_{10}$

При этом  $r_2 = 4 r_1 - X = 38_{10} - 23_{10} = 15_{10}$

В регистр частного записываем код  $01$ .

3 шаг: остаток  $r_2$  сдвигаем на 2 разряда влево, при этом учитываем следующие два младших разряда ( $01_2 = 1_{10}$ ) числа  $A$ ,

тогда  $4 r_2 = 4 \cdot 15_{10} + 1 = 61_{10}$ . Сравнением  $61_{10}$  с числами  $69_{10}$ ,  $46_{10}$  и  $23_{10}$  установим, что  $4 r_2 < 3X$  т.е.  $61_{10} < 69_{10}$  и  $4 r_2 \geq 2X$  т.е.  $61_{10} \geq 46_{10}$

при этом  $r_3 = 4 r_2 - 2X = 61_{10} - 46_{10} = 15_{10}$ .

В регистр частного записываем двоичный код  $10$ ,

тогда двоичный код частного  $Q = 010110_2 = 22_{10}$ , остаток  $R = 1111_2 = 15_{10}$

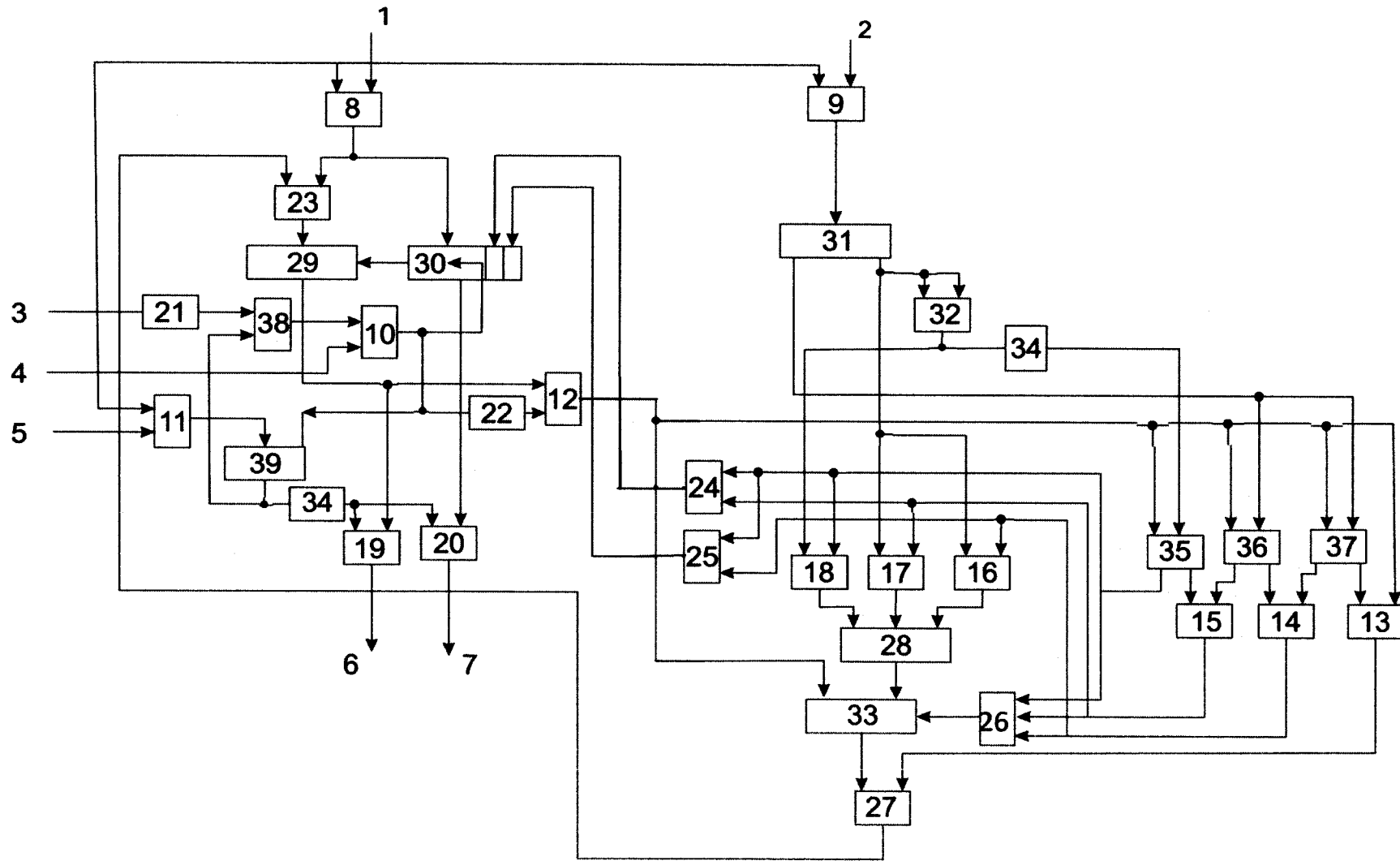
Проверка:  $A = (Q \cdot X) + R = (22 \cdot 23) + 15 = 512_{10}$ .



## Формула изобретения

Делительное устройство, содержащее сумматоры, отличающееся тем, что в его состав вместо двух сумматоров введены три схемы сравнения, где на входы первого сумматора подается код предыдущего остатка, сдвинутое на два разряда в сторону старших ( $4r_{i-1}$ ), на вторые входы этого сумматора подается инверсный код делителя ( $\bar{X}$ ), либо инверсный код делителя со сдвигом на один разряд в сторону старших ( $2\bar{X}$ ), либо инверсный код утроенного значения делителя ( $3\bar{X}$ ) с выходов второго сумматора, причем коммутация этих кодов к входам первого сумматора управляются сигналами, которые формируются в зависимости от соотношении величины входного кода ( $4r_{i-1}$ ), поданного на первые входы всех трех схем сравнения и величинами утроенного ( $3\bar{X}$ ), удвоенного ( $2\bar{X}$ ) и одинарного ( $X$ ) значений делителя; если при этом  $(4r_{i-1}) < X$ , то в качестве следующего остатка принимается  $r_i = 4r_{i-1}$  и формируется пара разрядов частного 00; если одновременно выполняются условия  $(4r_{i-1}) < P$  и  $4r_{i-1} \geq P$ , то на входы первого сумматора подается инверсный код делителя ( $\bar{X}$ ) и одновременно на вход младшего разряда сумматора подается уровень +1, что приводит к выполнению операций  $R = 4r_{i-1} + \bar{X} + 1$ , при этом формируется пара разрядов 01; если одновременно выполняются условия  $4r_{i-1} \geq 2X$  и  $4r_{i-1} < 3X$ , то на входы этого сумматора подается инверсный код делителя со сдвигом на один разряд влево ( $2\bar{X}$ ) и на младший разряд сумматора подается уровень +1, что приводит к выполнению операций  $R = 4r_{i-1} + 2\bar{X} + 1$  и формированию пары разрядов частного 10; если выполняется соотношение  $4r_{i-1} \geq 3X$  то на входы первого сумматора подается инверсный код модуля ( $3\bar{X}$ ), что приводит к выполнению операций  $r_i = 4r_{i-1} + 3\bar{X} + 1$  и формированию пары разрядов частного 11; Значения  $r_i$  в каждом шаге деления принимаются в регистр остатка, а значения пары разрядов частного записываются в регистр частного.

# УСТРОЙСТВО БЫСТРОГО ДЕЛЕНИЯ



Фигура 1