

(19)



**Евразийское
патентное
ведомство**

(11) **034004**(13) **B1**(12) **ОПИСАНИЕ ИЗОБРЕТЕНИЯ К ЕВРАЗИЙСКОМУ ПАТЕНТУ**

(45) Дата публикации и выдачи патента
2019.12.18

(51) Int. Cl. **G09G 3/36 (2006.01)**

(21) Номер заявки
201791517

(22) Дата подачи заявки
2015.01.13

(54) **СХЕМА GOA ДВУНАПРАВЛЕННОЙ РАЗВЕРТКИ**(31) **201410841923.X**(32) **2014.12.30**(33) **CN**(43) **2017.11.30**(86) **PCT/CN2015/070642**(87) **WO 2016/106847 2016.07.07**

(71)(73) Заявитель и патентовладелец:
**ШЭНЬЧЖЭНЬ ЧАЙНА
СТАР ОПТОЭЛЕКТРОНИКС
ТЕКНОЛОДЖИ КО., ЛТД. (CN)**

(72) Изобретатель:
Сяо Цзюньчэн (CN)

(74) Представитель:
Носырева Е.Л. (RU)

(56) CN-A-103928008
CN-A-102956186
US-A1-2014072093
CN-A-101625495
US-A1-2012300894
CN-A-103928009
CN-A-103928007

(57) В изобретении раскрыта схема GOA для использования в применениях в LCD. Эта схема GOA содержит несколько каскадных блоков GOA, каждый из которых содержит схему управления повышением напряжения, схему повышения напряжения, схему понижения напряжения, схему блокировки понижения напряжения, схему сброса и конденсатор в цепи компенсационной обратной связи, и характеризуется тем, что направления развертки индикаторной панели LCD управляются путем введения в схему управления повышением напряжения сигнала управления разверткой в прямом направлении и сигнала развертки в обратном направлении для определения выходных стробирующих сигналов блока GOA в последовательности ступеней сверху вниз или в последовательности ступеней снизу вверх. Кроме того, изобретение обеспечивает то, что схема блокировки понижения напряжения имеет надлежащие электрические потенциалы во время действия или бездействия за счет зависимости от двух точек P(N) и K(N) схемы блокировки понижения напряжения и за счет новой схемы трехсегментного деления напряжения, и, таким образом, электрические потенциалы ключевого узла Q(N) и выходного стробирующего сигнала G(N) могут эффективно поддерживаться с низкими электрическими потенциалами.

034004 B1

034004 B1

Предпосылки изобретения

Область техники, к которой относится изобретение

Настоящее изобретение относится к технологии жидкокристаллических дисплеев (LCD) и, в частности, к схеме GOA (вентиль-формирователь на матрице) для применений в LCD и устройствах LCD.

Описание предшествующего уровня техники

В последние годы в процессе изготовления индикаторных панелей LCD начали применять технологию GOA, и она заменила первоначальный технологический процесс, в котором в качестве средств реализации задающей функции для горизонтальной развертки индикаторных панелей LCD путем образования схем формирователей по периметру области отображения на подложке первоначально использовали внешние интегральные схемы (IC). Технология GOA способна уменьшить количество внешних схем IC и процедур компоновки, и, таким образом, себестоимость дисплеев с плоским экраном может быть уменьшена. В то же время, может быть осуществлена панель с узкой рамкой, обладающая такими признаками, как легкость, тонкость и симметричный вид, и более компактный дисплейный модуль является преимуществом по причине возможности упрощения конструкции схем управления стоком, повышенной разрешающей способности индикаторной панели и применения в гибких индикаторных панелях.

Существующие схемы GOA, как правило, содержат несколько каскадных блоков GOA, и каждый блок GOA соответствует управлению одноступенчатой строкой горизонтальной развертки. Блок GOA содержит схему повышения напряжения, схему управления повышением напряжения, передающую схему, схему блокировки понижения напряжения и конденсатор в цепи компенсационной обратной связи. Схема повышения напряжения отвечает главным образом за вывод стробирующего сигнала (строб-импульс), используемого для управления схемой GOA путем ввода последовательности тактовых импульсов (тактовый импульс), и использование схемы управления для управления согласованием во времени приведения в действие схемы повышения напряжения. Схема управления повышением напряжения обычно соединена с передаточным сигналом или стробирующим сигналом, получаемым из предшествующего блока GOA. Схема понижения напряжения отвечает за то, чтобы понижение напряжения стробирующего сигнала в первом сегменте согласования во времени было выполнено с низким электрическим потенциалом, то есть чтобы стробирующий сигнал был выключен. Схема блокировки понижения напряжения отвечает за то, чтобы стробирующий выходной сигнал и точка стробирующего сигнала (обычно называемая "Q-точкой") схемы повышения напряжения поддерживались при отрицательном электрическом потенциале. Более того, для того чтобы вторичное повышение напряжения Q-точки способствовало стробирующему выходному сигналу схемы повышения напряжения, используется конденсатор в цепи компенсационной обратной связи.

И хотя существующие схемы GOA приобрели конструкцию трехсегментного деления напряжения в схеме блокировки понижения напряжения, проблемы устойчивости схем GOA, в особенности вызываемые устойчивостью компонентов схемы, по-прежнему представляют собой значительную проблему в устройствах отображения. С другой стороны, имеются разнообразные потребности в средствах развертки устройства отображения.

Сущность изобретения

Целью настоящего изобретения является создание схемы GOA для использования в применениях в LCD с функцией двунаправленной развертки, и эта схема GOA содержит несколько каскадных блоков GOA, при этом каждый блок GOA содержит схему управления повышением напряжения, схему повышения напряжения, схему понижения напряжения, схему блокировки понижения давления, схему сброса и конденсатор в цепи компенсационной обратной связи. За счет действия схемы управления повышением напряжения в блоке GOA схемы GOA для использования в применениях в LCD с функцией двунаправленной развертки можно осуществить таким образом, что выходной сигнал схем GOA в обратном направлении может быть активирован для приведения в действие схемы GOA даже при сбое выходного сигнала схемы GOA в прямом направлении.

В настоящем изобретении представлены сигнал управления разверткой в прямом направлении и сигнал управления разверткой в обратном направлении и использование их уровня постоянной составляющей для зарядки ключевого узла Q, и эти два сигнала управления разверткой равны двум сигналам, противоположным в рамке. Таким образом, можно избежать влияния на эффективность зарядки ключевого узла Q, вызываемого задержкой в результате каскадной доставки сигнала.

Согласно первому аспекту настоящего изобретения схема GOA двунаправленной развертки для использования в устройстве LCD содержит несколько каскадных блоков GOA, каждый из которых генерирует один или более сигналов развертки, выводимых в устройство LCD, при этом блок GOA содержит

схему управления повышением напряжения, содержащую порт ввода сигнала управления разверткой в прямом направлении, выполненный с возможностью ввода сигнала управления разверткой, который управляет схемой вывода ступеней в последовательности сверху вниз, порт ввода сигнала управления разверткой в обратном направлении, выполненный с возможностью ввода сигнала управления разверткой, который управляет схемой вывода ступеней в последовательности снизу вверх, множество портов ввода стробирующих сигналов, выполненных с возможностью приема стробирующего сигнала блока GOA предшествующей ступени и стробирующего сигнала блока GOA следующей ступени, и порт выво-

да, выполненный с возможностью вывода сигнала управления повышением напряжения;

схему повышения напряжения, содержащую порт ввода, соединенный с ключевым узлом $Q(N)$ и выполненный с возможностью приема сигнала управления повышением напряжения, порт ввода синхросигнала, выполненный с возможностью приема множества синхросигналов, и порт вывода стробирующего сигнала блока GOA текущей ступени, при этом сигнал управления повышением напряжения формируется в соответствии с сигналами управления разверткой схемы управления повышением напряжения, и стробирующий сигнал передается либо из блока GOA предшествующей ступени, либо из блока GOA следующей ступени, при развертке в прямом направлении схема повышения напряжения активируется для зарядки ключевого узла $Q(N)$, если стробирующий сигнал, переданный из блока GOA предшествующей ступени, сконфигурирован с высоким электрическим потенциалом, а при развертке в обратном направлении схема повышения напряжения активируется для зарядки ключевого узла $Q(N)$, когда стробирующий сигнал блока GOA следующей ступени сконфигурирован с высоким электрическим потенциалом;

цепь компенсационной обратной связи, содержащую конденсатор в цепи компенсационной обратной связи, выполненный с возможностью вторичного повышения напряжения ключевого узла $Q(N)$;

схему понижения напряжения, содержащую порт ввода стробирующего сигнала, выполненный с возможностью приема стробирующего сигнала, переданного из блока GOA следующей ступени, порт ввода низкого напряжения, выполненный с возможностью ввода низкого напряжения постоянного тока, и порт вывода, соединенный с ключевым узлом $Q(N)$ и разряжающий ключевой узел $Q(N)$, когда порт ввода стробирующего сигнала принимает стробирующий сигнал, переданный из блока GOA следующей ступени;

схему блокировки понижения напряжения, содержащую множество портов ввода первых синхросигналов, выполненных с возможностью ввода первых синхросигналов, множество портов ввода вторых синхросигналов, выполненных с возможностью ввода вторых синхросигналов, и множество точек соединения, выполненных с возможностью соединения ключевого узла $Q(N)$ с портом вывода сигнала блока GOA для поддержания электрического потенциала ключевого узла $Q(N)$ и выходного сигнала блока GOA с низкими электрическими потенциалами под управлением первого синхросигнала и второго синхросигнала до тех пор, пока ключевой узел $Q(N)$ не будет заряжен в следующий раз, при этом порт вывода сигнала блока GOA соединен с соответствующей затворной шиной; и схему сброса, выполненную с возможностью возврата электрического потенциала ключевого узла $Q(N)$ в исходное состояние с нулевым значением.

Согласно второму аспекту настоящего изобретения схема GOA для использования в устройстве LCD содержит несколько каскадных блоков GOA, каждый из которых генерирует один или более сигналов развертки, выводимых в устройство LCD, при этом каждый блок GOA содержит

схему управления повышением напряжения, содержащую первый транзистор и второй транзистор, соединенные последовательно, при этом сток первого транзистора и исток второго транзистора соответственно соединены для введения сигнала управления разверткой, который управляет схемой для вывода ступеней в последовательности сверху вниз, а также сигнала управления разверткой, который управляет схемой для вывода ступеней в последовательности снизу вверх, а затвор первого транзистора и затвор второго транзистора соединены соответственно для приема стробирующего сигнала блока GOA предшествующей ступени и стробирующего сигнала блока GOA следующей ступени;

схему повышения напряжения, содержащую сток, который принимает множество синхросигналов, и точку стробирующего сигнала, представляющую собой ключевой узел $Q(N)$ и соединенную с истоком первого транзистора и стоком второго транзистора для зарядки напряжением ключевого узла $Q(N)$ и управления согласованием во времени приведения в действие схемы повышения напряжения для вывода стробирующего сигнала блока GOA ступени N в соответствии с сигналами управления разверткой и принятым стробирующим сигналом блока GOA предшествующей ступени или блока GOA следующей ступени, при этом стробирующий сигнал блока GOA ступени N соответствует строке горизонтальной развертки блока GOA ступени N ;

конденсатор в цепи компенсационной обратной связи, выполненный с возможностью вторичного повышения напряжения ключевого узла $Q(N)$;

схему понижения напряжения, содержащую сток и исток, соединенные соответственно с ключевым узлом $Q(N)$ и вводом низкого напряжения постоянного тока, и затвор, соединенный для приема выходного сигнала блока GOA следующей ступени для разрядки ключевого узла $Q(N)$;

схему блокировки понижения напряжения, содержащую третий транзистор и четвертый транзистор для ввода первого синхросигнала, а также пятый транзистор и шестой транзистор для ввода второго синхросигнала, при этом первый синхросигнал и второй синхросигнал являются обратными относительно друг друга, и ключевой узел $Q(N)$ и стробирующий выходной сигнал поддерживаются с низкими электрическими потенциалами под управлением первого синхросигнала и второго синхросигнала до тех пор, пока ключевой узел $Q(N)$ не будет заряжен в следующий раз; и схему сброса, выполненную с возможностью возврата электрического потенциала ключевого узла $Q(N)$ в исходное состояние с нулевым значением.

Согласно третьему аспекту настоящего изобретения настоящее изобретение также предусматривает устройство отображения LCD, содержащее схему GOA с функцией двунаправленной развертки.

Преимущество настоящего изобретения заключается не только в создании схемы GOA с функцией двунаправленной развертки для осуществления разнообразных средств развертки для применений в LCD, но также в обеспечении схемы блокировки понижения напряжения предусматриваемого блока GOA наличием соответствующих электрических потенциалов во время действия или бездействия с целью эффективного поддерживания ключевого узла $Q(N)$ и выходного стробирующего сигнала $G(N)$ с низкими электрическими потенциалами за счет добавления транзисторов в схему блокировки понижения напряжения с целью достижения оптимизации и устойчивости схемы GOA.

Эти и другие различные признаки, а также преимущества, характеризующие представленное в настоящем документе изобретение, станут очевидны при прочтении нижеследующего подробного описания и описания связанных графических материалов.

Краткое описание графических материалов

На фиг. 1 представлена принципиальная электрическая схема блока GOA согласно первому варианту осуществления настоящего изобретения.

На фиг. 2 представлена принципиальная электрическая схема блока GOA согласно второму варианту осуществления настоящего изобретения.

На фиг. 3 представлена принципиальная электрическая схема блока GOA согласно третьему варианту осуществления настоящего изобретения.

На фиг. 4 представлена принципиальная электрическая схема блока GOA согласно одному примеру четвертого варианта осуществления настоящего изобретения.

На фиг. 5 представлена принципиальная электрическая схема блока GOA согласно другому примеру четвертого варианта осуществления настоящего изобретения.

На фиг. 6 представлена схема согласования во времени схем GOA, действующих в режиме развертки в прямом направлении и связанных с другим примером четвертого варианта осуществления настоящего изобретения.

На фиг. 7 представлена схема согласования во времени схем GOA, действующих в режиме развертки в обратном направлении и связанных с другим примером четвертого варианта осуществления настоящего изобретения.

Подробное описание изобретения

Предпочтительные варианты осуществления настоящего изобретения будут подробно описаны ниже в комбинации с сопроводительными графическими материалами. Графические материалы вычерчены схематически и не ограничивают их объем правовой защиты, и повсюду на графических материалах совпадающие ссылочные позиции используются для указания совпадающих или аналогичных компонентов. Термины, относящиеся к пространственному положению, такие как "над", "под", "верхний", "нижний", "левый", "правый", "внутренний", "наружный" и т.п., могут использоваться в настоящем документе для простоты описания, с целью описания проиллюстрированной на чертежах взаимосвязи одного элемента с другим элементом (элементами), а не ее ограничения.

Со ссылкой на фиг. 1 проиллюстрирован блок GOA для использования в применениях в LCD согласно первому варианту осуществления настоящего изобретения. Схемы GOA содержат несколько каскадных блоков GOA, и блок GOA ступени N содержит схему 100 управления повышением напряжения, схему 200 повышения напряжения, схему 400 понижения напряжения, схему 500 блокировки понижения напряжения, схему 600 сброса и конденсатор 300 (Cb) в цепи компенсационной обратной связи. Как показано на фиг. 1, схема 100 управления повышением напряжения и схема 600 сброса соединены соответственно с точкой $Q(N)$ стробирующего сигнала схемы 200 повышения напряжения. Схема 400 понижения напряжения, схема 500 блокировки понижения напряжения и конденсатор (Cb) в цепи компенсационной обратной связи соединены соответственно с точкой $Q(N)$ стробирующего сигнала схемы 200 повышения напряжения и строкой горизонтальной развертки блока $G(N)$ GOA ступени N. Затвор транзистора T1 схемы 100 управления повышением напряжения соединен с выходным сигналом блока GOA ступени (N-1), т.е. $G(N-1)$, а исток транзистора T1 схемы 100 управления повышением напряжения соединен с точкой $Q(N)$ стробирующего сигнала схемы 200 повышения напряжения. Сигнал UD управления разверткой в прямом направлении вводится в сток транзистора T1 схемы 100 управления повышением напряжения. Затвор другого транзистора T0 схемы 100 управления повышением напряжения соединен с выходным сигналом блока GOA ступени (N+1), т.е. $G(N+1)$, а сток транзистора T0 схемы 100 управления повышением напряжения соединен с точкой $Q(N)$ стробирующего сигнала. Сигнал DU развертки в обратном направлении вводится в исток транзистора T0 схемы 100 управления повышением напряжения. Как показано на фиг. 1, сток и исток транзистора T2 схемы 200 повышения напряжения соединены соответственно с синхросигналом CKN и строкой горизонтальной развертки блока GOA ступени N. Затвор транзистора T3 схемы 400 понижения напряжения соединен с выходным сигналом блока GOA ступени (N+1), а сток и исток транзистора T3 соединены соответственно с точкой $Q(N)$ стробирующего сигнала схемы 200 повышения напряжения, т.е. с ключевым узлом $Q(N)$, и вводом низкого напряжения постоянного тока, например Vss. Таким образом, эта схема специально рассчитана на требова-

ния коэффициента заполнения синхросигнала, например CKN, который предпочтительно составляет менее 50%, для того чтобы заряжать ключевой узел Q(N) через несколько сегментов согласования во времени и позволять ключевому узлу Q(N) немедленно разряжаться. Следовательно, электрический потенциал ключевого узла Q(N) можно поддерживать с надлежащим электрическим потенциалом независимо от того, находится схема 500 блокировки понижения напряжения в действии или в бездействии. Схема 500 блокировки понижения напряжения содержит транзисторы (T5, T19) для действия с первым синхросигналом CKN и вторым синхросигналом XCKN, и второй синхросигнал XCKN представляет собой сигнал, противоположный первому синхросигналу CKN. Под управлением первого синхросигнала CKN и второго синхросигнала XCKN электрический потенциал ключевого узла Q(N) и выходного сигнала блока G(N) GOA ступени N можно поддерживать с низкими электрическими потенциалами до тех пор, пока ключевой узел Q(N) не будет заряжен в следующий раз.

При действии в режиме развертки в прямом направлении сигнал UD управления разверткой в прямом направлении конфигурируется с высоким электрическим потенциалом, тогда как сигнал DU развертки в обратном направлении для введения в схему управления повышением напряжения конфигурируется с низкими электрическими потенциалами. Если выходной сигнал блока GOA предшествующей ступени имеет высокий электрический потенциал и доставляется в блок GOA текущей ступени, то схема 200 повышения напряжения активируется так, что ключевой узел Q(N) заряжается для вывода стробирующего сигнала блока G(N) текущей ступени с высоким электрическим потенциалом. При приведении в действие в режиме развертки в обратном направлении сигнал UD управления разверткой в прямом направлении конфигурируется с низким электрическим потенциалом, тогда как сигнал DU развертки в обратном направлении конфигурируется с высоким электрическим потенциалом. Если выходной сигнал блока GOA следующей ступени имеет высокий электрический потенциал и доставляется в блок GOA текущей ступени, то схема 200 повышения напряжения активируется так, что ключевой узел Q(N) заряжается для вывода стробирующего сигнала блока G(N) GOA текущей ступени с высоким электрическим потенциалом.

Как показано на фиг. 1, схема 500 блокировки понижения напряжения содержит: первый транзистор T15, в котором затвор соединен с первой точкой P(N) схемы, а исток и сток соединены соответственно со строкой горизонтальной развертки блока GOA ступени N и вводом Vss низкого напряжения постоянного тока; второй транзистор T16, в котором затвор соединен с первой точкой P(N) схемы, а исток и сток соединены соответственно с точкой Q(N) стробирующего сигнала схемы 200 повышения напряжения и вводом Vss низкого напряжения постоянного тока; третий транзистор T17, в котором затвор соединен с точкой Q(N) стробирующего сигнала схемы 200 повышения напряжения, а исток и сток соединены соответственно со второй точкой K(N) схемы и первой точкой P(N) схемы; четвертый транзистор T18, в котором затвор соединен со вторым синхросигналом XCKN, а исток и сток соединены соответственно с первым синхросигналом CKN и первой точкой P(N) схемы; пятый транзистор T19, в котором затвор соединен с первым синхросигналом CKN, а исток и сток соединены соответственно со вторым синхросигналом XCKN и второй точкой K(N) схемы; шестой транзистор T5, в котором затвор соединен с первой точкой P(N) схемы, а исток и сток соединены с первым синхросигналом CKN; седьмой транзистор T6, в котором затвор соединен с первой точкой P(N) схемы, а исток и сток соединены соответственно с первым синхросигналом CKN и первой точкой P(N) схемы; восьмой транзистор T9, в котором затвор соединен со второй точкой K(N) схемы, а исток и сток соединены со вторым синхросигналом XCKN; девятый транзистор T10, в котором затвор соединен со второй точкой K(N) схемы, а исток и сток соединены соответственно со вторым синхросигналом XCKN и второй точкой K(N) схемы; десятый транзистор T13, в котором затвор соединен со второй точкой K(N) схемы, а исток и сток соединены соответственно с точкой Q(N) стробирующего сигнала схемы 200 повышения напряжения и вводом Vss низкого напряжения постоянного тока; одиннадцатый транзистор T14, в котором затвор соединен со второй точкой K(N) схемы, а исток и сток соединены соответственно со строкой горизонтальной развертки блока GOA ступени N и вводом Vss низкого напряжения постоянного тока; двенадцатый транзистор T11 и тринадцатый транзистор T7 соединены последовательно, при этом в двенадцатом транзисторе T11 затвор соединен с первой точкой P(N) схемы, а исток и сток соединены соответственно с первой точкой P(N) схемы и стоком тринадцатого транзистора T7; тринадцатый транзистор T7, в котором затвор соединен с ключевым узлом Q(N), а исток и сток соединены соответственно с первой точкой P(N) схемы и вводом Vss низкого напряжения постоянного тока; четырнадцатый транзистор T12 и пятнадцатый транзистор T8 соединены последовательно, при этом в четырнадцатом транзисторе T12 затвор соединен со второй точкой K(N) схемы, а исток и сток соединены соответственно со второй точкой K(N) схемы и стоком пятнадцатого транзистора T8; и пятнадцатый транзистор T8, в котором затвор соединен с точкой Q(N) стробирующего сигнала схемы 200 повышения напряжения, а исток и сток соединены соответственно со второй точкой K(N) схемы и вводом Vss низкого напряжения постоянного тока.

Схема деления напряжения схемы 500 блокировки понижения напряжения представляет собой новую конструкцию. В частности, тринадцатый транзистор T7 и пятнадцатый транзистор T8 позволяют электрическим потенциалам P(N) и K(N) быть ниже, чем ввод Vss низкого напряжения постоянного тока во время действия, и, таким образом, можно эффективно предотвратить одновременную утечку электри-

ческих потенциалов ключевого узла $Q(N)$ и выходного сигнала блока $G(N)$ GOA ступени N , тринадцатый транзистор $T7$ и пятнадцатый транзистор $T8$ позволяют обеспечить электрические потенциалы $P(N)$ и $K(N)$ соответствующими высокими электрическими потенциалами во время бездействия, и, таким образом, электрические потенциалы ключевого узла $Q(N)$ и выходного сигнала блока $G(N)$ GOA ступени N во время бездействия могут поддерживаться с низкими электрическими потенциалами. Как результат, схемы GOA могут быть выведены нормально. Альтернативным образом, электрические потенциалы $P(N)$ и $K(N)$ заряжаются наряду с изменением электрических потенциалов первого синхросигнала CKN и второго синхросигнала $XCKN$.

Как показано на фиг. 1, транзистор $T4$ схемы 600 сброса выполнен с назначением возврата электрического потенциала ключевого узла $Q(N)$ в исходное состояние с нулевым значением, чтобы предотвратить нарушение работоспособности системы по причине накопления заряда во время долговременного действия. Помимо этого, на выходной сигнал блока GOA ступени N также оказывает влияние накопление заряда из-за долговременного действия, что в результате приводит к серьезным неравномерностям неопределенности, и операция сброса электрических потенциалов электрических потенциалов ключевого узла $Q(N)$, выполняемая схемой 600 сброса может уменьшать вероятность возникновения такой ситуации.

Со ссылкой на фиг. 2 проиллюстрирован блок GOA согласно второму варианту осуществления настоящего изобретения. Второй вариант осуществления настоящего изобретения представляет собой блок GOA на основе первого варианта осуществления настоящего изобретения, показанного на фиг. 1, а модификация этого блока GOA сосредоточена на схеме 500 блокировки понижения напряжения. Для зарядки электрических потенциалов ключевого узла $Q(N)$ в первом сегменте согласования во времени, когда электрические потенциалы $P(N)$ и $K(N)$ понижены, добавлены транзистор $T20$ и транзистор $T21$. Таким образом, можно эффективно снизить риск нарушения работоспособности схемы блокировки понижения напряжения.

Со ссылкой на фиг. 3 проиллюстрирован блок GOA согласно третьему варианту осуществления настоящего изобретения. Третий вариант осуществления настоящего изобретения представляет собой модифицированный пример блока GOA согласно второму варианту осуществления настоящего изобретения, показанному на фиг. 2, и в нем одноступенчатая схема двунаправленной развертки преобразована в двухступенчатую схему двунаправленной развертки. Соответственно схема GOA, показанная на фиг. 3, содержит двухступенчатые схемы 200 и 210 повышения напряжения, двухступенчатые схемы 400 и 410 понижения напряжения и двухступенчатые конденсаторы 300 и 310 ($Cb1$ и $Cb2$) в цепях компенсационной обратной связи, а также ключевые узлы, т.е. $Q(N)$ и $Q(N+1)$, для оптимизации рабочих характеристик схемы GOA.

Со ссылкой на фиг. 4 проиллюстрирован блок GOA согласно одному примеру четвертого варианта осуществления настоящего изобретения. В данном примере блок GOA основан на третьем варианте осуществления настоящего изобретения, показанном на фиг. 3, а модификации этого блока GOA сосредоточены на схеме 500 блокировки понижения напряжения. Для обеспечения независимости схемы 500 блокировки понижения напряжения во время операции вывода и для повышения общей устойчивости схемы GOA, добавлены транзистор $T26$ и транзистор $T27$, то есть схемы 700 и 710, показанные на фиг. 7.

Со ссылкой на фиг. 5 проиллюстрирован блок GOA согласно другому примеру четвертого варианта осуществления настоящего изобретения. В данном примере блок GOA основан на четвертом варианте осуществления настоящего изобретения, показанном на фиг. 4, и в нем один ввод Vss низкого напряжения постоянного тока преобразован в два отдельных ввода низкого напряжения постоянного тока, т.е. $Vss1$ и $Vss2$. Когда схема 400 понижения напряжения является ответственной за понижение напряжения стробирующего сигнала, подлежащего конфигурированию с низким электрическим потенциалом в первом сегменте согласования во времени, т.е. стробирующие сигналы выключены, оба абсолютных значения $Vss1$ и $Vss2$ являются меньшими, чем синхросигналы, т.е. CKN , $XCKN$, $LC1$ или $LC2$, по причине двух вводов низкого напряжения постоянного тока, т.е. $Vss1$ и $Vss2$, с постоянными низкими электрическими потенциалами, и, таким образом, для осуществления усовершенствованного механизма выключения стробирующих сигналов с целью обеспечения устойчивости схем GOA для долговременного действия, может быть усовершенствовано понижение напряжения электрического потенциала ключевого узла $Q(N)$.

На фиг. 6 представлена схема согласования во времени схем GOA, действующих в режиме развертки в прямом направлении и связанных с другим примером четвертого варианта осуществления настоящего изобретения. Как изображено на фиг. 6, $CK(N)$ представляет собой синхросигнал для приведения в действие схемы GOA, а формы этого импульсного синхросигнала указывают на то, что он представляет собой реализацию с коэффициентом заполнения менее 50%, для того чтобы ключевые узлы, т.е. $Q(N)$ и $Q(N+1)$, заряжались через несколько сегментов согласования во времени. Однако конструкция коэффициента заполнения импульсного синхросигнала зависит от физических потребностей схем GOA для регулировки ширины импульса, главным образом, на основе стабилизации силы тока и напряжения этих схем. Эти формы сигнала на схеме согласования во времени наблюдаются для случая схемы на транзисторах n -типа, а для случая схемы на транзисторах p -типа при таком же согласовании во времени все

положения, относящиеся к высоким и низким электрическим потенциалам, меняются местами.

На фиг. 7 представлена схема согласования во времени схем GOA, действующих в режиме развертки в обратном направлении и связанных с другим примером четвертого варианта осуществления настоящего изобретения. На этой схеме согласования во времени наблюдаются такие формы сигнала, как $G(N+2)$, $G(N+1)$, $G(N)$, и ключевые узлы, т.е. $Q(N)$ и $Q(N+1)$, и их порядки согласования во времени являются обратными порядкам, показанным на фиг. 6. Другие формы сигналов согласования во времени аналогичны формам, показанным на фиг. 6.

Подводя итог всему вышесказанному, настоящее изобретение управляет направлениями развертки индикаторной панели LCD за счет введения сигнала управления разверткой в прямом направлении и сигнала развертки в обратном направлении в схему управления повышением напряжения для определения вывода сигналов схем GOA в последовательности вниз и вверх и, таким образом, удовлетворяет разнообразным потребностям устройства отображения в средствах развертки. Кроме того, настоящее изобретение способно обеспечить то, что схема блокировки понижения напряжения имеет во время действия или бездействия надлежащие электрические потенциалы за счет зависимости от $P(N)$ и $K(N)$ двух точек схемы этой схемы блокировки понижения напряжения для регулировки, а также новую схему трехсегментного деления напряжения таким образом, что электрические потенциалы точки $Q(N)$ стробирующего сигнала схемы повышения напряжения и строки $G(N)$ горизонтальной развертки могут эффективно поддерживаться с низкими электрическими потенциалами.

И хотя настоящее изобретение было описано в связи с тем, что рассмотрено в наиболее предпочтительных вариантах осуществления, должно быть понятно, что данное изобретение не ограничивается раскрытыми вариантами осуществления. Будет очевидно, что одни и те же элементы могут варьироваться множеством способов, как показано на фиг. 1. Эти изменения не следует считать отступлением от сущности и объема изобретения, и все такие модификации, как должно быть очевидно специалистам в данной области техники, предназначены для включения в пределы объема нижеследующей формулы изобретения.

ФОРМУЛА ИЗОБРЕТЕНИЯ

1. Схема драйвера затвора на матрице (GOA) двунаправленной развертки для устройства LCD, содержащая несколько каскадных блоков GOA, каждый из которых генерирует один или более сигналов развертки, выводимых в устройство LCD, при этом блок GOA содержит

схему управления повышением напряжения, содержащую порт ввода сигнала управления разверткой в прямом направлении, выполненный с возможностью ввода сигнала управления разверткой, который управляет схемой для вывода ступеней в последовательности сверху вниз, порт ввода сигнала управления разверткой в обратном направлении, выполненный с возможностью ввода сигнала управления разверткой, который управляет схемой для вывода ступеней в последовательности снизу вверх, множество портов ввода стробирующих сигналов, выполненных с возможностью приема стробирующего сигнала блока GOA предшествующей ступени и стробирующего сигнала блока GOA следующей ступени, и порт вывода, выполненный с возможностью вывода сигнала управления повышением напряжения;

схему повышения напряжения, содержащую порт ввода, соединенный с ключевым узлом $Q(N)$ и выполненный с возможностью приема сигнала управления повышением напряжения, порт ввода синхросигнала, выполненный с возможностью приема тактового сигнала, и порт вывода стробирующего сигнала блока GOA текущей ступени, при этом сигнал управления повышением напряжения формируется в соответствии с сигналами управления разверткой схемы управления повышением напряжения, и стробирующий сигнал передается либо из блока GOA предшествующей ступени, либо из блока GOA следующей ступени, при развертке в прямом направлении схема повышения напряжения активируется для зарядки ключевого узла $Q(N)$, если стробирующий сигнал, переданный из блока GOA предшествующей ступени, сконфигурирован с высоким электрическим потенциалом, а при развертке в обратном направлении схема повышения напряжения активируется для зарядки ключевого узла $Q(N)$, если стробирующий сигнал блока GOA следующей ступени сконфигурирован с высоким электрическим потенциалом;

цепь компенсационной обратной связи, содержащую конденсатор в цепи компенсационной обратной связи, выполненный с возможностью вторичного повышения напряжения ключевого узла $Q(N)$;

схему понижения напряжения, содержащую порт ввода стробирующего сигнала, выполненный с возможностью приема стробирующего сигнала, переданного из блока GOA следующей ступени, порт ввода низкого напряжения, выполненный с возможностью ввода низкого напряжения постоянного тока, и порт вывода, соединенный с ключевым узлом $Q(N)$ и разряжающий ключевой узел $Q(N)$, когда порт ввода стробирующего сигнала принимает стробирующий сигнал, переданный из блока GOA следующей ступени;

схему блокировки понижения напряжения, содержащую множество портов ввода первых синхросигналов, выполненных с возможностью ввода первых синхросигналов, множество портов ввода вторых синхросигналов, выполненных с возможностью ввода вторых синхросигналов, и множество точек со-

единения, выполненных с возможностью соединения ключевого узла $Q(N)$ с портом вывода сигнала блока GOA для поддержания электрического потенциала ключевого узла $Q(N)$ и выходного сигнала блока GOA с низкими электрическими потенциалами под управлением первого синхросигнала и второго синхросигнала до тех пор, пока ключевой узел $Q(N)$ не будет заряжен в следующий раз, при этом порт вывода сигнала блока GOA соединен с соответствующей затворной шиной; и

схему сброса, выполненную с возможностью возврата электрического потенциала ключевого узла $Q(N)$ в исходное состояние с нулевым значением.

2. Схема GOA для устройства LCD, содержащая несколько каскадных блоков GOA, каждый из которых генерирует один или более сигналов развертки, выводимых в устройство LCD, при этом блок GOA содержит

схему управления повышением напряжения, содержащую первый транзистор и второй транзистор, соединенные последовательно, при этом сток первого транзистора и исток второго транзистора соответственно соединены для введения сигнала управления разверткой, который управляет схемой для вывода ступеней в последовательности сверху вниз, а также сигнала управления разверткой, который управляет схемой для вывода ступеней в последовательности снизу вверх, а затвор первого транзистора и затвор второго транзистора соединены соответственно для приема стробирующего сигнала блока GOA предшествующей ступени и стробирующего сигнала блока GOA следующей ступени;

схему повышения напряжения, содержащую сток, который принимает тактовый сигнал, и ключевой узел, представляющий собой ключевой узел $Q(N)$ и соединенный с истоком первого транзистора и стоком второго транзистора для зарядки напряжением ключевого узла $Q(N)$ и управления согласованием во времени приведения в действие схемы повышения напряжения для вывода стробирующего сигнала блока GOA ступени N в соответствии с сигналами управления разверткой и принятым стробирующим сигналом блока GOA предшествующей ступени или блока GOA следующей ступени, при этом стробирующий сигнал блока GOA ступени N соответствует строке горизонтальной развертки блока GOA ступени N ;

конденсатор в цепи компенсационной обратной связи, выполненный с возможностью вторичного повышения напряжения ключевого узла $Q(N)$;

схему понижения напряжения, содержащую сток и исток, соединенные соответственно с ключевым узлом $Q(N)$ и вводом низкого напряжения постоянного тока, и затвор, соединенный для приема выходного сигнала блока GOA следующей ступени для разрядки ключевого узла $Q(N)$;

схему блокировки понижения напряжения, содержащую третий транзистор и четвертый транзистор для ввода первого синхросигнала, а также пятый транзистор и шестой транзистор для ввода второго синхросигнала, при этом первый синхросигнал и второй сигнал являются обратными относительно друг друга, ключевой узел $Q(N)$ и стробирующий выходной сигнал поддерживаются с низкими электрическими потенциалами под управлением первого синхросигнала и второго синхросигнала до тех пор, пока ключевой узел $Q(N)$ не будет заряжен в следующий раз; и

схему сброса, выполненную с возможностью возврата электрического потенциала ключевого узла $Q(N)$ в исходное состояние с нулевым значением.

3. Схема по п.2, отличающаяся тем, что схема блокировки понижения напряжения дополнительно содержит седьмой транзистор, в котором затвор соединен с первой точкой $P(N)$ схемы, а также исток и сток соединены соответственно со строкой горизонтальной развертки блока GOA ступени N и вводом V_{ss} низкого напряжения постоянного тока; восьмой транзистор, в котором затвор соединен с первой точкой $P(N)$ схемы, а исток и сток соединены соответственно с ключевым узлом $Q(N)$ схемы повышения напряжения и вводом V_{ss} низкого напряжения постоянного тока; девятый транзистор, в котором затвор соединен с ключевым узлом $Q(N)$, а исток и сток соединены соответственно со второй точкой $K(N)$ схемы и первой точкой $P(N)$ схемы; десятый транзистор, в котором затвор соединен с первой точкой $P(N)$ схемы, а исток и сток соединены соответственно с первым синхросигналом CKN и первой точкой $P(N)$ схемы; одиннадцатый транзистор, в котором затвор соединен со второй точкой $K(N)$ схемы, а исток и сток соединены соответственно со вторым синхросигналом $XCKN$ и второй точкой $K(N)$ схемы; двенадцатый транзистор, в котором затвор соединен со второй точкой $K(N)$ схемы, а исток и сток соединены соответственно с ключевым узлом $Q(N)$ и вводом низкого напряжения постоянного тока; тринадцатый транзистор, в котором затвор соединен со второй точкой $K(N)$ схемы, а исток и сток соединены соответственно со строкой горизонтальной развертки блока GOA ступени N и вводом низкого напряжения постоянного тока; четырнадцатый транзистор и пятнадцатый транзистор соединены последовательно, при этом в четырнадцатом транзисторе затвор соединен с первой точкой $P(N)$ схемы, а также исток и сток соединены соответственно с первой точкой $P(N)$ схемы и стоком пятнадцатого транзистора; пятнадцатый транзистор, в котором затвор соединен с ключевым узлом $Q(N)$, а исток и сток соединены соответственно с первой точкой $P(N)$ схемы и вводом низкого напряжения постоянного тока; шестнадцатый транзистор и семнадцатый транзистор соединены последовательно, при этом в шестнадцатом транзисторе затвор соединен со второй точкой $K(N)$ схемы, а исток и сток соединены соответственно со второй точкой $K(N)$ схемы и стоком семнадцатого транзистора; и семнадцатый транзистор, в котором затвор соединен с ключевым узлом $Q(N)$ схемы 200 повышения напряжения, а исток и сток соединены соответственно со

второй точкой $K(N)$ схемы и вводом V_{SS} низкого напряжения постоянного тока.

4. Схема по п.2, отличающаяся тем, что при приведении в действие для развертки в прямом направлении сигнал управления разверткой, выводящий сигналы в последовательности вверх, выполнен с высоким электрическим потенциалом, тогда как сигнал развертки, выводящий сигналы в последовательности вниз, выполнен с низкими электрическими потенциалами, и активируется схема повышения напряжения и ключевой узел $Q(N)$ заряжается для вывода стробирующего сигнала, т.е. $G(N)$, с высоким электрическим потенциалом, когда выходной сигнал блока GOA предшествующей ступени имеет высокий электрический потенциал и доставляется в блок GOA текущей ступени.

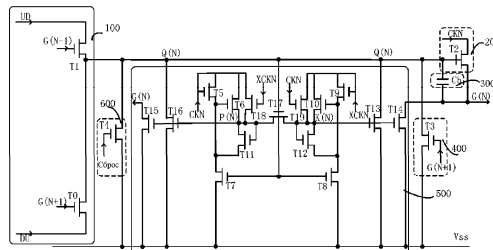
5. Схема по п.2, отличающаяся тем, что при приведении в действие для развертки в обратном направлении сигнал управления разверткой, выводящий сигналы в последовательности вниз, выполнен с высоким электрическим потенциалом, тогда как сигнал развертки, выводящий сигналы в последовательности вверх, выполнен с низкими электрическими потенциалами, активируется схема повышения напряжения и ключевой узел $Q(N)$ заряжается для вывода стробирующего сигнала, т.е. $G(N)$, с высоким электрическим потенциалом, когда выходной сигнал блока GOA следующей ступени имеет высокий электрический потенциал и доставляется в блок GOA текущей ступени.

6. Схема по п.3, отличающаяся тем, что схема блокировки понижения напряжения дополнительно содержит два транзистора, добавленные для содействия зарядке электрических потенциалов ключевого узла $Q(N)$ в первом сегменте согласования во времени, когда электрические потенциалы $P(N)$ и $K(N)$ имеют пониженное напряжение.

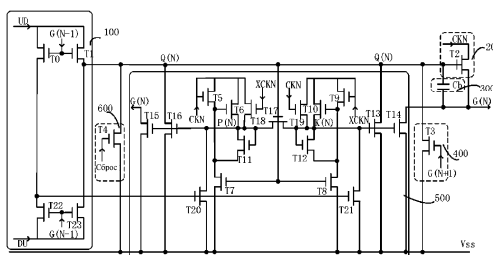
7. Схема по п.6, отличающаяся тем, что блок GOA преобразован в двухступенчатый блок GOA, содержащий схему управления повышением напряжения, схемы (200 и 210) повышения напряжения, схемы (400 и 410) понижения напряжения, схему (500) блокировки понижения напряжения, схему сброса и конденсаторы (300 и 310) в цепях компенсационной обратной связи.

8. Схема по п.7, отличающаяся тем, что один ввод низкого напряжения постоянного тока является измененным и представляет собой два отдельных ввода низкого напряжения постоянного тока.

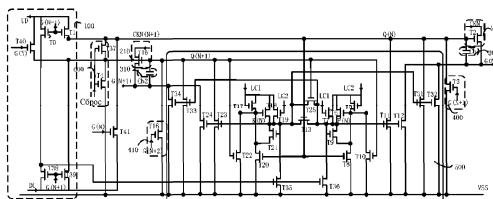
9. Устройство отображения LCD, содержащее схему GOA по п.1.



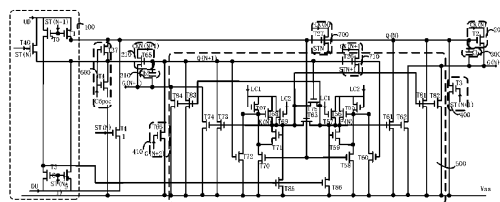
Фиг. 1



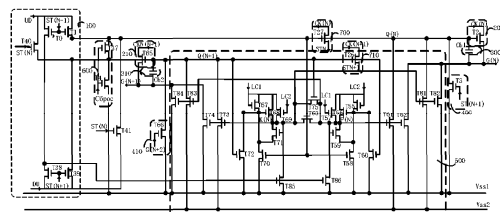
Фиг. 2



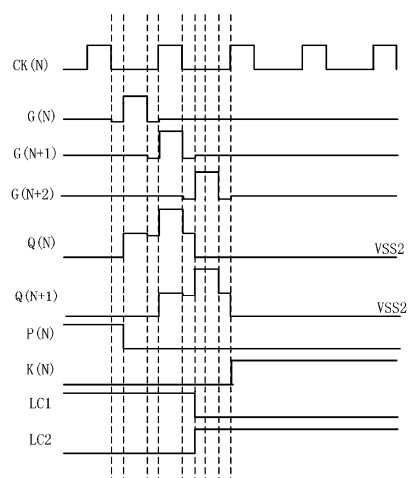
Фиг. 3



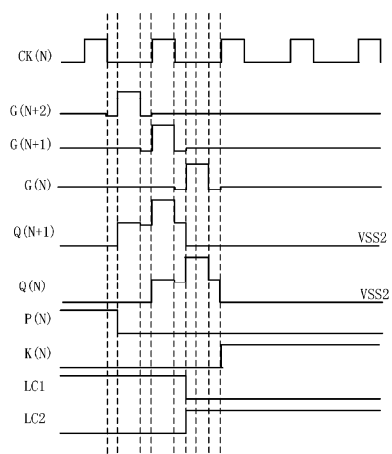
Фиг. 4



Фиг. 5



Фиг. 6



Фиг. 7

