

(19)



**Евразийское  
патентное  
ведомство**

(11) **033985**

(13) **B1**

(12) **ОПИСАНИЕ ИЗОБРЕТЕНИЯ К ЕВРАЗИЙСКОМУ ПАТЕНТУ**

(45) Дата публикации и выдачи патента  
**2019.12.17**

(51) Int. Cl. **G09G 3/20 (2006.01)**  
**G02F 1/133 (2006.01)**

(21) Номер заявки  
**201791486**

(22) Дата подачи заявки  
**2015.01.13**

---

(54) **ДИСПЛЕЙНАЯ ПАНЕЛЬ И ЕЕ СХЕМА УПРАВЛЕНИЯ**

---

(31) **201410854010.1**

(32) **2014.12.31**

(33) **CN**

(43) **2017.11.30**

(86) **PCT/CN2015/070620**

(87) **WO 2016/106843 2016.07.07**

(71)(73) Заявитель и патентовладелец:  
**ШЭНЬЧЖЭНЬ ЧАЙНА  
СТАР ОПТОЭЛЕКТРОНИКС  
ТЕКНОЛОДЖИ КО., ЛТД. (CN)**

(72) Изобретатель:  
**Цзо Цинчэн, Цао Чан (CN)**

(74) Представитель:  
**Носырева Е.Л. (RU)**

(56) **CN-A-101887676  
CN-A-101038735  
CN-A-101533616  
TW-B-460734  
CN-A-104575355  
US-A1-2012001952**

---

(57) Изобретение раскрывает дисплейную панель и ее схему управления. Схема управления содержит модуль подачи сигнала данных, формирующий сигнал данных; модуль формирования первого сигнала выбора, подающий первый сигнал выбора; модуль формирования второго сигнала выбора, подающий второй сигнал выбора; модуль выбора, содержащий комбинацию переключателей выбора, который принимает первый, второй сигнал выбора и выводит сигнал данных на матрицу пикселей. Изобретение может снизить частоту изменения уровня напряжения сигнала выбора.

**033985**

**B1**

**033985**

**B1**

### **Область техники, к которой относится изобретение**

Настоящее изобретение относится к области техники отображения, а более конкретно, к дисплейной панели и ее схеме управления.

### **Предпосылки изобретения**

Традиционная дисплейная панель обычно содержит схему управления, и традиционная схема управления используется для управления пиксельными элементами на дисплейной панели для отображения соответствующих изображений.

Техническое решение традиционной схемы управления для возбуждения дисплейной панели обычно представляет собой следующее.

Схема управления формирует сигнал развертки, сигнал данных и сигнал выбора, при этом сигнал развертки направляется в пиксельный элемент посредством линии развертки, сигнал данных направляется в пиксельный элемент посредством линии передачи данных, и сигнал выбора используется для выборочного управления выводом сигнала данных на пиксельный элемент.

На практике изобретатели обнаружили, по меньшей мере, следующие проблемы, существующие в известном уровне техники.

Во время процедуры развертки пиксельного элемента дисплейной панели сигналом развертки сигнал выбора требует изменения уровня напряжения, когда объект развертки переключается с одной строки пикселей на другую. Вследствие этого частота изменения уровня напряжения сигнала выбора является более высокой.

Следовательно, существует потребность в создании нового технического решения для решения вышеупомянутой технической проблемы.

### **Краткое описание изобретения**

Задачей настоящего изобретения является создание дисплейной панели и ее схемы управления, которая может снизить частоту изменения уровня напряжения сигнала выбора схемы управления.

Для решения вышеупомянутой проблемы техническое решение согласно настоящему изобретению представляет собой схему управления, причем схема управления используется для управления матрицей пикселей в соответствующей дисплейной панели для отображения изображений, и при этом схема управления содержит

модуль подачи сигнала данных, выполненный с возможностью формирования сигнала данных и подачи сигнала данных в матрицу пикселей;

модуль формирования первого сигнала выбора, выполненный с возможностью подачи первого сигнала выбора;

модуль формирования второго сигнала выбора, выполненный с возможностью подачи второго сигнала выбора; и

модуль выбора, при этом модуль выбора содержит по меньшей мере две комбинации переключателей выбора,

при этом комбинация переключателей выбора электрически соединена с модулем формирования первого сигнала выбора, модулем формирования второго сигнала выбора, модулем подачи сигнала данных и матрицей пикселей и комбинация переключателей выбора выполнена с возможностью приема первого сигнала выбора, второго сигнала выбора и сигнала данных и вывода сигнала данных на матрицу пикселей в соответствии с первым сигналом выбора и вторым сигналом выбора;

комбинация переключателей выбора содержит

первый переключатель, при этом первый переключатель электрически соединен с модулем формирования первого сигнала выбора, модулем подачи сигнала данных и первым столбцом пикселей в матрице пикселей;

второй переключатель, при этом второй переключатель электрически соединен с модулем формирования второго сигнала выбора, модулем подачи сигнала данных и вторым столбцом пикселей в матрице пикселей;

третий переключатель, при этом третий переключатель электрически соединен с модулем формирования первого сигнала выбора и модулем подачи сигнала данных; и

четвертый переключатель, при этом четвертый переключатель электрически соединен с модулем формирования второго сигнала выбора, третьим переключателем и третьим столбцом пикселей в матрице пикселей;

схема управления дополнительно содержит модуль подачи сигнала развертки, при этом модуль подачи сигнала развертки электрически соединен с матрицей пикселей и модуль подачи сигнала развертки выполнен с возможностью формирования сигнала развертки и направления сигнала развертки в матрицу пикселей.

В вышеуказанной схеме управления

первый переключатель содержит

первый управляющий вывод, при этом первый управляющий вывод электрически соединен с модулем формирования первого сигнала выбора;

первый входной вывод, при этом первый входной вывод электрически соединен с модулем подачи сигнала данных; и

первый выходной вывод, при этом первый выходной вывод электрически соединен с первым столбцом пикселей,

причем первый управляющий вывод выполнен с возможностью приема первого сигнала выбора и управления включением и отключением первого токового канала между первым входным выводом и первым выходным выводом в соответствии с первым сигналом выбора;

второй переключатель содержит

второй управляющий вывод, при этом второй управляющий вывод электрически соединен с модулем формирования второго сигнала выбора;

второй входной вывод, при этом второй входной вывод электрически соединен с модулем подачи сигнала данных; и

второй выходной вывод, при этом второй выходной вывод электрически соединен с первым столбцом пикселей; причем второй управляющий вывод выполнен с возможностью приема второго сигнала выбора и управления включением и отключением второго токового канала между вторым входным выводом и вторым выходным выводом в соответствии со вторым сигналом выбора;

третий переключатель содержит

третий управляющий вывод, при этом третий управляющий вывод электрически соединен с первым модулем формирования сигнала выбора;

третий входной вывод, при этом третий входной вывод электрически соединен с модулем подачи сигнала данных; и

третий выходной вывод, при этом третий выходной вывод электрически соединен с четвертым переключателем; причем третий управляющий вывод выполнен с возможностью приема третьего сигнала выбора и управления включением и отключением третьего токового канала между третьим входным выводом и третьим выходным выводом в соответствии с первым сигналом выбора;

четвертый переключатель содержит

четвертый управляющий вывод, при этом четвертый управляющий вывод электрически соединен с модулем формирования второго сигнала выбора;

четвертый выходной вывод, при этом четвертый выходной вывод электрически соединен с третьим выходным выводом;

четвертый выходной вывод, при этом четвертый выходной вывод электрически соединен с третьим столбцом пикселей,

причем четвертый управляющий вывод выполнен с возможностью приема четвертого сигнала выбора и управления включением и отключением четвертого токового канала между четвертым входным выводом и четвертым выходным выводом в соответствии со вторым сигналом выбора.

В вышеуказанной схеме управления

первый токовый канал отключен, когда включен третий токовый канал, и включен, когда отключен третий токовый канал;

второй токовый канал отключен, когда включен четвертый токовый канал, и включен, когда отключен четвертый токовый канал;

третий токовый канал отключен, когда включен первый токовый канал, и включен, когда отключен первый токовый канал;

четвертый токовый канал отключен, когда включен второй токовый канал, и включен, когда отключен второй токовый канал.

В вышеуказанной схеме управления

длительность высокого уровня напряжения первого сигнала выбора и длительность высокого уровня напряжения второго сигнала выбора являются одинаковыми и длительность низкого уровня напряжения первого сигнала выбора и длительность низкого уровня напряжения второго сигнала выбора являются одинаковыми;

как длительность высокого уровня напряжения первого сигнала выбора, так и длительность высокого уровня напряжения второго сигнала выбора составляют  $2K$  тактовых периодов и как длительность низкого уровня напряжения первого сигнала выбора, так и длительность низкого уровня напряжения второго сигнала выбора составляют  $4K$  тактовых периодов, где  $K$  - положительное целое число;

начальная точка переднего фронта высокого уровня напряжения сигнала развертки матрицы пикселей находится на интервале времени с высоким уровнем напряжения первого сигнала выбора или в интервале времени с высоким уровнем напряжения второго сигнала выбора.

Схема управления, причем схема управления используется для управления матрицей пикселей в соответствующей дисплейной панели для отображения изображений, при этом схема управления содержит

модуль подачи сигнала данных, выполненный с возможностью формирования сигнала данных и подачи сигнала данных в матрицу пикселей;

модуль формирования первого сигнала выбора, выполненный с возможностью подачи первого сиг-

нала выбора;

модуль формирования второго сигнала выбора, выполненный с возможностью подачи второго сигнала выбора; и

модуль выбора, при этом модуль выбора содержит по меньшей мере две комбинации переключателей выбора, при этом комбинация переключателей выбора электрически соединена с модулем формирования первого сигнала выбора, модулем формирования второго сигнала выбора, модулем подачи сигнала данных и матрицей пикселей и комбинация переключателей выбора выполнена с возможностью приема первого сигнала выбора, второго сигнала выбора и сигнала данных и вывода сигнала данных на матрицу пикселей в соответствии с первым сигналом выбора и вторым сигналом выбора; причем комбинация переключателей содержит

первый переключатель, при этом первый переключатель электрически соединен с модулем формирования первого сигнала выбора, модулем подачи сигнала данных и первым столбцом пикселей в матрице пикселей;

второй переключатель, при этом второй переключатель электрически соединен с модулем формирования второго сигнала выбора, модулем подачи сигнала данных и вторым столбцом пикселей в матрице пикселей;

третий переключатель, при этом третий переключатель электрически соединен с модулем формирования первого сигнала выбора и модулем подачи сигнала данных; и

четвертый переключатель, при этом четвертый переключатель электрически соединен с модулем формирования второго сигнала выбора, третьим переключателем и третьим столбцом пикселей в матрице пикселей.

В вышеуказанной схеме управления

первый переключатель содержит

первый управляющий вывод, при этом первый управляющий вывод электрически соединен с модулем формирования первого сигнала выбора;

первый входной вывод, при этом первый входной вывод электрически соединен с модулем подачи сигнала данных; и

первый выходной вывод, при этом первый выходной вывод электрически соединен с первым столбцом пикселей,

причем первый управляющий вывод выполнен с возможностью приема первого сигнала выбора и управления включением и отключением первого токового канала между первым входным выводом и первым выходным выводом в соответствии с первым сигналом выбора;

второй переключатель содержит

второй управляющий вывод, при этом второй управляющий вывод электрически соединен с модулем формирования второго сигнала выбора;

второй входной вывод, при этом второй входной вывод электрически соединен с модулем подачи сигнала данных; и

второй выходной вывод, при этом второй выходной вывод электрически соединен с первым столбцом пикселей,

причем второй управляющий вывод выполнен с возможностью приема второго сигнала выбора и управления включением и отключением второго токового канала между вторым входным выводом и вторым выходным выводом в соответствии со вторым сигналом выбора;

третий переключатель содержит

третий управляющий вывод, при этом третий управляющий вывод электрически соединен с первым модулем формирования сигнала выбора;

третий входной вывод, при этом третий входной вывод электрически соединен с модулем подачи сигнала данных; и

третий выходной вывод, при этом третий выходной вывод электрически соединен с четвертым переключателем,

причем третий управляющий вывод выполнен с возможностью приема третьего сигнала выбора и управления включением и отключением третьего токового канала между третьим входным выводом и третьим выходным выводом в соответствии с первым сигналом выбора;

четвертый переключатель содержит

четвертый управляющий вывод, при этом четвертый управляющий вывод электрически соединен с модулем формирования второго сигнала выбора;

четвертый выходной вывод, при этом четвертый выходной вывод электрически соединен с третьим выходным выводом;

четвертый выходной вывод, при этом четвертый выходной вывод электрически соединен с третьим столбцом пикселей,

причем четвертый управляющий вывод выполнен с возможностью приема четвертого сигнала выбора и управления включением и отключением четвертого токового канала между четвертым входным выводом и четвертым выходным выводом в соответствии со вторым сигналом выбора.

В вышеуказанной схеме управления  
 первый управляющий вывод электрически соединен с модулем формирования первого сигнала выбора посредством первой сигнальной линии;  
 второй управляющий вывод, при этом второй управляющий вывод электрически соединен с модулем формирования второго сигнала выбора посредством второй сигнальной линии;  
 третий управляющий вывод электрически соединен с модулем формирования первого сигнала выбора посредством первой сигнальной линии;  
 четвертый управляющий вывод электрически соединен с модулем формирования второго сигнала выбора посредством второй сигнальной линии.

В вышеуказанной схеме управления  
 первый токовый канал отключен, когда включен третий токовый канал, и включен, когда отключен третий токовый канал;  
 второй токовый канал отключен, когда включен четвертый токовый канал, и включен, когда отключен четвертый токовый канал;  
 третий токовый канал отключен, когда включен первый токовый канал, и включен, когда отключен первый токовый канал;  
 четвертый токовый канал отключен, когда включен второй токовый канал, и включен, когда отключен второй токовый канал.

В вышеуказанной схеме управления как первый переключатель, так и второй переключатель представляют собой n-канальные тонкопленочные МОП-транзисторы (NMOS TFT) и как третий, так и четвертый переключатели представляют собой р-канальные тонкопленочные МОП-транзисторы (PMOS TFT) или как первый, так и второй переключатели представляют собой р-канальные тонкопленочные МОП-транзисторы (PMOS TFT), и как третий, так и четвертый переключатели представляют собой n-канальные тонкопленочные МОП-транзисторы (NMOS TFT).

В вышеуказанной схеме управления длительность высокого уровня напряжения первого сигнала выбора и длительность высокого уровня напряжения второго сигнала выбора являются одинаковыми и длительность низкого уровня напряжения первого сигнала выбора и длительность низкого уровня напряжения второго сигнала выбора являются одинаковыми; как длительность высокого уровня напряжения первого сигнала выбора, так и длительность высокого уровня напряжения второго сигнала выбора составляют  $2K$  тактовых периодов и как длительность низкого уровня напряжения первого сигнала выбора, так и длительность низкого уровня напряжения второго сигнала выбора составляют  $4K$  тактовых периодов, где  $K$  - положительное целое число; начальная точка переднего фронта высокого уровня напряжения сигнала развертки матрицы пикселей находится на интервале времени с высоким уровнем напряжения первого сигнала выбора или в интервале времени с высоким уровнем напряжения второго сигнала выбора.

В вышеуказанной схеме управления длительность высокого уровня напряжения сигнала развертки составляет  $3K$  тактовых периодов и длительность низкого уровня напряжения сигнала развертки также составляет  $3K$  тактовых периодов.

Дисплейная панель, при этом дисплейная панель содержит матрицу пикселей и схему управления, причем схема управления используется для управления матрицей пикселей для отображения изображений, при этом схема управления содержит

модуль подачи сигнала данных, выполненный с возможностью формирования сигнала данных и подачи сигнала данных в матрицу пикселей;

модуль формирования первого сигнала выбора, выполненный с возможностью подачи первого сигнала выбора;

модуль формирования второго сигнала выбора, выполненный с возможностью подачи второго сигнала выбора; и

модуль выбора, при этом модуль выбора содержит по меньшей мере две комбинации переключателей выбора, при этом комбинация переключателей выбора электрически соединена с модулем формирования первого сигнала выбора, модулем формирования второго сигнала выбора, модулем подачи сигнала данных и матрицей пикселей и комбинация переключателей выбора выполнена с возможностью приема первого сигнала выбора, второго сигнала выбора и сигнала данных и вывода сигнала данных на матрицу пикселей в соответствии с первым сигналом выбора и вторым сигналом выбора,

причем комбинация переключателей содержит

первый переключатель, при этом первый переключатель электрически соединен с модулем формирования первого сигнала выбора, модулем подачи сигнала данных и первым столбцом пикселей в матрице пикселей;

второй переключатель, при этом второй переключатель электрически соединен с модулем формирования второго сигнала выбора, модулем подачи сигнала данных и вторым столбцом пикселей в матрице пикселей;

третий переключатель, при этом третий переключатель электрически соединен с модулем формирования первого сигнала выбора и модулем подачи сигнала данных; и

четвертый переключатель, при этом четвертый переключатель электрически соединен с модулем формирования второго сигнала выбора, третьим переключателем и третьим столбцом пикселей в матрице пикселей.

В вышеуказанной дисплейной панели

первый переключатель содержит

первый управляющий вывод, при этом первый управляющий вывод электрически соединен с модулем формирования первого сигнала выбора;

первый входной вывод, при этом первый входной вывод электрически соединен с модулем подачи сигнала данных;

и первый выходной вывод, при этом первый выходной вывод электрически соединен с первым столбцом пикселей,

причем первый управляющий вывод выполнен с возможностью приема первого сигнала выбора и управления включением и отключением первого токового канала между первым входным выводом и первым выходным выводом в соответствии с первым сигналом выбора;

второй переключатель содержит

второй управляющий вывод, при этом второй управляющий вывод электрически соединен с модулем формирования второго сигнала выбора;

второй входной вывод, при этом второй входной вывод электрически соединен с модулем подачи сигнала данных; и

второй выходной вывод, при этом второй выходной вывод электрически соединен с первым столбцом пикселей; причем второй управляющий вывод выполнен с возможностью приема второго сигнала выбора и управления включением и отключением второго токового канала между вторым входным выводом и вторым выходным выводом в соответствии со вторым сигналом выбора;

третий переключатель содержит

третий управляющий вывод, при этом третий управляющий вывод электрически соединен с модулем формирования первого сигнала выбора;

третий входной вывод, при этом третий входной вывод электрически соединен с модулем подачи сигнала данных; и

третий выходной вывод, при этом третий выходной вывод электрически соединен с четвертым переключателем; причем третий управляющий вывод выполнен с возможностью приема третьего сигнала выбора и управления включением и отключением третьего токового канала между третьим входным выводом и третьим выходным выводом в соответствии с первым сигналом выбора;

четвертый переключатель содержит

четвертый управляющий вывод, при этом четвертый управляющий вывод электрически соединен с модулем формирования второго сигнала выбора;

четвертый выходной вывод, при этом четвертый выходной вывод электрически соединен с третьим выходным выводом;

четвертый выходной вывод, при этом четвертый выходной вывод электрически соединен с третьим столбцом пикселей,

причем четвертый управляющий вывод выполнен с возможностью приема четвертого сигнала выбора и управления включением и отключением четвертого токового канала между четвертым входным выводом и четвертым выходным выводом в соответствии со вторым сигналом выбора.

В вышеуказанной дисплейной панели

первый управляющий вывод электрически соединен с модулем формирования первого сигнала выбора посредством первой сигнальной линии;

второй управляющий вывод электрически соединен с модулем формирования второго сигнала выбора посредством второй сигнальной линии;

третий управляющий вывод электрически соединен с модулем формирования первого сигнала выбора посредством первой сигнальной линии;

четвертый управляющий вывод электрически соединен с модулем формирования второго сигнала выбора посредством второй сигнальной линии.

В вышеуказанной дисплейной панели

первый токовый канал отключен, когда включен третий токовый канал, и включен, когда отключен третий токовый канал;

второй токовый канал отключен, когда включен четвертый токовый канал, и включен, когда отключен четвертый токовый канал;

третий токовый канал отключен, когда включен первый токовый канал, и включен, когда отключен первый токовый канал;

четвертый токовый канал отключен, когда включен второй токовый канал, и включен, когда отключен второй токовый канал.

В вышеуказанной дисплейной панели как первый переключатель, так и второй переключатель представляют собой n-канальные тонкопленочные МОП-транзисторы (NMOS TFT) и как третий, так и

четвертый переключатели представляют собой n-канальные тонкопленочные МОП-транзисторы (NMOS TFT) или как первый, так и второй переключатель представляют собой n-канальные тонкопленочные МОП-транзисторы (NMOS TFT) и как третий, так и четвертый переключатели представляют собой n-канальные тонкопленочные МОП-транзисторы (NMOS TFT).

В вышеуказанной дисплейной панели длительность высокого уровня напряжения первого сигнала выбора и длительность высокого уровня напряжения второго сигнала выбора являются одинаковыми и длительность низкого уровня напряжения первого сигнала выбора и длительность низкого уровня напряжения второго сигнала выбора являются одинаковыми; как длительность высокого уровня напряжения первого сигнала выбора, так и длительность высокого уровня напряжения второго сигнала выбора составляют 2K тактовых периодов и как длительность низкого уровня напряжения первого сигнала выбора, так и длительность низкого уровня напряжения второго сигнала выбора составляют 4K тактовых периодов, где K - положительное целое число; начальная точка переднего фронта высокого уровня напряжения сигнала развертки матрицы пикселей находится в интервале времени с высоким уровнем напряжения первого сигнала выбора или в интервале времени с высоким уровнем напряжения второго сигнала выбора.

В вышеуказанной схеме управления длительность высокого уровня напряжения сигнала развертки составляет 3K тактовых периодов, и длительность низкого уровня напряжения сигнала развертки также составляет 3K тактовых периодов.

По сравнению с предшествующим уровнем техники настоящее изобретение может эффективно снизить частоту изменения уровня напряжения сигнала выбора схемы управления.

Предпочтительные варианты осуществления проиллюстрированы в соответствии с прилагаемыми фигурами с целью подробного пояснения для лучшего понимания вышеупомянутого содержания настоящего изобретения.

#### **Краткое описание графических материалов**

На фиг. 1 приведена структурная схема дисплейной панели согласно настоящему изобретению;

на фиг. 2 приведена принципиальная схема первого варианта осуществления дисплейной панели, показанной на фиг. 1;

на фиг. 3 приведена временная диаграмма сигналов, показывающая сигналы возбуждения дисплейной панели, показанной на фиг. 2.

#### **Подробное описание предпочтительных вариантов осуществления**

Термин "вариант осуществления", используемый в данном описании, подразумевает, что это служит примером, образцом или иллюстрацией. Кроме того, в этом описании и прилагаемой формуле изобретения форма единственного числа обычно означает "один или более", если не указано иное, или форма единственного числа может быть четко подтверждена контекстом.

Обратимся к фиг. 1, на которой приведена структурная схема дисплейной панели согласно настоящему изобретению.

Дисплейная панель согласно настоящему изобретению может представлять собой TFT-LCD (жидкокристаллическую дисплейную панель с тонкопленочными транзисторами) или OLED (дисплейную панель на органических светодиодах).

Дисплейная панель согласно настоящему изобретению содержит матрицу 10 пикселей и схему 20 управления.

Схема 20 управления электрически соединена с матрицей 10 пикселей в дисплейной панели, и схема 20 управления используется для управления матрицей 10 пикселей для отображения изображений, и схема 20 управления содержит модуль 201 подачи сигнала данных, модуль 202 формирования первого сигнала выбора, модуль 203 формирования второго сигнала выбора и модуль 204 выбора.

Модуль 201 подачи сигнала данных формирует сигнал данных, и сигнал данных подается на матрицу 10 пикселей. Модуль 202 формирования первого сигнала выбора подает первый сигнал MUX1 выбора. Модуль 203 формирования второго сигнала выбора подает второй сигнал MUX2 выбора. Модуль 204 выбора содержит по меньшей мере две комбинации переключателей выбора, при этом комбинация переключателей выбора электрически соединена с модулем 202 формирования первого сигнала выбора, модулем 203 формирования второго сигнала выбора, модулем 201 подачи сигнала данных и матрицей 10 пикселей, причем комбинация переключателей выбора принимает первый сигнал MUX1 выбора, второй сигнал MUX2 выбора и сигнал данных и выводит сигнал данных на матрицу 10 пикселей в соответствии с первым сигналом MUX1 выбора и вторым сигналом MUX2 выбора.

Схема 20 управления также содержит модуль подачи сигнала развертки, при этом модуль подачи сигнала развертки электрически соединен с матрицей 10 пикселей, и модуль подачи сигнала развертки формирует сигнал развертки (стробирующий сигнал) и направляет его в матрицу 10 пикселей.

Обратимся к фиг. 2, на которой приведена принципиальная схема первого варианта осуществления дисплейной панели, показанной на фиг. 1.

В этом варианте осуществления матрица 10 пикселей содержит по меньшей мере один первый столбец 101 пикселей и по меньшей мере один второй столбец 102 пикселей, при этом первый столбец 101 пикселей и второй столбец 102 пикселей выровнены в виде матрицы (одномерной) вдоль первого

направления 30. Первый столбец 101 пикселей содержит по меньшей мере один первый пиксель R1, по меньшей мере один второй пиксель G1 и по меньшей мере один третий пиксель B1, при этом первый пиксель R1, второй пиксель G1 и третий пиксель B1 выровнены в виде матрицы (одномерной) вдоль второго направления 40. Второй столбец 102 пикселей содержит по меньшей мере один четвертый пиксель R2, по меньшей мере один пятый пиксель G2 и по меньшей мере один шестой пиксель B2, при этом четвертый пиксель R2, пятый пиксель G2 и шестой пиксель B2 выровнены в виде матрицы (одномерной) вдоль второго направления 40. Матрица 10 пикселей содержит по меньшей мере один первый столбец 103 пикселей, по меньшей мере один второй столбец 104 пикселей и по меньшей мере один третий столбец 105 пикселей, причем первый столбец 103 пикселей содержит первый пиксель R1 и четвертый пиксель R2, и второй столбец 104 пикселей содержит второй пиксель G1 и пятый пиксель G2, и третий столбец 105 пикселей содержит третий пиксель B1 и шестой пиксель B2. Первое направление 30 и второе направление 40 являются перпендикулярными.

В этом варианте осуществления комбинация переключателей выбора содержит первый переключатель 2041, второй переключатель 2042, третий переключатель 2043 и четвертый переключатель 2044. Первый переключатель 2041 электрически соединен с модулем 202 формирования первого сигнала выбора, модулем 201 подачи сигнала данных и первым столбцом 103 пикселей в матрице 10 пикселей. Второй переключатель 2042 электрически соединен с модулем 203 формирования второго сигнала выбора, модулем 201 подачи сигнала данных и вторым столбцом 104 пикселей в матрице 10 пикселей. Третий переключатель 2043 электрически соединен с модулем 202 формирования первого сигнала выбора, модулем 201 подачи сигнала данных и четвертым переключателем 2044. Четвертый переключатель 2044 электрически соединен с модулем 203 формирования второго сигнала выбора, третьим переключателем 2043 и третьим столбцом 105 пикселей в матрице 10 пикселей.

В этом варианте осуществления все переключатели, как то первый переключатель 2041, второй переключатель 2042, третий переключатель 2043 и четвертый переключатель 2044, - могут быть триодами. Первый переключатель 2041 содержит первый управляющий вывод 24011, первый входной вывод 20412 и первый выходной вывод 20413. Первый управляющий вывод 24011 электрически соединен с модулем 202 формирования первого сигнала выбора, а, конкретнее, первый управляющий вывод 24011 электрически соединен с модулем 202 формирования первого сигнала выбора посредством первой сигнальной линии 2021. Первый входной вывод 20412 электрически соединен с модулем 201 подачи сигнала данных. Первый выходной вывод 20413 электрически соединен с первым столбцом 103 пикселей. Первый управляющий вывод 24011 принимает первый сигнал MUX1 выбора и управляет включением и отключением первого токового канала между первым входным выводом 20412 и первым выходным выводом 20413 в соответствии с первым сигналом MUX1 выбора.

Второй переключатель 2042 содержит второй управляющий вывод 24021, второй входной вывод 20422 и второй выходной вывод 20423. Второй управляющий вывод 24021 электрически соединен с модулем 203 формирования второго сигнала выбора, а, конкретнее, второй управляющий вывод 24021 электрически соединен с модулем 203 формирования второго сигнала выбора посредством второй сигнальной линии 2031. Второй входной вывод 20422 электрически соединен с модулем 201 подачи сигнала данных. Второй выходной вывод 20423 электрически соединен со вторым столбцом 104 пикселей. Второй управляющий вывод 24021 принимает второй сигнал MUX2 выбора и управляет включением и отключением второго токового канала между вторым входным выводом 20422 и вторым выходным выводом 20423 в соответствии со вторым сигналом MUX2 выбора.

Третий переключатель 2043 содержит третий управляющий вывод 24031, третий входной вывод 20432 и третий выходной вывод 20433. Третий управляющий вывод 24031 электрически соединен с модулем 202 формирования первого сигнала выбора, а, конкретнее, третий управляющий вывод 24031 электрически соединен с модулем 202 формирования первого сигнала выбора посредством первой сигнальной линии 2021. Третий входной вывод 20432 электрически соединен с модулем 201 подачи сигнала данных. Третий выходной вывод 20433 электрически соединен с четвертым переключателем 2044. Третий управляющий вывод 24031 принимает первый сигнал MUX1 выбора и управляет включением и отключением третьего токового канала между третьим входным выводом 20432 и третьим выходным выводом 20433 в соответствии с первым сигналом MUX1 выбора.

Четвертый переключатель 2044 содержит четвертый управляющий вывод 24041, четвертый входной вывод 20442 и четвертый выходной вывод 20443. Четвертый управляющий вывод 24041 электрически соединен с модулем 203 формирования второго сигнала выбора, а, конкретнее, четвертый управляющий вывод 24041 электрически соединен с модулем 203 формирования второго сигнала выбора посредством второй сигнальной линии 2031. Четвертый входной вывод 20442 электрически соединен с третьим выходным выводом 20433. Четвертый выходной вывод 20443 электрически соединен с третьим столбцом 105 пикселей. Четвертый управляющий вывод 24041 принимает второй сигнал MUX2 выбора и управляет включением и отключением четвертого токового канала между четвертым входным выводом 20442 и четвертым выходным выводом 20443 в соответствии со вторым сигналом MUX2 выбора.

В этом варианте осуществления как первый переключатель 2041, так и второй переключатель 2042 представляют собой тонкопленочные транзисторы NMOS (n-канальные МОП-транзисторы), и как третий

переключатель 2043, так и четвертый переключатель 2044 переставляют собой тонкопленочные транзисторы PMOS (р-канальные МОП-транзисторы).

Первый токовый канал отключен, когда включен третий токовый канал, и включен, когда отключен третий токовый канал.

Второй токовый канал отключен, когда включен четвертый токовый канал, и включен, когда отключен четвертый токовый канал.

Третий токовый канал отключен, когда включен первый токовый канал, и включен, когда отключен первый токовый канал.

Четвертый токовый канал отключен, когда включен второй токовый канал, и включен, когда отключен второй токовый канал.

В этом варианте осуществления длительность высокого уровня напряжения первого сигнала MUX1 выбора и длительность высокого уровня напряжения второго сигнала MUX2 выбора являются одинаковыми, и длительность низкого уровня напряжения первого сигнала MUX1 выбора и длительность низкого уровня напряжения второго сигнала MUX2 выбора являются одинаковыми.

Как длительность высокого уровня напряжения первого сигнала MUX1 выбора, так и длительность высокого уровня напряжения второго сигнала MUX2 выбора составляют 2K тактовых периодов, и как длительность низкого уровня напряжения первого сигнала MUX1 выбора, так и длительность низкого уровня напряжения второго сигнала MUX2 выбора составляют 4K тактовых периодов, и длительность высокого уровня напряжения сигнала развертки (содержащего первый сигнал Gate1 развертки, соответствующий первому столбцу 101 пикселей, второй сигнал развертки Gate2, соответствующий второму столбцу 102 пикселей) составляет 3K тактовых периодов, и длительность низкого уровня напряжения сигнала развертки также составляет 3K тактовых периодов. K - положительное целое число. Например, K=1.

Начальная точка переднего фронта высокого уровня напряжения сигнала развертки матрицы 10 пикселей находится на интервале времени с высоким уровнем напряжения первого сигнала MUX1 выбора или на интервале времени с высоким уровнем напряжения второго сигнала MUX2 выбора.

Обратимся к фиг. 3, на которой приведена временная диаграмма сигналов, показывающая сигналы возбуждения дисплейной панели, показанной на фиг. 2.

То, как первый сигнал Gate1 развертки, соответствующий первому столбцу 101 пикселей, и второй сигнал Gate2 развертки, соответствующий второму столбцу 102 пикселей, активируют переключатели пикселей в матрице 10 пикселей при высоком уровне напряжения и деактивируют переключатели пикселей в матрице 10 пикселей при низком уровне напряжения, проиллюстрировано для пояснения ниже, и наоборот.

В первом тактовом периоде 301:

Когда первый сигнал Gate1 развертки, сформированный модулем подачи сигнала развертки, имеет высокий уровень напряжения, второй сигнал Gate2 развертки имеет низкий уровень напряжения. В этот момент переключатели первого пикселя R1, второго пикселя G1 и третьего пикселя B1 включены, а переключатели четвертого пикселя R2, пятого пикселя G2 и шестого пикселя B2 отключены.

Первый сигнал MUX1 выбора имеет высокий уровень напряжения, и второй сигнал MUX2 выбора имеет низкий уровень напряжения. В этот момент первый токовый канал первого переключателя 2041 включен, второй токовый канал второго переключателя 2042 отключен, третий токовый канал третьего переключателя 2043 отключен, четвертый токовый канал четвертого переключателя 2044 включен. Сигнал данных подается на первый пиксель R1 первого столбца 103 пикселей через первый токовый канал, чтобы зарядить первый пиксель R1.

Во втором тактовом периоде 302:

Первый сигнал Gate1 развертки сохраняет высокий уровень напряжения, второй сигнал Gate2 развертки сохраняет низкий уровень напряжения. В этот момент переключатели первого пикселя R1, второго пикселя G1 и третьего пикселя B1 включены, а переключатели четвертого пикселя R2, пятого пикселя G2 и шестого пикселя B2 отключены.

Первый сигнал MUX1 выбора имеет низкий уровень напряжения, и второй сигнал MUX2 выбора имеет низкий уровень напряжения. В этот момент первый токовый канал отключен, второй токовый канал отключен, третий токовый канал включен, четвертый токовый канал включен. Сигнал данных вводится в третий пиксель B1 третьего столбца 105 пикселей через третий токовый канал и четвертый токовый канал, чтобы зарядить третий пиксель B1.

В третьем тактовом периоде 303:

Первый сигнал Gate1 развертки сохраняет высокий уровень напряжения, второй сигнал Gate2 развертки сохраняет низкий уровень напряжения. В этот момент переключатели первого пикселя R1, второго пикселя G1 и третьего пикселя B1 включены, а переключатели четвертого пикселя R2, пятого пикселя G2 и шестого пикселя B2 отключены.

Первый сигнал MUX1 выбора имеет низкий уровень напряжения, а второй сигнал MUX2 выбора имеет высокий уровень напряжения. В этот момент первый токовый канал отключен, второй токовый канал включен, третий токовый канал включен, четвертый токовый канал отключен. Сигнал данных вво-

дится во второй пиксель G1 второго столбца 104 пикселей через второй токовый канал, чтобы зарядить второй пиксель G1.

В четвертом тактовом периоде 304:

Первый сигнал Gate1 развертки имеет низкий уровень напряжения, второй сигнал Gate2 развертки имеет высокий уровень напряжения. В этот момент переключатели первого пикселя R1, второго пикселя G1 и третьего пикселя B1 отключены, а переключатели четвертого пикселя R2, пятого пикселя G2 и шестого пикселя B2 включены.

Первый сигнал MUX1 выбора удерживается на низком уровне напряжения, а второй сигнал MUX2 выбора удерживается на высоком уровне напряжения. В этот момент первый токовый канал отключен, второй токовый канал включен, третий токовый канал включен, четвертый токовый канал отключен. Сигнал данных вводится в пятый пиксель G2 второго столбца 104 пикселей через второй токовый канал, чтобы зарядить пятый пиксель G2.

В пятом тактовом периоде 305:

Первый сигнал Gate1 развертки сохраняет низкий уровень напряжения, второй сигнал Gate2 развертки сохраняет высокий уровень напряжения. В этот момент переключатели первого пикселя R1, второго пикселя G1 и третьего пикселя B1 отключены, а переключатели четвертого пикселя R2, пятого пикселя G2 и шестого пикселя B2 включены.

Первый сигнал MUX1 выбора удерживается на низком уровне напряжения, и второй сигнал MUX2 выбора имеет низкий уровень напряжения. В этот момент первый токовый канал отключен, второй токовый канал отключен, третий токовый канал включен, четвертый токовый канал включен. Сигнал данных вводится в шестой пиксель B2 третьего столбца 105 пикселей через третий токовый канал и четвертый токовый канал, чтобы зарядить шестой пиксель B2.

В шестом тактовом периоде 306:

Первый сигнал Gate1 развертки сохраняет низкий уровень напряжения, второй сигнал Gate2 развертки сохраняет высокий уровень напряжения. В этот момент переключатели первого пикселя R1, второго пикселя G1 и третьего пикселя B1 отключены, а переключатели четвертого пикселя R2, пятого пикселя G2 и шестого пикселя B2 включены.

Первый сигнал MUX1 выбора имеет высокий уровень напряжения, а второй сигнал MUX2 выбора сохраняет низкий уровень напряжения. В этот момент первый токовый канал включен, второй токовый канал отключен, третий токовый канал отключен, четвертый токовый канал включен. Сигнал данных вводится в четвертый пиксель R2 первого столбца пикселей 103 через первый токовый канал, чтобы зарядить четвертый пиксель R2.

И процедура продолжается до тех пор, пока не будет достигнуто обновление всего изображения.

С помощью вышеуказанных технических решений частота изменения уровня напряжения сигнала выбора может быть эффективно уменьшена, т.е. частота изменения уровня напряжения сигнала выбора уменьшается от N раз/кадр до N/2 раз/кадр, где N - количество строк пикселей в матрице пикселей.

Кроме того, вышеуказанное техническое решение имеет преимущества в связи с уменьшением количества проводных соединений в дисплейной панели, и, соответственно, повышение разрешающей способности дисплейной панели не ограничивается количеством проводных соединений.

Второй вариант осуществления дисплейной панели согласно настоящему изобретению аналогичен первому варианту осуществления, и разница заключается в следующем:

Как первый переключатель 2041, так и второй переключатель 2042 представляют собой тонкопленочные р-канальные МОП-транзисторы (PMOS TFT), и как третий переключатель 2043, так и четвертый переключатель 2044 представляют собой тонкопленочные n-канальные МОП-транзисторы (NMOS TFT).

Выше представлены только конкретные варианты осуществления настоящего изобретения, которыми не ограничивается объем настоящего изобретения, и специалистам в данной области техники будет очевидно, что изменение или замена, которые можно легко вывести, подпадают под объем правовой охраны настоящего изобретения. Таким образом, объем правовой охраны изобретения должен исходить из заявленных пунктов формулы изобретения.

## ФОРМУЛА ИЗОБРЕТЕНИЯ

1. Схема управления для управления матрицей пикселей в соответствующей дисплейной панели для отображения изображений, при этом схема управления содержит

модуль подачи сигнала данных, выполненный с возможностью формирования сигнала данных и подачи сигнала данных в матрицу пикселей;

модуль формирования первого сигнала выбора, выполненный с возможностью подачи первого сигнала выбора;

модуль формирования второго сигнала выбора, выполненный с возможностью подачи второго сигнала выбора; и

модуль выбора, при этом модуль выбора содержит по меньшей мере две комбинации переключателей выбора, при этом комбинация переключателей выбора электрически соединена с модулем формиро-

вания первого сигнала выбора, модулем формирования второго сигнала выбора, модулем подачи сигнала данных и матрицей пикселей и комбинация переключателей выбора выполнена с возможностью приема первого сигнала выбора, второго сигнала выбора и сигнала данных и вывода сигнала данных на матрицу пикселей в соответствии с первым сигналом выбора и вторым сигналом выбора;

комбинация переключателей выбора содержит

первый переключатель, при этом первый переключатель электрически соединен с модулем формирования первого сигнала выбора, модулем подачи сигнала данных и первым столбцом пикселей в матрице пикселей;

второй переключатель, при этом второй переключатель электрически соединен с модулем формирования второго сигнала выбора, модулем подачи сигнала данных и вторым столбцом пикселей в матрице пикселей;

третий переключатель, при этом третий переключатель электрически соединен с модулем формирования первого сигнала выбора и модулем подачи сигнала данных; и

четвертый переключатель, при этом четвертый переключатель электрически соединен с модулем формирования второго сигнала выбора, третьим переключателем и третьим столбцом пикселей в матрице пикселей;

схема управления дополнительно содержит модуль подачи сигнала развертки, при этом модуль подачи сигнала развертки электрически соединен с матрицей пикселей и модуль подачи сигнала развертки выполнен с возможностью формирования сигнала развертки и направления сигнала развертки в матрицу пикселей.

2. Схема управления по п. 1, отличающаяся тем, что

первый переключатель содержит

первый управляющий вывод, при этом первый управляющий вывод электрически соединен с модулем формирования первого сигнала выбора;

первый входной вывод, при этом первый входной вывод электрически соединен с модулем подачи сигнала данных; и

первый выходной вывод, при этом первый выходной вывод электрически соединен с первым столбцом пикселей,

причем первый управляющий вывод выполнен с возможностью приема первого сигнала выбора и управления включением и отключением первого токового канала между первым входным выводом и первым выходным выводом в соответствии с первым сигналом выбора;

второй переключатель содержит

второй управляющий вывод, при этом второй управляющий вывод электрически соединен с модулем формирования второго сигнала выбора;

второй входной вывод, при этом второй входной вывод электрически соединен с модулем подачи сигнала данных; и

второй выходной вывод, при этом второй выходной вывод электрически соединен с первым столбцом пикселей,

причем второй управляющий вывод выполнен с возможностью приема второго сигнала выбора и управления включением и отключением второго токового канала между вторым входным выводом и вторым выходным выводом в соответствии со вторым сигналом выбора;

третий переключатель содержит

третий управляющий вывод, при этом третий управляющий вывод электрически соединен с модулем формирования первого сигнала выбора;

третий входной вывод, при этом третий входной вывод электрически соединен с модулем подачи сигнала данных; и

третий выходной вывод, при этом третий выходной вывод электрически соединен с четвертым переключателем,

причем третий управляющий вывод выполнен с возможностью приема третьего сигнала выбора и управления включением и отключением третьего токового канала между третьим входным выводом и третьим выходным выводом в соответствии с первым сигналом выбора;

четвертый переключатель содержит

четвертый управляющий вывод, при этом четвертый управляющий вывод электрически соединен с модулем формирования второго сигнала выбора;

четвертый выходной вывод, при этом четвертый выходной вывод электрически соединен с третьим выходным выводом;

четвертый выходной вывод, при этом четвертый выходной вывод электрически соединен с третьим столбцом пикселей,

причем четвертый управляющий вывод выполнен с возможностью приема четвертого сигнала выбора и управления включением и отключением четвертого токового канала между четвертым входным выводом и четвертым выходным выводом в соответствии со вторым сигналом выбора.

3. Схема управления по п.2, отличающаяся тем, что первый токовый канал отключен, когда включен третий токовый канал, и включен, когда отключен третий токовый канал;

второй токовый канал отключен, когда включен четвертый токовый канал, и включен, когда отключен четвертый токовый канал;

третий токовый канал отключен, когда включен первый токовый канал, и включен, когда отключен первый токовый канал;

четвертый токовый канал отключен, когда включен второй токовый канал, и включен, когда отключен второй токовый канал.

4. Схема управления по п.1, отличающаяся тем, что

длительность высокого уровня напряжения первого сигнала выбора и длительность высокого уровня напряжения второго сигнала выбора являются одинаковыми;

длительность низкого уровня напряжения первого сигнала выбора и длительность низкого уровня напряжения второго сигнала выбора являются одинаковыми;

как длительность высокого уровня напряжения первого сигнала выбора, так и длительность высокого уровня напряжения второго сигнала выбора составляют  $2K$  тактовых периодов и как длительность низкого уровня напряжения первого сигнала выбора, так и длительность низкого уровня напряжения второго сигнала выбора составляют  $4K$  тактовых периодов, где  $K$  - положительное целое число;

начальная точка переднего фронта высокого уровня напряжения сигнала развертки матрицы пикселей находится в интервале времени с высоким уровнем напряжения первого сигнала выбора или в интервале времени с высоким уровнем напряжения второго сигнала выбора.

5. Схема управления для управления матрицей пикселей в соответствующей дисплейной панели для отображения изображений, при этом схема управления содержит

модуль подачи сигнала данных, выполненный с возможностью формирования сигнала данных и подачи сигнала данных в матрицу пикселей;

модуль формирования первого сигнала выбора, выполненный с возможностью подачи первого сигнала выбора;

модуль формирования второго сигнала выбора, выполненный с возможностью подачи второго сигнала выбора; и

модуль выбора, при этом модуль выбора содержит по меньшей мере две комбинации переключателей выбора, при этом комбинация переключателей выбора электрически соединена с модулем формирования первого сигнала выбора, модулем формирования второго сигнала выбора, модулем подачи сигнала данных и матрицей пикселей и комбинация переключателей выбора выполнена с возможностью приема первого сигнала выбора, второго сигнала выбора и сигнала данных и вывода сигнала данных на матрицу пикселей в соответствии с первым сигналом выбора и вторым сигналом выбора,

причем комбинация переключателей содержит

первый переключатель, при этом первый переключатель электрически соединен с модулем формирования первого сигнала выбора, модулем подачи сигнала данных и первым столбцом пикселей в матрице пикселей;

второй переключатель, при этом второй переключатель электрически соединен с модулем формирования второго сигнала выбора, модулем подачи сигнала данных и вторым столбцом пикселей в матрице пикселей;

третий переключатель, при этом третий переключатель электрически соединен с модулем формирования первого сигнала выбора и модулем подачи сигнала данных; и

четвертый переключатель, при этом четвертый переключатель электрически соединен с модулем формирования второго сигнала выбора, третьим переключателем и третьим столбцом пикселей в матрице пикселей.

6. Схема управления по п.5, отличающаяся тем, что

первый переключатель содержит

первый управляющий вывод, при этом первый управляющий вывод электрически соединен с модулем формирования первого сигнала выбора;

первый входной вывод, при этом первый входной вывод электрически соединен с модулем подачи сигнала данных; и

первый выходной вывод, при этом первый выходной вывод электрически соединен с первым столбцом пикселей,

причем первый управляющий вывод выполнен с возможностью приема первого сигнала выбора и управления включением и отключением первого токового канала между первым входным выводом и первым выходным выводом в соответствии с первым сигналом выбора;

второй переключатель содержит

второй управляющий вывод, при этом второй управляющий вывод электрически соединен с модулем формирования второго сигнала выбора;

второй входной вывод, при этом второй входной вывод электрически соединен с модулем подачи сигнала данных; и

второй выходной вывод, при этом второй выходной вывод электрически соединен с первым столбцом пикселей,

причем второй управляющий вывод выполнен с возможностью приема второго сигнала выбора и управления включением и отключением второго токового канала между вторым входным выводом и вторым выходным выводом в соответствии со вторым сигналом выбора;

третий переключатель содержит

третий управляющий вывод, при этом третий управляющий вывод электрически соединен с модулем формирования первого сигнала выбора;

третий входной вывод, при этом третий входной вывод электрически соединен с модулем подачи сигнала данных; и

третий выходной вывод, при этом третий выходной вывод электрически соединен с четвертым переключателем,

причем третий управляющий вывод выполнен с возможностью приема третьего сигнала выбора и управления включением и отключением третьего токового канала между третьим входным выводом и третьим выходным выводом в соответствии с первым сигналом выбора;

четвертый переключатель содержит

четвертый управляющий вывод, при этом четвертый управляющий вывод электрически соединен с модулем формирования второго сигнала выбора;

четвертый выходной вывод, при этом четвертый выходной вывод электрически соединен с третьим выходным выводом;

четвертый выходной вывод, при этом четвертый выходной вывод электрически соединен с третьим столбцом пикселей,

причем четвертый управляющий вывод выполнен с возможностью приема четвертого сигнала выбора и управления включением и отключением четвертого токового канала между четвертым входным выводом и четвертым выходным выводом в соответствии со вторым сигналом выбора.

7. Схема управления по п.6, отличающаяся тем, что

первый управляющий вывод электрически соединен с модулем формирования первого сигнала выбора посредством первой сигнальной линии;

второй управляющий вывод, при этом второй управляющий вывод электрически соединен с модулем формирования второго сигнала выбора посредством второй сигнальной линии;

третий управляющий вывод электрически соединен с модулем формирования первого сигнала выбора посредством первой сигнальной линии;

четвертый управляющий вывод электрически соединен с модулем формирования второго сигнала выбора посредством второй сигнальной линии.

8. Схема управления по п.6, отличающаяся тем, что

первый токовый канал отключен, когда включен третий токовый канал, и включен, когда отключен третий токовый канал;

второй токовый канал отключен, когда включен четвертый токовый канал, и включен, когда отключен четвертый токовый канал;

третий токовый канал отключен, когда включен первый токовый канал, и включен, когда отключен первый токовый канал;

четвертый токовый канал отключен, когда включен второй токовый канал, и включен, когда отключен второй токовый канал.

9. Схема управления по п.8, отличающаяся тем, что

как первый переключатель, так и второй переключатель представляют собой n-канальные тонкопленочные МОП-транзисторы (NMOS TFT) и как третий переключатель, так и четвертый переключатель представляют собой p-канальные тонкопленочные МОП-транзисторы (PMOS TFT) или

как первый переключатель, так и второй переключатель представляют собой p-канальные тонкопленочные МОП-транзисторы (PMOS TFT) и как третий переключатель, так и четвертый переключатель представляют собой n-канальные тонкопленочные МОП-транзисторы (NMOS TFT).

10. Схема управления по п.5, отличающаяся тем, что

длительность высокого уровня напряжения первого сигнала выбора и длительность высокого уровня напряжения второго сигнала выбора являются одинаковыми и длительность низкого уровня напряжения первого сигнала выбора и длительность низкого уровня напряжения второго сигнала выбора являются одинаковыми;

как длительность высокого уровня напряжения первого сигнала выбора, так и длительность высокого уровня напряжения второго сигнала выбора составляют  $2K$  тактовых периодов и как длительность низкого уровня напряжения первого сигнала выбора, так и длительность низкого уровня напряжения второго сигнала выбора составляют  $4K$  тактовых периодов, где  $K$  - положительное целое число;

начальная точка переднего фронта высокого уровня напряжения сигнала развертки матрицы пикселей находится в интервале времени с высоким уровнем напряжения первого сигнала выбора или в интервале времени с высоким уровнем напряжения второго сигнала выбора.

11. Схема управления по п.10, отличающаяся тем, что длительность высокого уровня напряжения сигнала развертки составляет 3К тактовых периодов и длительность низкого уровня напряжения сигнала развертки также составляет 3К тактовых периодов.

12. Дисплейная панель, отличающаяся тем, что дисплейная панель содержит матрицу пикселей и схему управления для управления матрицей пикселей для отображения изображений, при этом схема управления содержит

модуль подачи сигнала данных, выполненный с возможностью формирования сигнала данных и подачи сигнала данных в матрицу пикселей;

модуль формирования первого сигнала выбора, выполненный с возможностью подачи первого сигнала выбора;

модуль формирования второго сигнала выбора, выполненный с возможностью подачи второго сигнала выбора; и

модуль выбора, при этом модуль выбора содержит по меньшей мере две комбинации переключателей выбора, при этом комбинация переключателей выбора электрически соединена с модулем формирования первого сигнала выбора, модулем формирования второго сигнала выбора, модулем подачи сигнала данных и матрицей пикселей и комбинация переключателей выбора выполнена с возможностью приема первого сигнала выбора, второго сигнала выбора и сигнала данных и вывода сигнала данных на матрицу пикселей в соответствии с первым сигналом выбора и вторым сигналом выбора,

причем комбинация переключателей содержит

первый переключатель, при этом первый переключатель электрически соединен с модулем формирования первого сигнала выбора, модулем подачи сигнала данных и первым столбцом пикселей в матрице пикселей;

второй переключатель, при этом второй переключатель электрически соединен с модулем формирования второго сигнала выбора, модулем подачи сигнала данных и вторым столбцом пикселей в матрице пикселей;

третий переключатель, при этом третий переключатель электрически соединен с модулем формирования первого сигнала выбора и модулем подачи сигнала данных; и

четвертый переключатель, при этом четвертый переключатель электрически соединен с модулем формирования второго сигнала выбора, третьим переключателем и третьим столбцом пикселей в матрице пикселей.

13. Дисплейная панель по п.12, отличающаяся тем, что первый переключатель содержит

первый управляющий вывод, при этом первый управляющий вывод электрически соединен с модулем формирования первого сигнала выбора;

первый входной вывод, при этом первый входной вывод электрически соединен с модулем подачи сигнала данных; и

первый выходной вывод, при этом первый выходной вывод электрически соединен с первым столбцом пикселей,

причем первый управляющий вывод выполнен с возможностью приема первого сигнала выбора и управления включением и отключением первого токового канала между первым входным выводом и первым выходным выводом в соответствии с первым сигналом выбора;

второй переключатель содержит

второй управляющий вывод, при этом второй управляющий вывод электрически соединен с модулем формирования второго сигнала выбора;

второй входной вывод, при этом второй входной вывод электрически соединен с модулем подачи сигнала данных; и

второй выходной вывод, при этом второй выходной вывод электрически соединен с первым столбцом пикселей,

причем второй управляющий вывод выполнен с возможностью приема второго сигнала выбора и управления включением и отключением второго токового канала между вторым входным выводом и вторым выходным выводом в соответствии со вторым сигналом выбора;

третий переключатель содержит

третий управляющий вывод, при этом третий управляющий вывод электрически соединен с модулем формирования первого сигнала выбора;

третий входной вывод, при этом третий входной вывод электрически соединен с модулем подачи сигнала данных; и

третий выходной вывод, при этом третий выходной вывод электрически соединен с четвертым переключателем,

причем третий управляющий вывод выполнен с возможностью приема третьего сигнала выбора и управления включением и отключением третьего токового канала между третьим входным выводом и

третьим выходным выводом в соответствии с первым сигналом выбора;

четвертый переключатель содержит

четвертый управляющий вывод, при этом четвертый управляющий вывод электрически соединен с модулем формирования второго сигнала выбора;

четвертый выходной вывод, при этом четвертый выходной вывод электрически соединен с третьим выходным выводом;

четвертый выходной вывод, при этом четвертый выходной вывод электрически соединен с третьим столбцом пикселей,

причем четвертый управляющий вывод выполнен с возможностью приема четвертого сигнала выбора и управления включением и отключением четвертого токового канала между четвертым входным выводом и четвертым выходным выводом в соответствии со вторым сигналом выбора.

14. Дисплейная панель по п.13, отличающаяся тем, что

первый управляющий вывод электрически соединен с модулем формирования первого сигнала выбора посредством первой сигнальной линии;

второй управляющий вывод, при этом второй управляющий вывод электрически соединен с модулем формирования второго сигнала выбора посредством второй сигнальной линии;

третий управляющий вывод электрически соединен с модулем формирования первого сигнала выбора посредством первой сигнальной линии;

четвертый управляющий вывод электрически соединен с модулем формирования второго сигнала выбора посредством второй сигнальной линии.

15. Дисплейная панель по п.13, отличающаяся тем, что

первый токовый канал отключен, когда включен третий токовый канал, и включен, когда отключен третий токовый канал;

второй токовый канал отключен, когда включен четвертый токовый канал, и включен, когда отключен четвертый токовый канал;

третий токовый канал отключен, когда включен первый токовый канал, и включен, когда отключен первый токовый канал;

четвертый токовый канал отключен, когда включен второй токовый канал, и включен, когда отключен второй токовый канал.

16. Дисплейная панель по п.15, отличающаяся тем, что

как первый переключатель, так и второй переключатель представляют собой n-канальные тонкопленочные МОП-транзисторы (NMOS TFT) и как третий переключатель, так и четвертый переключатель представляют собой p-канальные тонкопленочные МОП-транзисторы (PMOS TFT) или

как первый переключатель, так и второй переключатель представляют собой p-канальные тонкопленочные МОП-транзисторы (PMOS TFT) и как третий переключатель, так и четвертый переключатель представляют собой n-канальные тонкопленочные МОП-транзисторы (NMOS TFT).

17. Дисплейная панель по п.12, отличающаяся тем, что

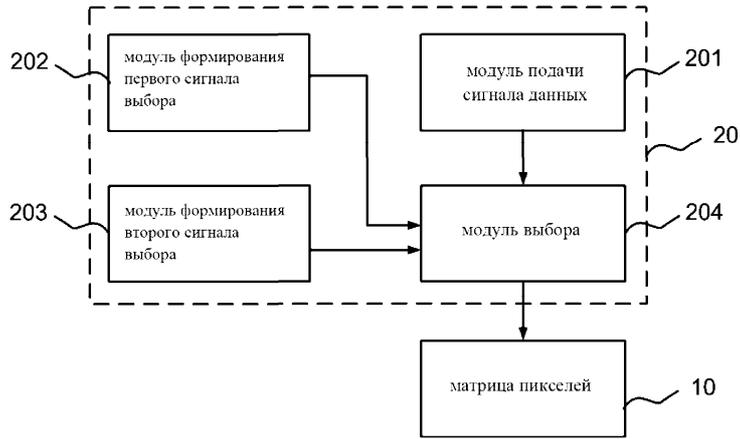
длительность высокого уровня напряжения первого сигнала выбора и длительность высокого уровня напряжения второго сигнала выбора являются одинаковыми и длительность низкого уровня напряжения первого сигнала выбора и длительность низкого уровня напряжения второго сигнала выбора являются одинаковыми;

как длительность высокого уровня напряжения первого сигнала выбора, так и длительность высокого уровня напряжения второго сигнала выбора составляют  $2K$  тактовых периодов и как длительность низкого уровня напряжения первого сигнала выбора, так и длительность низкого уровня напряжения второго сигнала выбора составляют  $4K$  тактовых периодов, где  $K$  - положительное целое число;

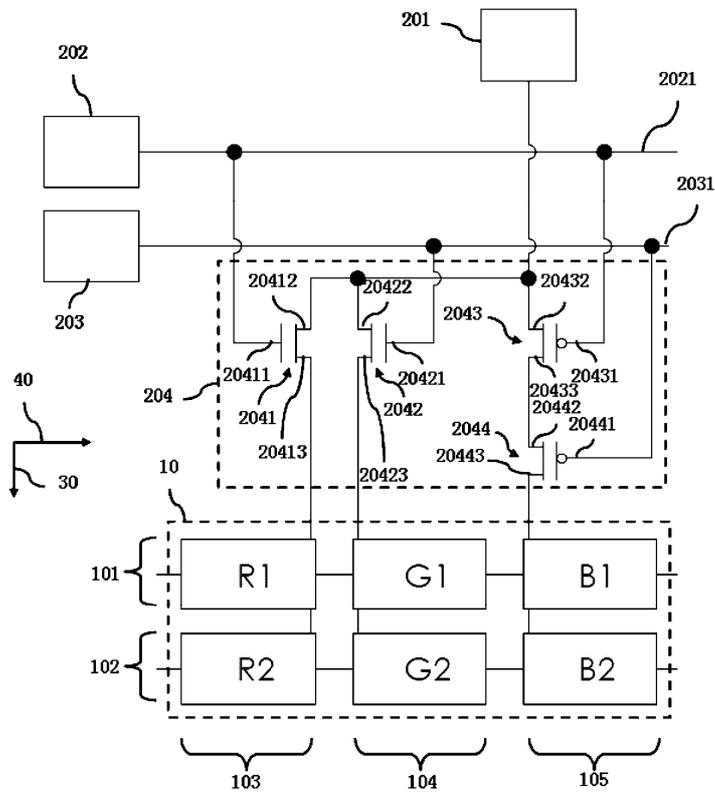
начальная точка переднего фронта высокого уровня напряжения сигнала развертки матрицы пикселей находится в интервале времени с высоким уровнем напряжения первого сигнала выбора или в интервале времени с высоким уровнем напряжения второго сигнала выбора.

18. Дисплейная панель по п.17, отличающаяся тем, что длительность высокого уровня напряжения

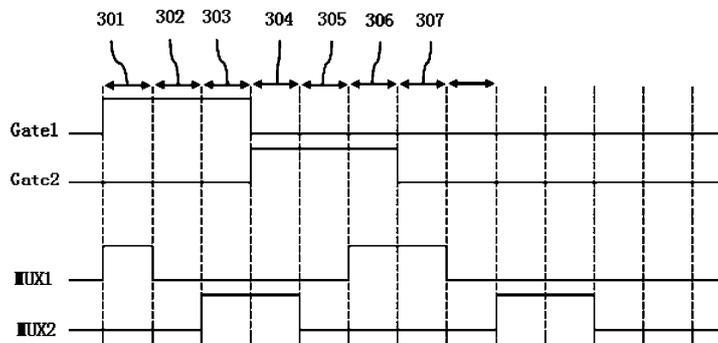
сигнала развертки составляет  $3K$  тактовых периодов и длительность низкого уровня напряжения сигнала развертки также составляет  $3K$  тактовых периодов.



Фиг. 1



Фиг. 2



Фиг. 3