

(19)



**Евразийское
патентное
ведомство**

(11) **033759**

(13) **B1**

(12) ОПИСАНИЕ ИЗОБРЕТЕНИЯ К ЕВРАЗИЙСКОМУ ПАТЕНТУ

(45) Дата публикации и выдачи патента
2019.11.22

(51) Int. Cl. **G06F 7/38 (2006.01)**

(21) Номер заявки
201800205

(22) Дата подачи заявки
2018.02.06

(54) УСТРОЙСТВО ДЛЯ УМНОЖЕНИЯ УНИТАРНЫХ КОДОВ

(43) **2019.08.30**

(56) BY-C1-16361

(96) **2018/ЕА/0007 (ВУ) 2018.02.06**

BY-C1-18749

(71)(73) Заявитель и патентовладелец:

RU-C1-2143723

**БЕЛОРУССКИЙ
ГОСУДАРСТВЕННЫЙ
УНИВЕРСИТЕТ (БГУ) (ВУ)**

US-A-5987487

(72) Изобретатель:
Супрун Валерий Павлович (ВУ)

(57) Изобретение относится к области вычислительной техники и микроэлектроники и может быть использовано для построения средств аппаратного контроля и цифровых устройств, работающих в системе остаточных классов. Устройство для умножения унитарных кодов предназначено для реализации операции умножения $A \cdot V = P \pmod{4}$. Устройство содержит мажоритарный элемент с порогом два, два элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом три, элемент ИСКЛЮЧАЮЩЕЕ ИЛИ, восемь входов и четыре выхода. Сложность устройства (по числу входов логических элементов) равна 22, а быстродействие, определяемое глубиной схемы, составляет τ , где τ - задержка на один логический элемент. Устройство для умножения унитарных кодов работает следующим образом. На входы устройства поступают разряды "равно нулю", "равно единице", "равно двум", "равно трем" унитарного двоичного кода первого операнда $A=(a_0, a_1, a_2, a_3)$ и разряды "равно нулю", "равно единице", "равно двум", "равно трем" унитарного двоичного кода второго операнда $V=(b_0, b_1, b_2, b_3)$, где $a_0, a_1, a_2, a_3, b_0, b_1, b_2, b_3 \in \{0, 1\}$. При этом $a_k=1$ и $b_k=1$ тогда и только тогда, когда $A=k \pmod{4}$ и $V=k \pmod{4}$, где $k=0, 1, 2, 3$. На выходах устройства формируется унитарный двоичный код результата выполнения операции $A \cdot V = P \pmod{4}$, где $P=(p_0, p_1, p_2, p_3)$ и $p_0, p_1, p_2, p_3 \in \{0, 1\}$. Причем здесь $p_k=1$ тогда и только тогда, когда $A \cdot V = k \pmod{4}$, где $k=0, 1, 2, 3$.

B1

033759

033759

B1

Изобретение относится к области вычислительной техники и микроэлектроники и может быть использовано для построения средств аппаратурного контроля и цифровых устройств, работающих в системе остаточных классов.

Известно устройство для умножения унитарных кодов по модулю три, содержащее элемент ИЛИ, два элемента ИСКЛЮЧАЮЩЕЕ ИЛИ, четыре входа и три выхода [1]. Устройство предназначено для реализации арифметической операции $A \cdot B = P \pmod{3}$.

Известное устройство, как и заявляемое устройство, содержит элемент ИСКЛЮЧАЮЩЕЕ ИЛИ, i -й вход которого, где $i=1, 2$, соединен с входом устройства "равно нулю" i -го операнда, а выход - с выходом устройства "равно двум" результата.

Недостатком известного устройства являются низкие функциональные возможности, поскольку устройство не позволяет вычислять операцию $A \cdot B = P \pmod{4}$.

Наиболее близким по функциональным возможностям и конструкции техническим решением к предлагаемому устройству является устройство для умножения унитарных кодов по модулю пять, которое содержит элемент ИЛИ, четыре элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом семь, девять входов и пять выходов [2]. Сложность устройства-прототипа (по числу входов логических элементов) равна 50, а его быстродействие составляет τ , где τ - задержка на логический элемент.

Недостатком устройства-прототипа являются низкие функциональные возможности, поскольку устройство не позволяет вычислять в унитарных кодах операцию $A \cdot B = P \pmod{4}$.

Изобретение направлено на решение следующей технической задачи: расширение функциональных возможностей устройства для умножения унитарных кодов по модулю пять.

Устройство для умножения унитарных кодов содержит элемент ИСКЛЮЧАЮЩЕЕ ИЛИ, первый и второй элементы ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом три, мажоритарный элемент с порогом два, первый и второй входы которого соединены с входом устройства "равно нулю" первого операнда и с первым прямым входом элемента ИСКЛЮЧАЮЩЕЕ ИЛИ.

Второй прямой вход элемента ИСКЛЮЧАЮЩЕЕ ИЛИ соединен с входом устройства "равно нулю" второго операнда и с третьим и четвертым входами мажоритарного элемента с порогом два.

Пятый вход мажоритарного элемента с порогом два соединен с входом устройства "равно двум" первого операнда и с первым инверсным входом элемента ИСКЛЮЧАЮЩЕЕ ИЛИ.

Второй инверсный вход элемента ИСКЛЮЧАЮЩЕЕ ИЛИ соединен с входом устройства "равно двум" второго операнда и с шестым входом мажоритарного элемента с порогом два, выход которого соединен с выходом устройства "равно нулю" результата.

Вход устройства "равно единице" первого операнда соединен с первыми входами первого и второго элементов ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом три, второй и третий входы которых соединены с входом устройства "равно трем" первого операнда.

Вход устройства "равно единице" второго операнда соединен с четвертым и пятым входами первого элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом три и с четвертым входом второго элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом три, выход которого соединен с выходом устройства "равно трем" результата.

Вход устройства "равно трем" второго операнда соединен с пятым и шестым входами второго элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом три и с шестым входом первого элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом три.

Выход первого элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом три соединен с выходом "равно единице" результата.

Выход устройства "равно двум" результата соединен с выходом элемента ИСКЛЮЧАЮЩЕЕ ИЛИ.

Основной технический результат изобретения заключается в повышении функциональных возможностей устройства для умножения унитарных кодов по модулю пять. Названный эффект достигается путем использования нового логического элемента (мажоритарного элемента с порогом два) с последующим изменением соединений между элементами логической схемы устройства.

На чертеже (фигура) представлена логическая схема устройства для умножения унитарных кодов. Устройство содержит мажоритарный элемент с порогом два 1, два элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом три 2 и 3, элемент ИСКЛЮЧАЮЩЕЕ ИЛИ 4, восемь входов 5...12 и четыре выхода 13, 14, 15 и 16.

Устройство для умножения унитарных кодов работает следующим образом.

На входы 5, 6, 7 и 8 устройства поступают разряды "равно нулю", "равно единице", "равно двум" и "равно трем" унитарного двоичного кода первого операнда $A=(a_0, a_1, a_2, a_3)$, на входы 9, 10, 11 и 12 - разряды "равно нулю", "равно единице", "равно двум" и "равно трем" унитарного двоичного кода второго операнда $B=(b_0, b_1, b_2, b_3)$, где $a_0, a_1, a_2, a_3, b_0, b_1, b_2, b_3 \in \{0, 1\}$.

При этом $a_k=1$ и $b_k=1$ тогда и только тогда, когда $A=k \pmod{4}$ и $B=k \pmod{4}$, где $k=0, 1, 2, 3$.

На выходах 13, 14, 15 и 16 устройства формируется унитарный двоичный код результата выполнения операции умножения $A \cdot B = P \pmod{4}$, где $P=(p_0, p_1, p_2, p_3)$ и $p_0, p_1, p_2, p_3 \in \{0, 1\}$. Здесь $p_k=1$ тогда и только тогда, когда $A \cdot B = k \pmod{4}$, где $k=0, 1, 2, 3$.

Логические функции P_0, P_1, P_2, P_3 , реализуемые на выходах устройства для умножения унитарных

кодов, представлены посредством таблицы истинности (таблица).

Логическая схема заявляемого устройства (чертеж) синтезирована на основе применения следующих аналитических представлений логических функций P_0, P_1, P_2, P_3

$$P_0 = \begin{cases} 1, & \text{если } 2a_0 + a_2 + 2b_0 + b_2 \geq 2, \\ 0 & \text{в противном случае,} \end{cases}$$

$$P_1 = \begin{cases} 1, & \text{если } a_1 + 2a_3 + 2b_1 + b_3 = 3, \\ 0 & \text{в противном случае,} \end{cases}$$

$$P_2 = \begin{cases} 1, & \text{если } a_0 + \overline{a_2} + b_0 + \overline{b_2} = 1, \\ 0 & \text{в противном случае,} \end{cases}$$

$$P_3 = \begin{cases} 1, & \text{если } a_1 + 2a_3 + b_1 + 2b_3 = 3, \\ 0 & \text{в противном случае.} \end{cases}$$

Основным достоинством заявляемого устройства для умножения унитарных кодов являются широкие функциональные возможности. Кроме того, устройство имеет высокое быстродействие, определяемое глубиной логической схемы.

Источники информации, принятые во внимание при экспертизе.

1. Патент РБ 18749, МПК G06F 7/38, БИ № 6 (101), 2014, с. 122.

2. Патент РБ 16361, МПК G06F 7/38, БИ № 5 (88), 2012, с. 147 (прототип).

ВХОДЫ								ВЫХОДЫ			
Унитарный двоичный код первого операнда $A(a_0, a_1, a_2, a_3)$				Унитарный двоичный код второго операнда $B(b_0, b_1, b_2, b_3)$				Унитарный двоичный код результата умножения $P(P_0, P_1, P_2, P_3)$			
a_0	a_1	a_2	a_3	b_0	b_1	b_2	b_3	P_0	P_1	P_2	P_3
5	6	7	8	9	10	11	12	13	14	15	16
1	0	0	0	1	0	0	0	1	0	0	0
1	0	0	0	0	1	0	0	1	0	0	0
1	0	0	0	0	0	1	0	1	0	0	0
1	0	0	0	0	0	0	1	1	0	0	0
0	1	0	0	1	0	0	0	1	0	0	0
0	1	0	0	0	1	0	0	0	1	0	0
0	1	0	0	0	0	1	0	0	0	1	0
0	1	0	0	0	0	0	1	0	0	0	1
0	0	1	0	1	0	0	0	1	0	0	0
0	0	1	0	0	1	0	0	0	0	1	0
0	0	1	0	0	0	1	0	1	0	0	0
0	0	1	0	0	0	0	1	0	0	1	0
0	0	0	1	1	0	0	0	1	0	0	0
0	0	0	1	0	1	0	0	0	0	0	1
0	0	0	1	0	0	1	0	0	0	1	0
0	0	0	1	0	0	0	1	0	1	0	0

ФОРМУЛА ИЗОБРЕТЕНИЯ

Устройство для умножения унитарных кодов, содержащее элемент ИСКЛЮЧАЮЩЕЕ ИЛИ, первый и второй элементы ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом три, мажоритарный элемент с порогом два, первый и второй входы которого соединены с входом устройства "равно нулю" первого операнда и с первым прямым входом элемента ИСКЛЮЧАЮЩЕЕ ИЛИ, второй прямой вход которого соединен с входом устройства "равно нулю" второго операнда и с третьим и четвертым входами мажоритарного элемента с порогом два, пятый вход которого соединен с входом устройства "равно двум" первого операнда и с первым инверсным входом элемента ИСКЛЮЧАЮЩЕЕ ИЛИ, второй инверсный вход которого соединен с входом устройства "равно двум" второго операнда и с шестым входом мажоритарного элемента с порогом два, выход которого соединен с выходом устройства "равно нулю" результата, вход устройства "равно единице" первого операнда соединен с первыми входами первого и второго элементов ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом три, второй и третий входы которых соединены с входом устройства "равно трем" первого операнда, вход устройства "равно единице" второго операнда соединен с четвертым и пятым входами первого элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом три и с четвертым входом второго элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом три, выход которого соединен с выходом устройства "равно трем" результата, вход устройства "равно трем" второго операнда соединен с пятым и шестым входами второго элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом три и с шестым входом первого элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом три, выход которого соединен с выходом устройства "равно

единице" результата, выход устройства "равно двум" результата соединен с выходом элемента ИСКЛЮЧАЮЩЕЕ ИЛИ.

